

# High Frequency Socket 개발을 통한 Memory Module Test Signal Integrity 향상

\*김민수, 김석기  
고려대학교 전기전자공학  
e-mail : kim.minsu@samsung.com

## Improvement of Memory Module Test Signal Integrity Using High Frequency Socket

\*Min-Su Kim, Suki Kim  
Electrical Engineering Graduate School Korea University

### Abstract

According to high-speed, large scale integration trend of Memory module product, many type of noises, such as a reflection, cross-talk simultaneous switching noise, occur on the Package PCB and they make the deterioration of memory module's performance and reliability. As module products have more high efficiency, Hardware of test board and socket has to be considered. In test of the high-speed Memory Module.

we mainly focused on improvement of Signal integrity Using the High Frequency Test socket that we invented

### I. 서론

Memory Module 제품은 갈수록 고속화, 고집적화, 대용량화됨과 동시에 Chipset과 Module간에 새로운 Interface 방식을 사용해 가고 있다. 본 연구에서는 고속 동작하는 Memory Module Test의 Signal integrity 향상에 초점을 두었다.

본 논문은 Memory Module Test를 구성하고 있는 H/W 중 Socket의 전기적인 특성을 향상시켜 5Ghz 대역 이상에서 사용 가능한 socket 개발을 통해 overkill 감소를 통한 Test 수율향상 및 Retest 감소를 통한 생산성 최적화를 시키는 데 중점을 두었다.

### II. 본론

#### 2.1 Socket의 특성인자

High frequency에서 Socket의 Signal path는 매우 중요한 특성인자가 된다. Socket의 길이가 길면 등가회로 상 L값이 커지고 이에 따른 S-Parameter 특성이 나빠져 많은 Loss를 발생시킨다. 따라서 socket의 signal path는 최대한 짧게 만드는 것이 중요하다.

그러나 socket 길이를 짧게 해야 하는 동시에 접촉저항을 작게 하기 위해서는 적절한 contact force가 필요하게 된다. 따라서 high frequency socket을 제작하기 위해서는 길이를 최소화 하면서 적절한 contact force를 가질 수 있는 구조로 제작되어야만 한다.

2.2 개발 Socket 특성 향상

High Frequency 특성을 향상시키기 위해서 그림1 에서와 같이 Signal path를 3.4mm로 짧게 하여 성능을 높이는 방향으로 구조를 변경시켰다. contact force를 확보하기 위해 하부에 elastomer를 삽입하였고 이로 인해 signal path를 3.4mm 까지 줄이는데 성공하였다.

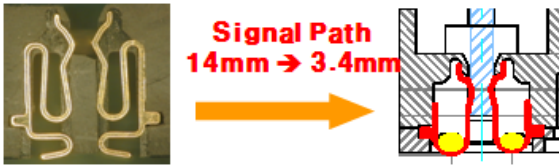


그림 1. 개발 Socket 구조

개발 Socket의 전기적인 특성 향상을 확인하기 위해 Network Analyzer 정비를 통해 L,C 값을 추출하여 그림 2와 같은 등가회로를 만들었다.

주파수 대역에 따른 특성을 확인하기 위해 S-parameter를 확인 결과 개선 Socket의 S21 (Insertion loss)이 -3db로 한계를 정할 때 5.52Ghz 까지 확보가 되었다. 이것은 Memory Module을 장착 했을 때 접촉 저항 등 field 환경을 고려한다 하더라도 5Ghz 이상은 보증될 것으로 판단된다.

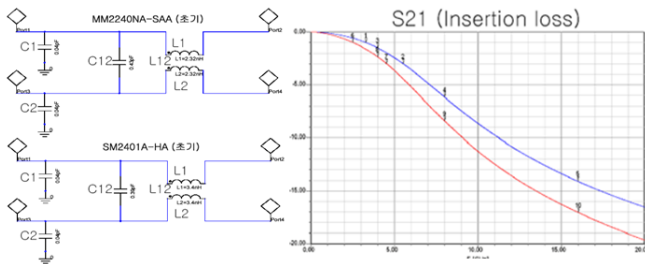


그림 2. 개발 Socket 등가회로

그림 3은 개발 Socket을 time축에서 본 transient 특성을 250ps rate으로 simulation 하였으며 기존, 개선 socket에 대한 비교 data로 개선 socket이 기존 socket에 대비하여 rising time 21ps 개선되었고 falling time 26ps 개선이 되었다.

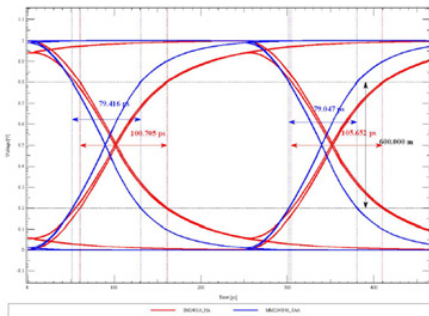


그림 3. 개발 Socket Transient 특성

IV. 결론 및 향후 연구 방향

본 논문은 4.8Ghz까지 동작하는 Memory Module Test를 위한 우수한 high frequency 특성을 갖는 test socket을 개발하고 검증을 하였다. socket 제작에 앞서 high frequency 특성 개선여부를 확인하기 위하여 등가회로를 만들어 주파수 및 시간 영역에서 특성확인을 하였다. S-parameter 확인 결과 5.5Ghz 대역에서 삽입손실(S21) -3db 이상 성능을 가짐을 확인하였다.

마지막으로 서두에 말했듯이 앞으로의 Memory Module은 점점 더 고속화,고집적화 되어 감에 따라 이를 Test하는 H/W의 개발을 제품의 특성에 맞게 계속적으로 진행할 예정이다.

참고문헌

- [1] William J Dally, John W. Poulton, "Digital Systems Engineering" Cambridge University Press,1998
- [2] H.B. Bakouglu " Circuit, Interconnections, and Packing for VLSI", Addison-Wesley Publishing Company,1990
- [3] Charles S. Walker, "Capacitance, Inductance, and Crosstalk Analysis", Artech House, 1990
- [4] P.R.Gray, R.G.Mayer, "Future Directions in Silicon ICs for RF Personal Communications," Proceedings of the IEEE Custom IC Conference
- [5] HP 8510B Microwave and RF Design System, User's Manual, 1994
- [6] 안영수, 사내논문 "High Speed 및 Fine Pitch용 Test Socket 개발 방안", 2006
- [7] 박일찬, 사내논문 "고속/고주파 대역 Test Socket 개발 및 분석"