

MDDR(Mobile Double Data Rate) DRAM의 WSix Peeling 불량 해결 연구

채한용^{1,2)}, 이성영^{1,3)}, 박태훈²⁾, 이현성²⁾, 이광희²⁾, 서주원²⁾, 최규상²⁾

¹⁾삼성전자 공과대학교(SSIT), ²⁾MEMORY사업부 FAB3팀, ³⁾MEMORY사업부 개발 QA팀

E-mail: hanyong.chae@samsung.com

A Study on Solving the WSix Peeling Issue at MDDR DRAM

HanYong Chae^{1,2)}, SungYoung Lee^{1,3)}, TaeHoon Park²⁾, HyunSung Lee²⁾,

KwangHee Lee²⁾, JuWon Seo²⁾, Kyue Sang Choi²⁾

¹⁾Samsung Semiconductor Institute of Technology, ²⁾FAB 3 Team, Memory Division
Semiconductor Business, ³⁾Product Quality Assurance Team, Memory Division
Semiconductor Business

Abstract

In this paper, the advanced process has been presented to remove the WSix peeling that was made in sub 100nm DRAM SRCAT(Sphere-shaped-Recess-Channel-Array Transistor). The source of WSix peeling was proved to be the groove of gate poly film. We have completely solved the problems to adopt the gate-poly CMP (Chemical Mechanical Polishing) process.

I. 서론

그림 1과 같이 SRCAT^[1] (Sphere-shaped-Recess-Channel-Array Transistor)을 적용한 100nm 미만 DRAM 제품군 소자에서 WSix 증착 후 Groove에 의한 High Stress로 인해, 그림 2에서 나타나는 WSix Peeling이라는 문제점이 발생하고 있다. 이러한 문제를 해결하기 위해서 WSix 증착 온도 변경, 유량 조절 및 WSix 공정 후 열처리 공정 추가 등의 해결방법을 사용해왔다^[2]. 그러나 이러한 방법들을 양산 중인 공정에 적용하려면 소자특성평가 및 신뢰성검증을 거쳐야만 한다^[3].

따라서, 본 논문은 SRCAT을 적용한 MDDR(Mobile Double Data Rate) 제품군에서 발생한 WSix Peeling 불량원인을 규명하고, 불량 해결을 위해 수행된 연구

결과를 요약하였으며, 소자특성 변화에 영향을 주지 않는 단위공정 개선 방법을 제시하고자 한다.



(a) SRCAT 단면 사진. (b) SRCAT 모식도

그림1. SRCAT 구조

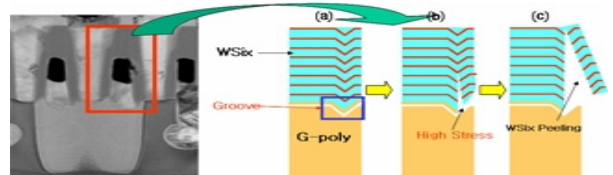


그림 2. WSix Peeling 모델링 (a)Channel Recess공정에 의해 만들어진 Poly-Si Groove (b) Groove로 인해 WSix막 높은 응력을 받음. (c)후속 열처리 중 얇은 WSix 집합면에서 WSix Peeling이 발생함.

II. 본론

1. 실험 방법

본 연구에서는 표 1에 제시된 것처럼 3가지 조건으로 나누어 평가를 진행하였으며 시료는 생산 중인 80nm DRAM군을 사용하였다.(조건 1: LAL 공정시간 단축, 조건 2: H₃PO₄ 공정시간 단축, 조건 3: Gate Poly CMP 추가) 또한, 각 조건에 대한 단면 촬영으로 두께를 측정하여, Dent 및 Groove의 변화를 관찰하였다.

표 1. Groove 제거 평가 그룹

Idea	LAL	H ₂ PO ₄	CMP	Notes
현공정	25"	20'	X	표준
조건1	20" 15"	20'	X	Ox/SiN(산화막/질화막) Strip 공정
조건2	25"	18' 16'	X	
조건3	25"	20'	O	Gate Poly CMP 추가

2. 실험 결과

① 조건1

LAL 공정적용시간을 25"에서 각각 20", 15"로 감소 진행하였다. 이 결과 그림 4와 같이 HDP Skew가 각각 219.4Å, 186.3Å, 182.1Å로 나타나는 것을 확인하였다. 이로써 LAL 공정적용시간의 감소로 인해 HDP Skew도 감소한다는 것을 알 수 있었다. 하지만, 그림 5에서 보는 바와 같이 HDP 잔존두께는 각각 2493Å, 2577Å, 2556Å로 유의차가 없다는 것을 확인 할 수 있었다. 이는 LAL 공정적용시간을 감소시켜도 Dent에 큰 영향을 주지 못함을 간접적으로 알게 해주었다.

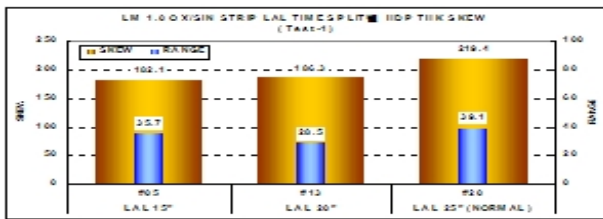


그림 4. (조건 1) HDP 변화량 (HDP 변화량은 LAL 공정적용시간에 따라 차이를 보인다.)

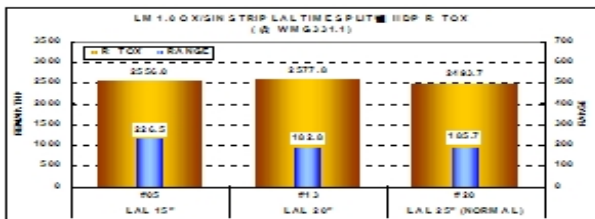


그림 5. (조건 1) HDP 잔존두께 (HDP 잔존두께는 LAL 공정적용시간에 따라 차이를 보이지 않는다.)

② 조건2

H3PO4 공정적용시간을 20'에서 각각 18', 16'으로 감소 진행하였다. 이 결과 그림 6과 같이 ACT Corner Recess가 각각 178Å, 165Å, 125Å로 Dent의 차이가 남을 알게 되었다. 하지만 WSix Grooving은 각각 161Å, 140Å, 119Å로 WSix Groove를 근본적으로 해결하지 못한다는 것을 알 수 있었다.

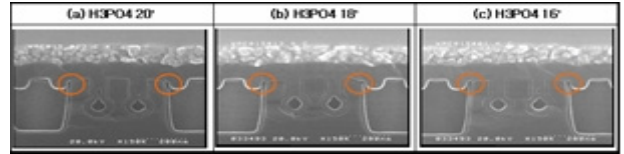


그림 6. (조건 2) H3PO4 공정적용시간에 따른 V.SEM (a) WSix Grooving 161Å 발생, (b) WSix Grooving 140Å 발생, (c) WSix Grooving 119Å 발생

③ 조건3

그림7에서 보여 지는 것처럼 Gate Poly CMP를 적용하지 않은 시료는 Groove가 350Å으로 취약한 결과를 나타내었으나, Gate Poly CMP를 추가 적용한 시료는 Groove가 나타나지 않는다는 것을 확인할 수 있었다.

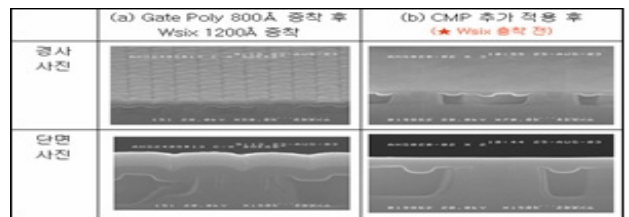


그림 7. (조건 3) CMP 추가 적용 후 V.SEM (a)CMP 미적용: Groove 有, (b)CMP 적용: Groove 無

본 연구 결과, WSix Peeling 불량은 Ox/SiN Strip 공정에 의한 Dent의 조절로는 해결할 수 없으며, Gate Poly CMP를 적용하여 Gate Poly Groove를 평탄화 시켜 제거할 수 있었다. 또한, 재현성을 평가하기 위해 생산 제품에 적용을 한 결과, WSix Peeling은 발생하지 않은 것을 확인할 수 있었다.

III. 결 과

본 연구에서는 SRACT를 적용한 MDDR DRAM 제품군에서 발생한 WSix Peeling불량을 해결하고자 하였다. WSix Peeling불량은 Gate Poly Groove에 의한 High Stress가 원인이라는 것을 확인하였다. Gate Poly Groove를 해결하기 위해서 Gate Poly CMP 공정을 추가로 적용하여 Groove 제거함으로써 WSix Peeling을 해결 할 수 있었다. 본 연구의 결과를 바탕으로 양산라인에 Gate Poly CMP를 적용하여 소자 특성의 변화 없이 WSix Peeling 불량을 완전히 해결하였다.

참고문헌

[1] J.Y.Kim et al., Symp.On VLSI Tech.,June,2005
 [2] Vivek. Rao et al., IEEE/SEMI., pp.340-346, 2000
 [3] Jin-Yang Kim et al., Asia-Pacific Workshop on Fundamental,2001