

# 94% 효율을 가지는 전류모드 DC-DC 변환기 설계

이동석, 남현석, 안영국, 노정진  
 한양대학교 전자전기제어계측공학과  
 e-mail : lds@hanyang.ac.kr, namstein@hanyang.ac.kr,  
 helloby@hanyang.ac.kr, jroh@hanyang.ac.kr

## Design of Current-mode DC-DC converter with 94% Efficiency

Dongsuk Lee, Hyunsuk Nam, Youngkook Ahn, Jeongjin Roh  
 Department of Electronics, Electrical, Control & Instrumentation Engineering  
 Hanyang University

### Abstract

Portable device is powered by the battery. To use portable devices longer time without replacing the battery, you should maximize the lifetime of the battery. If you use efficient DC-DC converter, You can maximize the lifetime of the battery.

### I. 서론

휴대전화가 단순히 통신기능뿐만 아니라 컴퓨터, 신용카드, 비디오카메라, TV 기능을 모두 하는 다중 단말기로 진화하고 있다. 휴대전화를 통해 언제 어디서나 정보를 주고받을 수 있는 세상이 오고 있다(유비쿼터스 세상).

현재 휴대기기의 전원은 전지로부터 공급받는다. 휴대기기를 전지교체 없이 장시간 사용하기 위해서 전지의 수명을 늘여야 한다. 전력효율이 좋은 DC-DC 변환기를 사용해서 전지 수명을 최대화할 수 있다.

### II. 본론

그림1은 전류모드 DC-DC 변환기의 회로구성도이다.

클락에 맞춰 PMOS 파워 트랜지스터를 ON시키고 NMOS 파워 트랜지스터를 OFF시키면, 인덕터 전류가 증가한다. 인덕터 전류가 기준전류  $I_{ref}$ 가 됐을 때 PMOS 파워 트랜지스터를 OFF시키고 NMOS 파워 트랜지스터를 ON시키면, 인덕터 전류가 감소한다. 출력전압이 기준전압  $V_{ref}$ 보다 증가하면, 기준전류  $I_{ref}$ 가 감소하고 평균 인덕터 전류가 감소해서 출력전압이 감소한다. 출력전압이 기준전압  $V_{ref}$ 보다 감소하면, 기준전류  $I_{ref}$ 가 증가하고 평균 인덕터 전류가 증가해서 출력전압이 증가한다. 이렇게 파워스위치를 ON/OFF 해서 평균 인덕터 전류를 일정하게 유지하고, 출력전압을 일정하게 유지할 수 있다.

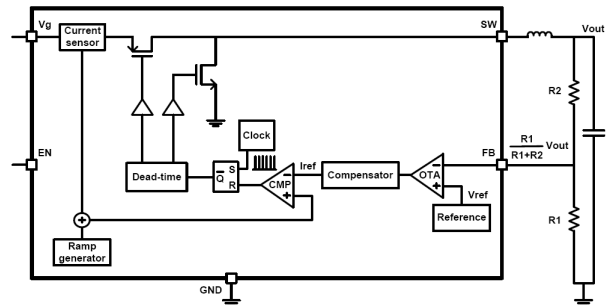


그림1. 전류모드 DC-DC 변환기의 회로구성도

비교기에서 두 전류(기준전류  $I_{ref}$ 와 인덕터 전류)를 비교해서 Duty를 결정하기 때문에 전류모드라고 한다. 전압모드 DC-DC 변환기는 LC필터에서 pole이 2개 발

생하지만, 전류모드 DC-DC 변환기는 LC필터에서 pole이 하나만 발생하기 때문에, 보다 쉽게 보상을 할 수 있다. 그림2는 전류모드 DC-DC 변환기의 루프 이득의 Bode plot이다. 보상을 이용해 zero를 만들어서 대역폭을 넓힐 수 있다. 대역폭을 넓혀서 응답시간을 빠르게 할 수 있다. 즉, 입력전압이나 출력전류가 변해서 출력전압이 변해도, 빠르게 원래 출력전압으로 회복할 수 있다. 또, 보상을 이용해 pole을 만들어서 스위칭 주파수에서의 이득을 줄일 수 있다. 스위칭 주파수에 있는 스위칭 노이즈의 이득을 줄여 악영향을 최소화할 수 있다.

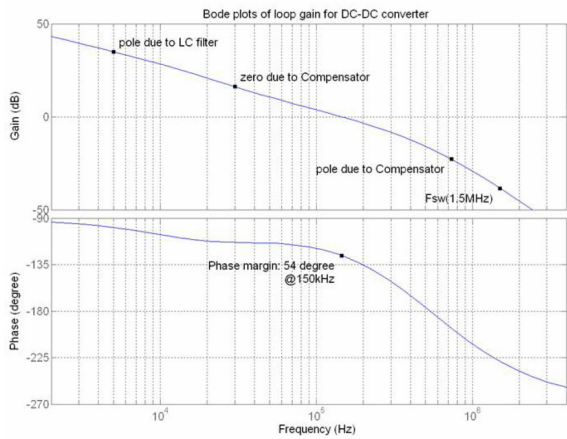


그림2. 전류모드 DC-DC변환기의 루프 이득 Bode plot

수 있다( $V_g=2.5V$ ,  $V_{out}=1.5V$ ,  $L_{out}=2.2\mu H$ ,  $C_{out}=2.2\mu F$ ,  $I_{out}=100mA \rightarrow 300mA \rightarrow 100mA$ ). 표1에 설계한 DC-DC 변환기의 시뮬레이션 결과를 요약하였다.

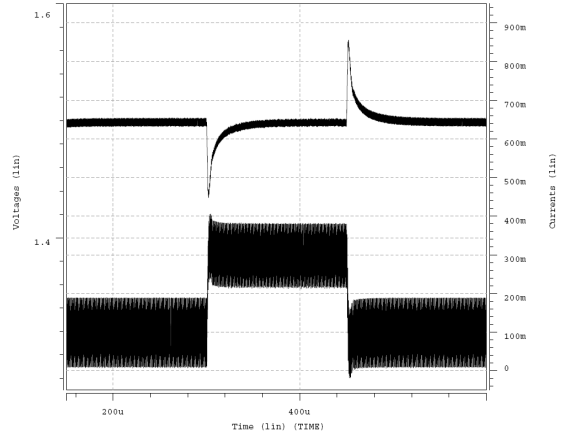


그림 4. 출력전류 변화에 따른 출력전압의 변화 (상: 출력전압, 하: 인덕터 전류)

공정	0.35 $\mu m$
스위칭 주파수	1.5MHz
효율	최대 94%
입력전압( $V_g$ ) 범위	2.5 ~ 3.3V
출력전압( $V_{out}$ ) 범위	~ $V_g$
출력전류( $I_{out}$ ) 범위	~ 300mA

표 1. 시뮬레이션 결과 요약

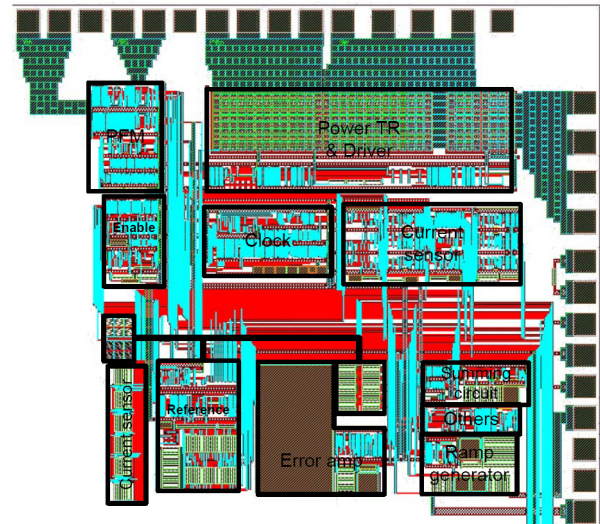


그림3. Chip layout

### III. 시뮬레이션 결과

설계된 회로는 CMOS 0.35 $\mu m$ 공정 파라미터를 사용해서 컴퓨터 시뮬레이션(HSPICE)를 통하여 검증하였다. 그림4에서 출력전류가 변할 때 출력전압의 변화를 보면, 안정적으로 출력전압을 유지하는 것을 확인할

### IV. 결론

본 논문에서는 주어진 DC전압을 원하는 DC전압으로 효율적으로 변환하는 DC-DC 변환기를 설계하였다. 94% 효율의 DC-DC 변환기를 구현할 수 있었다.

### 감사의 글

이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임 (No. R01-2008-000-11056-0)

### 참고문헌

[1] Erickson, Maksimovic, "Fundamentals of Power Electronics" 2nd Edition, Kluwer Academic Publishers, pp.439-487, 2001  
 [2] Pressman, "Switching Power Supply Design", The McGraw-Hill Companies Inc, pp.427-470, 1999