

Up/Down Current Mismatch 보상 기능을 추가한 Charge Pump 회로의 설계

*김상우, 박준성, 고동현, 부영건, 이강윤
 건국대학교 전자공학부

e-mail : *ngnisky@konkuk.ac.kr*, *pjs83@konkuk.ac.kr*, *yomaster@konkuk.ac.kr*,
hara1015@konkuk.ac.kr, *kylee@konkuk.ac.kr*

A Design of Charge Pump with Up/Down Current Mismatch Compensation for PHS Application

*SangWoo Kim, Joon-Sung Park, DongHyun Ko, YoungGun Pu,
 Kang-Yoon Lee
 Department of Electronic Engineering
 Konkuk University

Abstract

This paper presents a charge pump used in frequency synthesizer for PHS application. The up/down current mismatch of charge pump has a critical effect on the phase noise and spur performance in frequency synthesizer. Therefore, the mismatch compensation scheme is proposed in this paper. And, the measurement results show that the mismatch can be reduced below 5 %.

I. 서론

기본적으로 Charge Pump는 PLL의 성능을 결정하는 중요한 블록 중의 하나이다. 그림 1은 PLL의 블록 다이어그램을 보여주고 있다. Charge Pump는 미세한 펄스폭만큼을 일정량의 전하(전류)로 변환해줘야 하기 때문에 개념적으로 전류이득을 갖는다고 할 수 있다. 이러한 Charge Pump의 전류이득을 I_{cp} 라고 하며 PLL의 중요한 성능지표 중 하나이다. I_{cp} 가 크면 펄스에 따라 전류양이 크다는 의미이며, 결국 capacitor에

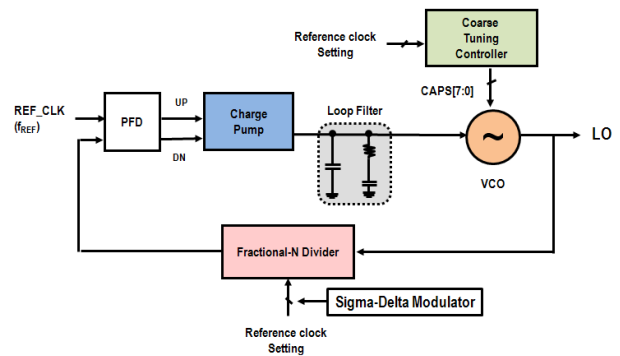


그림 1 PLL의 블록 다이어그램

전하를 축적 또는 방출 시키는 속도가 빨라지기 때문에 PLL의 lock time에 큰 영향을 준다.

만약 PLL이 Locking 상태라면 Up 신호와 Down 신호가 동일한 시간 동안 인가 되는데 이때 충전 전류인 current source 와 방전 전류인 current sink 사이에 오차가 발생하게 되면 Loop Filter 로 들어가거나 나오는 net current 가 0이 될 수 없게 된다. 결국 이런 잔존 전류는 PLL 전체의 위상 잡음을 발생시켜 Reference Spur 가 증가하게 되는 문제를 야기한다. 본 논문에서는 이를 해결하기 위해서 Up/Down Current의 Mismatch를 줄이기 위한 구조를 제시하고자 한다.

II. Charge Pump

그림 2는 Up/Down Mismatch 기능을 가지고 있는 Charge Pump 구조를 보여주어 주고 있다. Transient 특성을 개선하기 위해서 Differential 구조를 사용하였고, Main Charge Pump와 같은 Replica Charge Pump를 두어서, Up/Down Current Mismatch를 보상하도록 설계 하였다.

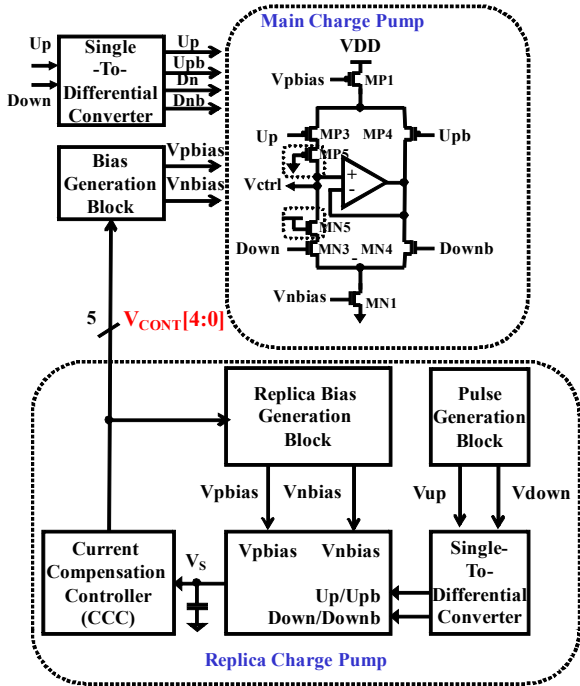


그림 2. Up/Down Mismatch 보상 회로를 가지고 있는 Charge Pump

Replica Charge Pump에 있는 Pulse Generation 블록에서 교대로 Up/Down 신호를 발생시키고, 이 Up/Down 신호에 의해서 Capacitance에 충전, 방전을 통해서 평균 값을 구함으로써 Up, Down Current의 Mismatch를 알 수 있다. Current Compensation Controller는 이를 바탕으로 Bias 전류를 조정함으로써 Up/Down 전류의 Mismatch를 보상할 수 있다.

III. 측정 결과

그림 3은 측정 결과를 보여주어 주고 있다. 533kHz에서 -70dBc의 SPUR 특성을 얻을 수 있었다. Charge Pump의 Current Mismatch를 직접적으로 측정할 수 없으므로, SPUR를 통해서 간접적으로 환산을 하면 5% 미만의 Mismatch를 가짐을 알 수 있다.

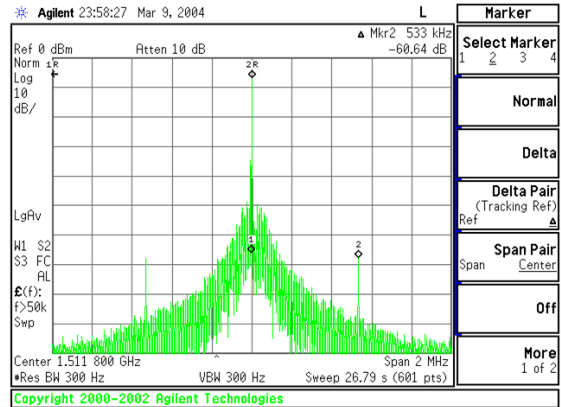


그림 3. 측정 결과

IV. 결론 및 향후 연구 방향

본 논문에서는 주파수 합성기의 Charge Pump Mismatch를 보상할 수 있는 회로 구조를 제안 하였다. 측정 결과 -70dBc의 SPUR 특성을 얻을 수 있었다.

Acknowledgement

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

참고문헌

- [1] Kang-Yoon Lee, Hyunchul Ku, Young Beom Kim, "A Fast Switching Low Phase Noise CMOS Frequency Synthesizer with a New Coarse Tuning Method for PHS Application," IEICE Trans. FUNDAMENTALS / COMMUN. /ELECTRON./INF. & SYST., JUNE. 2005.
- [2] Hyungki Huh, Yido Koo, Kang-Yoon Lee, Yeonkyeong Ok, Sungho Lee, Daehyun Kwon, Jeongwoo Lee, Joonbae Park, Kyeongho Lee, Deong-Kyoon Jeong, Wonchan Kim, "A CMOS Dual-Band Fractional-N Synthesizer with Reference Doubler and Compensated Charge Pump," 2004 IEEE International Solid-State Circuits Conference, pp. 100-101, Feb. 2004.