

누설전력소비만을 갖는 CMOS 전달게이트 회로

*박대진, 정강민
 성균관대학교 정보통신공학부
 e-mail : dj0710@naver.com, kmchung@ece.skku.ac.kr

CMOS Transmission Gate Circuits Dissipating Leakage Power Only

*Dae-Jin Park, Kang-Min Chung
 School of Information and Communication Engineering
 Sungkyunkwan University

Abstract

In this paper, a logic family, the transmission gate CMOS(TG CMOS) is proposed, which combines the transmission gate and pass transistor resulting in a different configuration from traditional full CMOS. In the simulation, basic cells comprising this logic are designed and their dynamic responses are analyzed. The simulation shows their performance is exceeding that of conventional full CMOS.

I. 저전력소비 TG CMOS 논리

본 논문에서 제안하는 TG CMOS 논리는 전달게이트와 상수 소스 통과 트랜지스터의 조합으로 구성된다. 본 조합논리는 전달게이트 입력과 통과 트랜지스터 연결의 조합에 따라 8가지 기본유형으로 구성되며 이를 그림 1에 보였다. 여기서, 상수 소스 통과 트랜지스터들의 동작은 n-디바이스는 항상 '0' 전달, p-디바이스는 항상 '1' 전달만을 수행하도록 한다.

그림 1에 보인 기본유형은 두 입력에 대한 모든 가능한 출력을 TG CMOS 논리로 구성한 것이다.

그림 1의 기본유형에서 1번과 8번은 반전논리 NOR와 NAND 셀, 2번과 4번은 비반전논리 OR와 AND 셀을 구현한 것이다. 예를 들어 그림 1의 두 번째 기본유형 셀의 동작은 아래와 같이 쓸 수 있다.

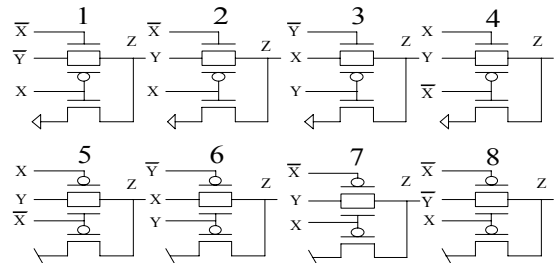


그림 1. TG CMOS 논리의 기본유형 셀들

$$X = '1' \text{ 일 때 } Z = 0 \quad (1)$$

$$X = '0' \text{ 일 때 } Z = Y \quad (2)$$

이는 X가 '1'일 때 통과 트랜지스터로 '0'을 통과시키고, X가 '0'일 때는 변수 Y를 통과시키는 동작이며 이를 수식으로 표현하면 아래와 같다.

$$Z = 0 * X + Y * \bar{X} \quad (3)$$

이와 같은 식으로 전달게이트와 상수 통과 트랜지스터의 연결을 확대하면 여러 가지 조합논리를

구성할 수 있다. 식 2에 구성되는 기본 셀들의 수식적 표현을 보였다.

$$X+Y=1*X+Y*\bar{X}(OR), \quad \overline{X+Y}=0*X+\bar{Y}*\bar{X}(NOR)$$

$$X\cdot Y=0*\bar{X}+Y*X(AND), \quad \overline{X\cdot Y}=1*\bar{X}+\bar{Y}*\bar{X}(NAND) \quad (4)$$

원칙적으로 본 TG CMOS 논리를 사용하여 디지털회로의 기본적인 논리동작을 모두 얻을 수 있다는 점이 중요하다. 즉 INV, AND, OR, NAND, NOR, XOR, XNOR, 래치, D-FF 등이 모두 구현되며 반전, 비반전의 논리를 모두 얻을 수 있으므로 이는 반전논리만이 구현되는 Full CMOS 논리에 비하여 현저한 이점이라고 볼 수 있다. 그러나 입력신호와 그의 보수신호가 동시에 필요하다.

TG CMOS 논리는 전력원천 $V_{dd}-V_{ss}$ 간에 직접적인 전류경로가 존재하지 않으므로 전력소비가 없는 특징을 갖는다. 본 전달게이트 회로로서 칩을 구성할 경우 전 신호경로에서 단지 최초의 신호발생회로만이 전력을 소비하며 이외의 모든 회로들은 정적누설전력만을 소비한다. 특히 신호와 그의 보수가 칩의 외부에서 공급되면 동적전력은 全無하다.

II. TG CMOS 천이특성

그림 2에 본 TG CMOS 논리로 구현되는 비반전회로인 1-레벨 AND2와 2-레벨 AND3 게이트를 보였고 또한 그림 3에 OA와 AO 게이트를 보였다.

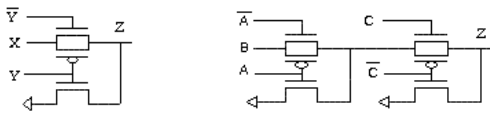


그림 2. TG CMOS AND2(왼쪽)와 AND3(오른쪽)

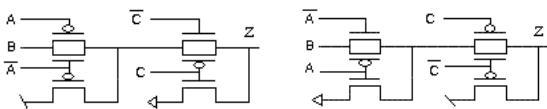


그림 3. TG CMOS OA(왼쪽)와 AO(오른쪽)

Full CMOS 회로는 비반전회로로 작동하려면 출력을 반전해야 한다. 따라서 TG 회로는 비반전회로에서 게이트 레벨이 1-단계 낮아지므로 원칙적으로 지연시간이 1단의 게이트 지연시간에

해당되는 값만큼 감소된다. Full CMOS로서 증가의 지연시간을 얻으려면 디바이스의 크기를 증가시켜야 하며 이는 궁극적으로 회로면적과 소비전력의 증가를 가져온다.

속도응답 면에서 기존의 Full CMOS에 대하여 정량적으로 비교해 보면 35% 이상의 개선을 가져온다. 즉, 스위칭 할 수 있는 최대 주파수가 35%이상 증가한다는 것이다. 50 nm TG CMOS 2-입력 AND2 게이트의 진행지연을 10단에 걸쳐 Full CMOS 논리와 비교한다. 0.1pF 부하 캐패시터의 경우 하강지연시간은 단당 0.2ns, 상승지연시간은 0.3ns 감소되어서 셀이 스위칭 할 수 있는 최대주파수 (f_{MAX})는 0.20GHz에서 0.26GHz로 증가한다. 그림 4는 AND2 게이트의 과도전류특성을 보인 것인데 TG CMOS에서 극소의 전류만이 흐르고 FULL CMOS에 비하여 전력소비가 극히 적음을 알 수 있다.

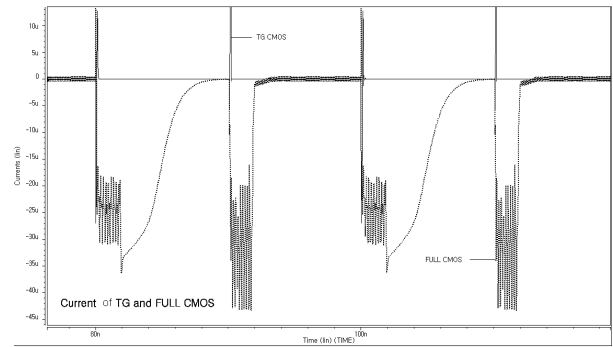


그림 4. TG와 Full CMOS AND2 게이트의 전류특성

III. 결론

본 논문에서는 기존의 Full CMOS 논리에 대응하여 전달게이트 CMOS 논리(TG CMOS)를 제안하였다, 논리를 형성하는 기본적인 디지털 회로셀들을 설계하였고 시뮬레이션으로서 이들이 회로면적과 속도성능 면에서 기존의 회로에 비하여 우수함을 보였다.

참고문헌

- [1] J.Uyemura, "CMOS Logic Circuit Design," Kluwers, 1999
- [2] R.Baker et al., "CMOS Circuit design, layout, simulations, IEEE Press, 1998