

파이프라인 ADC의 디지털 보정에 대한 분석

*김유성, 남정권, 김대정
 국민대학교 전자공학과
 e-mail : kimdj@kookmin.ac.kr

Analysis of Digital Correction of Pipelined ADC

*Yoosung Kim, Jeongkwon Nam, Daejeong Kim
 School of Electrical Engineering Kookmin University

Abstract

This paper shows analysis of digital correction of pipelined ADC. Sub-ADCs have some margin because of digital correction so, it can be reduced bias current for minimizing power dissipation.

I. 서론

최근 영상신호처리를 포함한 고속 신호처리, 고해상도, 저전력 ADC에 대한 요구가 증가하고 있다. 이에 따라 빠른 변환속도로 동작하고 고해상도의 구현이 가능한 파이프라인 ADC에 대한 연구가 활발히 진행되고 있다.[2] 본 논문에서는 파이프라인 ADC의 디지털 보정 과정과 그에 따른 전력 소모 최소화를 분석함으로써 파이프라인 ADC를 이해하는데 도움이 되고자 한다.

II. 본론

1. 블록 단위의 분석

그림 1은 파이프라인 ADC를 블록 다이어그램을 통해 분석한 것이다. 보통 여러개의 단으로 구성되어 있는 파이프라인 ADC를 첫 번째 단과 나머지 단으로 간략화하여 분석하였다. 첫 번째 단의 내부 플래쉬 ADC에서 발생한 양자화 노이즈(Q_1)와 오프셋 에러(E)는 입력신호와의 차이에 의해 발생하는 residue($-(Q_1+E)$)로 나타나고 증폭되어 다음 단으로 전달된다. 첫 번째 단의 출력과 나머지 단의 출력이 디지털 영역에서 합쳐짐에 따라 첫 번째 단 내부의 ADC에서 발생하는 오프셋 에러(E)가 제거된다. 디지털 영역에서 보정을 하기 때문에 내부의 DAC와 이득 에러는 디지털 보정에 의해서 제거되지 않는다. 본 논문에서는 DAC와 이득 에러를 제외하고 디지털 보정에 대해 논하고자 한다.

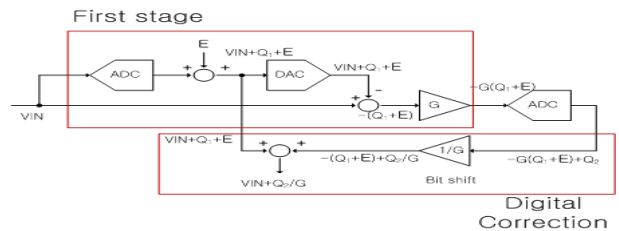


그림 1. 파이프라인 ADC의 블록 다이어그램 분석

2. 디지털 보정에 대한 분석

그림2(a)는 내부 ADC의 비교기 오프셋이 존재할 때 1bit residue 전달곡선이다. 이처럼 오프셋 에러가 발생할 경우 residue값이 Vref의 범위를 벗어남에 따라 코드를 잃게 된다. 따라서 그림 2(b)와 같이 1bit 내부 ADC와 같은 이득을 가지고 입력에 대해 세 가지의 코드를

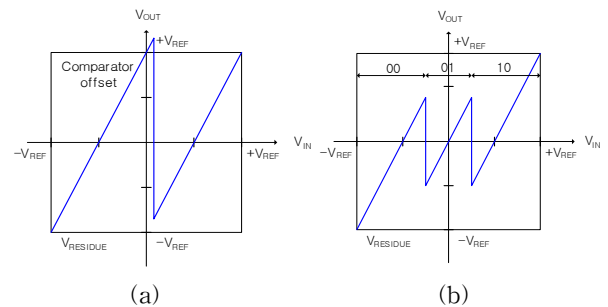


그림 2. residue 전달곡선

(a) 1bit residue 전달곡선 (b) 1.5bit residue 전달곡선

출력하는 1.5bit ADC를 사용하여 오프셋 에러를 제거한다. 1.5bit를 사용하면 특정한 범위 내의 오프셋이 발생하더라도 V_{REF} 의 범위에서 벗어나지 않는 것을 알 수 있다.[1]

그림3은 4개의 단으로 구성된 파이프라인 ADC에서 오프셋 에러가 보정되는 과정을 보여주는 그림이다.

$$\begin{aligned}
 &V_{in} > V_{REF}^+/4 : \text{디지털 출력} = 10 \\
 &\quad \text{Residue} = 2(V_{in} - 1/2V_{REF}^+) \quad (1) \\
 &V_{REF}^-/4 < V_{in} < V_{REF}^+/4 : \text{디지털 출력} = 01 \\
 &\quad \text{Residue} = 2V_{in} \quad (2) \\
 &V_{in} < V_{REF}^-/4 : \text{디지털 출력} = 00 \\
 &\quad \text{Residue} = 2(V_{in} - 1/2V_{REF}^-) \quad (3)
 \end{aligned}$$

그림과 같이 입력이 들어왔을 경우 첫 번째 단계에 '10'이 출력 되어야 한다. 하지만 내부 ADC의 오프셋에 의해 '01'이 출력되었을 경우 나머지 단계를 거치면서 에러가 보정된다. 이와 같이 설계를 하였을 때 한 단계에서 1/2LSB만큼의 마진이 있으므로 내부 플래쉬 ADC에서 1/2LSB보다 작은 오프셋 에러가 발생하더라도 보정이 가능하다.

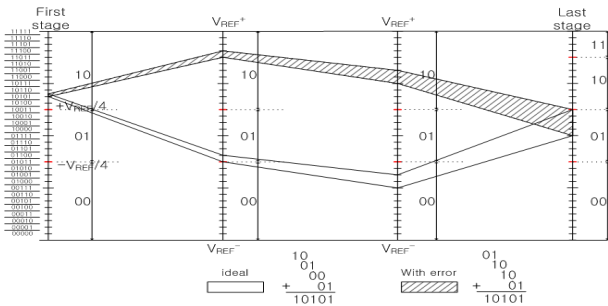


그림 3. 디지털 보정 과정

3. 마진과 전력 소모

내부 플래쉬 ADC에서 특정한 범위내의 에러가 발생하여도 디지털 보정을 함으로써 에러를 제거가 가능한 마진이 있기 때문에 비교기의 정밀도가 높지 않아도 된다.

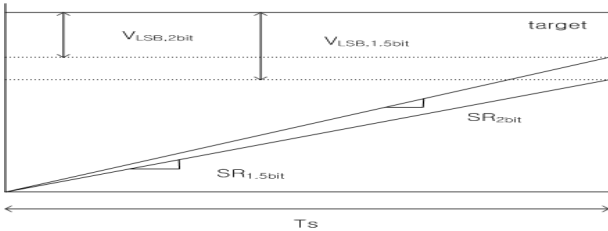


그림4. 정밀도와 SR의 관계도

따라서 마진의 범위에 대해서 비교기에서 필요한 정밀도가 결정되고 결정된 Ts동안에 정밀도에 만족하기 위한 SR(slew rate)이 필요하다. 즉, 마진의 범위에 따라 최소 전류를 결정하여 전력 소모를 최소화 할 수 있다.

III. 구현

디지털 보정을 검증하고자 SPECTRE를 사용하여 이상적인 45MSPS 10bit 파이프라인 ADC를 구현하여 검증하였다. 1/2LSB보다 작은 오프셋범위에서 변화했을 때 변화없는 SNR(61.6dB)과 ENOB(9.94bits)이 나오는 것을 확인하였다.

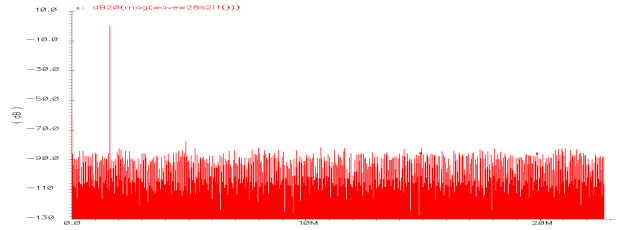


그림 5. FFT 결과 파형

그림 6은 MATLAB을 사용하여 마진의 범위에 대한 최소 전류를 보여주는 그래프 이다.

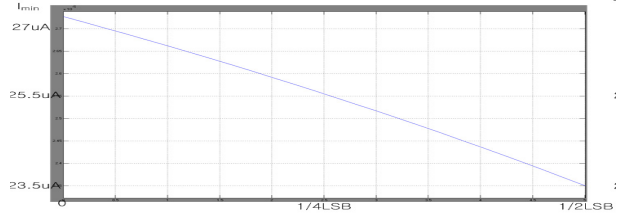


그림 6. 마진에 따른 최소 전류 파형

마진이 없다면 비교기에서 정밀도가 높아야 하므로 27uA이상을 사용해야 하지만 디지털 보정에 의해서 1/2LSB만큼 마진이 있을 경우 23.5uA이상 전류를 사용하면 비교기의 정밀도를 만족한다. 따라서 설계 시 정해지는 마진에 따라서 최소 전류를 결정함으로써 전력소모를 최소화 할 수 있다.

IV. 결론 및 향후 연구 방향

본 논문에서는 파이프라인 ADC의 디지털 보정에 대하여 분석하였고 SPECTRE를 사용하여 파이프라인 ADC를 구현하여 결과를 확인하였다. 디지털 보정에 의해 내부 플래쉬 ADC의 마진에 의한 전력 소모를 줄이기 위해 비교기의 최소 전류량을 결정하기 위한 가이드를 제시하였다.

Acknowledge

본 논문은 2008년 「서울시 산학연 협력사업」의 「나노 IP/SoC설계기술혁신사업단」의 지원으로 이루어졌으며, IDEC의 tool 지원에 의하여 결과를 검증하였습니다. 이에 깊은 감사를 드립니다.

참고문헌

[1] Franco Maloberti, "Data Converters", Springer, , pp.184-199, 2007.
 [2] 이승훈, 김범섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(하)", 시그마 프레스, pp.148-154, 1999.