

Simulink을 이용한 10bit 20MSPS Successive Approximation Register ADC의 모델링

박재정, 문병권, *김대정
국민대학교 전자공학부
*e-mail : kimdj@kookmin.ac.kr

Modeling of 10bit 20MSPS SAR ADC using Simulink

Jae-Jung Park, Byoung-Kwon Moon, *Daejeong Kim
School of Electrical Engineering
Kookmin University

Abstract

An elaborate Simulink model for a nonredundant 10bit 20MSPS SAR ADC is proposed to verify its algorithm and to consider the real transistor-level issues of analog blocks. Some electrical trade-offs and power issues are considered.

I. 서론

본 논문에서는 Simulink를 이용하여 이상적인 SAR ADC를 구현하여 그 동적 특성을 분석함으로써 그 알고리즘을 증명한다. 나아가 예상되는 잡음 성분들을 추가 모델링함으로써 설계 이슈에 대한 기준을 제시한다.

II. 본론

2.1 샘플 앤 홀드(sample and hold)

샘플 앤 홀드는 clock jitter, KT/C noise, non-ideal op-amp가 이슈가 된다. KT/C noise의 영향이 무시되는 최소 샘플링 커패시터 값을 알면 op-amp의 전력 소모를 최소화할 수 있다.

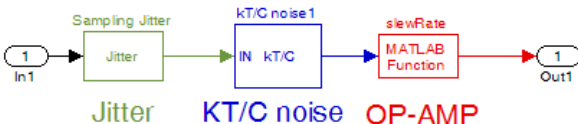


그림 1. 샘플 앤 홀드의 모델링

2.2 비교기

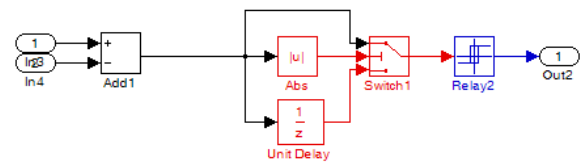
비교기의 입력오차범위(input error range, IER)는 pre-amp의 slew rate과 밀접한 연관성을 가지며 이를

식 (1)로 모델링하였다.

$$IER = k \left(\frac{R}{Ts} \right) \frac{1}{SR} \quad (1)$$

k : latch turn on point R : resolution [bit]
 Ts : sampling period [sec] SR : slewrate [V/sec]

그림2와 같이 IER을 만족하지 못할시는 입력을 반영하지 못하고 그 전 데이터가 출력되도록 모델링하였다.



Accuracy Ideal Comparator

그림 2. 비교기의 모델링

2.3 DAC

DAC는 KT/C noise와 기생 커패시터(Cp)에 의한 예러가 이슈가 된다. 이를 수식적으로 유도하면 각각 식 (2)와 식(3)이 된다.

$$\sqrt{KT/C \text{ noise}} = \sum_{n=1}^N \left(\sqrt{\frac{KT}{(2^{n+1} - 2)2^{N-1}C_u}} \right) \quad (2)$$

N : resolution C_u : unit capacitance

$$Attenuation = \frac{2^N C_u}{2^N C_u + C_p} \quad (3)$$

C_p : parastic capacitance of top plate

그림 3은 비트에 따른 가중치를 두어 커패시터 array를 모델링한 후 출력단에서 noise가 추가된 모델이다.

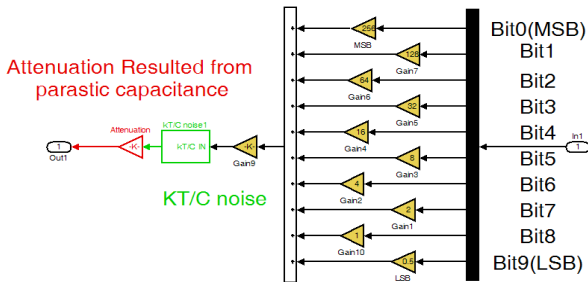


그림3. DAC의 모델링

III. 구현

그림 4의 이상적인 모델로 알고리즘을 증명 한 후 아날로그 블록 별 noise 특성을 분석하고 전력 소모의 이슈를 고려하였다.

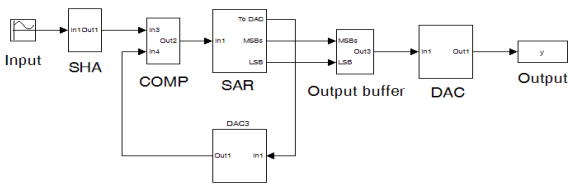


그림4. 이상적 모델링

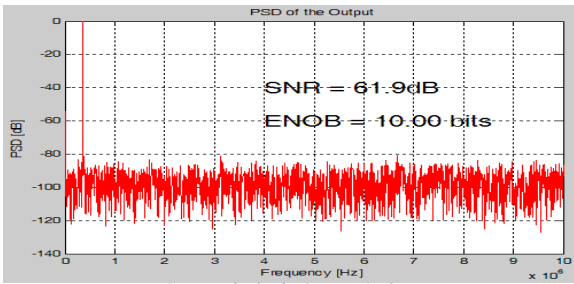


그림 5. 이상적인 모델의 FFT

그림5에서 ENOB가 10bit인 것으로 전체 시스템의 알고리즘이 정확히 설계되었다는 것을 확인할 수 있다.

표1. 샘플 앤 홀드 에러에 의한 영향

(KT/C noise, gain bandwidth product, slew rate)

Cs	SNR	GBW	SNR	SR	SNR
2p	61.7514	30M	61.8968	50M	61.7919
100f	60.1017	20M	61.5811	40M	58.0542
10f	54.0835	10M	59.8504	30M	14.2660
1f	44.9349	1M	45.0987	10M	1.9453

표1에서와 같이 KT/C noise의 영향이 가장 적게 나타나며 slew rate에 의한 영향이 가장 큰 것으로 나타났다.

표2.비교기 에러에 의한 영향

Accuracy[bit]	Ibias[A]	Quantization noise(Max.)	SNR
12	81.92u	1.2m	59.4253
11	40.96u	1.5m	56.0717
10	20.48u	2m	52.0808

표2에서 전류와 accuracy와의 비례 관계를 보이고 있고 그 영향이 매우 크게 나타난다.

표3. DAC 에러에 의한 영향

Cu	Cp	SNR	Cu	Cp	SNR
100f	-	61.9088	100f	20f	61.7585
10f	-	61.7739	10f	20f	58.5672
1f	-	60.5383	1f	20f	39.3504

표3에서와 같이 KT/C noise은 크게 영향을 미치지 않고 기생 커패시터에 의한 영향이 주로 나타난다. 이러한 noise에 대한 분석을 바탕으로 설계 사양을 결정하여 전력 소모와 Figure of Merit(FoM)에 대한 분석을 할 수 있다.

표4. 설계사양

Cs	Cu	Cp	VDD	P _{SHA} [W]	P _{COMP} [W]	P _{DAC} [W]
2p	100f	20f	2.5	250u	204.8u	852.3u

수식은 각각 식(4)와 식(5)와 같다. 그림 6은 표4의 설계사양으로 시뮬레이션을 한 결과이다. 해상도와 속도가 높기 때문에 DAC에서의 전력소모가 가장 크게 나타났다.

$$power\ dissipation = I_{COMP}VDD + I_{SHA}VDD$$

$$+ \frac{1}{2} \sum_{n=1}^N \left(\frac{2^n - 1}{4^{n-1}} \right) (V_{ref})^2 f_s \quad (4)$$

$$FoM = \frac{Power}{2^{ENOB} f_s} \quad (5)$$

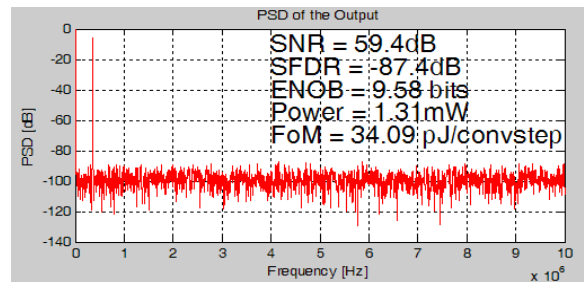


그림 6. noise가 추가된 모델의 FFT

IV. 결론 및 향후 연구 방향

SAR ADC의 성능을 제한하는 아날로그 블록의 잡음 성분을 모델링을 통하여 분석해보고 전력 이슈를 함께 고려하여 가장 optimize된 모델을 구상해볼 수 있으며 설계 이슈에 대한 하나의 가이드라인을 제시한다.

참고문헌

[1] Franco Maloberti, "DATA Converters", Springer, pp.178-184, 2007
 [2] 이승훈, 김범섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(하)", 시그마 프레스, pp.120-129, 1999

Acknowledge

본 논문은 2008년 「서울시 산학연 협력사업」의 「나노 IP/SoC설계기술혁신사업단」의 지원으로 이루어졌으며, IDEC의 tool 지원에 의하여 결과를 검증하였습니다. 이에 깊은 감사를 드립니다.