

# 10Gbps CMOS 클럭/데이터 복원 회로 설계

\*차충현, 심상미, 박종태, 유종근

인천대학교 전자공학과

e-mail : s2000907@incheon.ac.kr, tros02@incheon.ac.kr,  
jtpark@incheon.ac.kr, chong@incheon.ac.kr

## Design of a 10Gbps CMOS Clock and Data Recovery Circuit

\*Chung-Hyeon Cha, Sang-Mi Sim, Jong-Tae Park, Chong-Gun Yu  
Dept. of Electronic Engineering University of Incheon

### Abstract

In this paper, a 10Gbps clock and data recovery circuit is designed in 0.18 $\mu$ m CMOS technology. The circuit incorporates a multiphase LC oscillator, a quarter-rate Bang-Bang phase detector, a charge pump and a second order loop filter. The simulation results show that the designed circuit has a peak-to-peak clock jitter of 4.2ps and a peak-to-peak recovered data jitter of 8ps while consuming about 80mW from a 1.8V supply.

### I. 서론

클럭/데이터 복원 회로는 고속 동작이 요구되기 때문에 주로 GaAs와 SiGe HBT 공정으로 구현된다. 하지만, 높은 전력소모와 고비용, 그리고 큰 칩 면적이 필요하다는 단점이 있다. 이에 반하여, CMOS 공정은 저비용, 저 전력, 고 집적화 등의 장점과 scaling down으로 고속 동작이 가능해 짐으로써, CMOS 공정을 이용한 클럭/데이터 복원 회로(Clock & Data Recovery, CDR) 연구가 많이 이루어지고 있다.

CMOS 공정을 이용하여 신뢰할 수 있는 10GHz의 VCO를 설계하는 것은 매우 어렵고, 설계 시 상당한 부담이 된다. 본 연구에서는 2.5GHz 1/8-rate 4-phase VCO를 이용한 Quarter-rate 구조를 사용하여 10Gbps CDR을 설계하였다. 설계한 CDR은 구조적으로 1:4 Demultiplexing 기능을 수행하므로, 칩 면적을 줄일 수 있으며, 소비 전력 또한 줄일 수 있는 장점이 있다.

본 연구에서는 0.18 $\mu$ m CMOS 공정 변수를 이용하여 10Gbps CDR을 설계한 후, 회로의 동작을 Spectre RF 시뮬레이션을 통해 검증하였다.

### II. 본론

#### 2.1 Quarter-rate 구조

그림 1은 설계된 CDR의 전체 블록도를 나타낸다. CDR 회로에는 multi-phase LC-ring oscillator와 Bang-Bang 방식의 위상검출기, 전하펌프, 그리고 2차 저역통과필터를 사용한 Quarter-rate 구조를 사용하였다. Quarter-rate 구조는 10Gbps의 입력데이터를 4개의 2.5Gbps 데이터로 demultiplexing과 retiming을 동시에 수행한다. 위상검출기는 매 50ps마다 입력데이터를 검출하여, 위상 오차를 검출하여 VCO의 제어전압을 제어 한다.

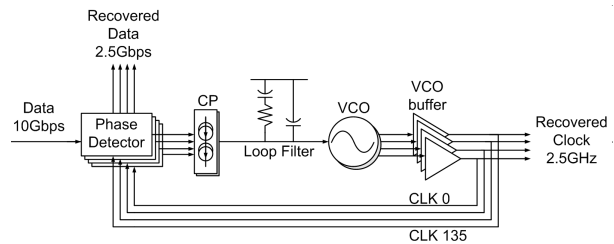


그림 1 CDR 전체 블록도

#### 2.2 Bang-Bang 위상검출기 모델링

위상 검출기에는 Bang-Bang 방식의 위상 검출기와 선형위상 검출기로 구분할 수 있다. Bang-Bang 방식은 위상의 오차가 없는 경우에도 전압제어 발전기의 제어 전압이 흔들리게 되어 high-frequency jitter를 발생시킨다. 이런 이유로 선형 위상 검출기 방식이 선호되지만, Multi-rate 구조에서는 그 구조가 Bang-Bang 방식보다 복잡해지고, 데이터를 검출하기 위한 회로를 추가로 필요로 한다.

Bang-Bang 위상 검출기는 패턴 의존적인 지터에 강하고, multi-phase 구조에 쉽게 접목할 수 있으며, 선형 위상 검출기보다 고속 동작이 가능하다.

그림 2는 Quarter-rate Bang-Bang 위상검출기이다. Quarter-rate Bang-Bang 위상검출기는 Alexander 위

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

상 검출기와 비슷한 동작 특성을 보인다.

설계한 위상검출기는 Bang-Bang 방식의 위상검출기이다. 이상적인 Bang-Bang 위상검출기는 위상 차이에 대하여 무한대의 기울기를 갖는다. 하지만 실제 위상검출기의 경우에는 다음 2가지에 이유에 의하여, 아주 작은 위상 차이를 갖는 구간에서 유한한 기울기를 갖게 된다.

첫 번째는 Flip-Flop의 입력 데이터가 변환 후, 바로 인접하여 클럭이 변환 경우, 플립플롭은 준안정 상태에 있게 된다. 그러므로 위상검출기는 포화 되지 않은 값을 출력한다.

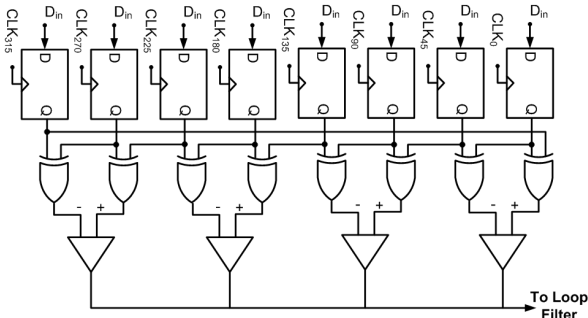


그림 2 Quarter-rate Bang-Bang 위상검출기

두 번째는 입력 데이터의 지터와 VCO에서 발생되는 지터에 의해서이다. 지터에 의해서 데이터의 샘플링 위치가 바뀌게 되는 경우, 위상 검출기의 출력은 원래의 출력 값이 아닌 값이 나오게 된다. 긴 시간을 두고 위상 검출기의 출력을 봤을 때, 위상 검출기의 평균적인 출력 값은 작은 위상 차이를 갖는 구간에서 선형적인 특성을 갖게 된다.

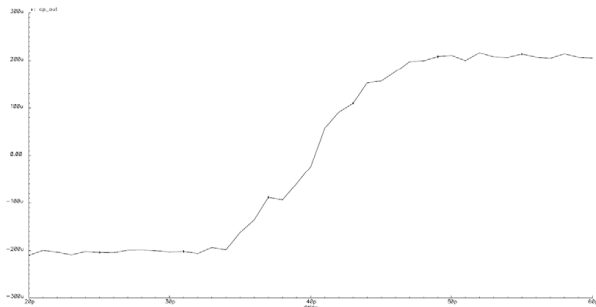


그림 3 위상 차이에 따른 위상 검출기의 출력

그림 3은 Transistor-level 모의실험 결과이다. 위의 두 가지 이유에 의해서 위상검출기의 출력은 선형구간이 존재함을 알 수 있다. 이 선형구간에서 CDR의 특성은 일반적인 2차 시스템으로 해석 할 수 있다.

본 연구에서는 부분적인 선형 특성을 갖는 위상 검출기를 이용하여 CDR 회로를 설계하였다.

그림 4는 설계된 회로의 모의실험 결과이다. 복원된 클럭 지터의 크기는 4.2ps, pp으로 우수한 특성을 보인다. 전체 전력 소모는 약 80mW를 소모한다. 전력 소모의 약 절반가량은 Bang-Bang 위상 검출기에서 소모한다.

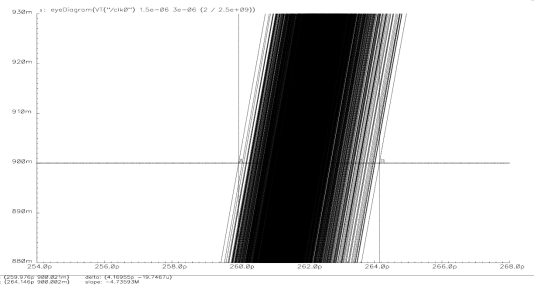


그림 4 클럭의 지터 특성

### III. 결론

본 연구에서는 0.18 $\mu$ m CMOS 공정 변수를 이용하여 Quarter-rate 구조의 10Gbps CDR 회로를 설계하였다.

그림 4는 설계한 CDR 회로의 모의실험을 통해 복원된 클럭의 지터 특성을 보이고 있다. 복원된 클럭의 지터 특성은 약 4.2ps, pp으로 우수한 지터 특성을 보이고, 1.8V의 전원전압으로 약 80mW의 낮은 전력소모를 확인하였다.

본 논문에서는 기존 CDR에 비해서 전력 소비 측면과 지터 특성의 향상되었음을 알 수 있다.

	[5]	[6]	This Work
Input Data Rate	10Gb/s	10Gb/s	10Gb/s
Output Data Rate	2 $\times$ 5Gb/s	2 $\times$ 5Gb/s	4 $\times$ 2.5Gb/s
Clock Jitter	1.2ps,rms	1.4ps,rms /7ps,pp	4.2ps,pp
Power Diss.	360mW	86mW	80mW
Supply Voltage	1.8V	1.5V	1.8V
Technology	0.18 $\mu$ m CMOS	0.13 $\mu$ m CMOS	0.18 $\mu$ m CMOS

표 1 성능비교

### 참고문헌

- [1] Jri Lee 외, "Analysis and Modeling of Bang-Bang Clock and Data Recovery Circuits", IEEE Journal of solid-state circuits, VOL 39, NO. 9, September 2004
- [2] B. Razavi 저, Design of Integrated Circuits for Optical Communications, Mc-Graw Hill, 2002
- [3] 5. Jri Lee 외, "A 40-Gb/s Clock and Data Recovery Circuit in 0.18- $\mu$ m CMOS Technology", IEEE Journal of Solid State Circuits, vol. 38, no. 12, pp.2181-2190, 2003
- [4] Jae Joon Kim 외, "A low phase-noise CMOS LC oscillator with a ring structure", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 430-431, 2000
- [5] J. E. Rogers and J. R. Long, "A 10-Gb/s CDR/DEMUX with LC delay line VCO in 0.18 $\mu$ m CMOS," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.254-255., 2002
- [6] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery with a half-rate linear phase detector," IEEE J. Solid-State Circuits, vol.36, no.5, pp.761 - 767, 2001