

# 시간 제약 조건하에서 상위 수준 합성을 위한 효율적인 스케줄링 기법

\*김지웅, 정우성, 신현철  
 한양대학교 전자전기 제어계측공학과

e-mail : [jwkim@digital.hanyang.ac.kr](mailto:jwkim@digital.hanyang.ac.kr), [wsjeong@digital.hanyang.ac.kr](mailto:wsjeong@digital.hanyang.ac.kr), [shin@hanyang.ac.kr](mailto:shin@hanyang.ac.kr)

## An Efficient Scheduling Technique for High Level Synthesis under Timing Constraints

\*Jiwoong Kim, Wooseong Jeong, Hyunchul Shin  
 Department of Electrical and Computer Engineering  
 Hanyang University

### Abstract

Modern VLSI designs get increasingly complex and time-to-market constraints get tighter. Using high level languages is one of the most promising solutions for improving design productivity by raising the level of abstraction. In high level synthesis process, most important step is scheduling. In this paper, we propose fast and efficient scheduling method under timing constraint based on list scheduling. Experimental results on well known data path intensive designs show fast execution times (less than 0.5 sec) and similar results when compared to optimal solutions [1].

### I. 서론

VLSI 공정의 집적도가 향상되고 설계 복잡도가 크게 증가하는 반면 chip의 life cycle은 점점 줄어들어 따라 기존의 Register Transfer Level (RTL) 기반의 설계방식은 time-to-market을 만족시키기 어렵다. 이에 따라 알고리즘 레벨 (C/C++)로 설계하여 system을 합성하는 기술의 개발이 필요하다.

상위 수준 합성의 단계는 크게 스케줄링, 바인딩으

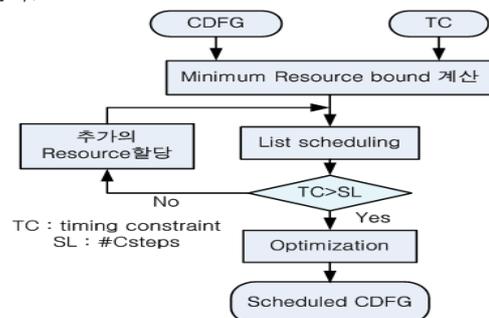
로 이루어져 있으며 기존의 스케줄링 기법으로 가장 많이 쓰이는 기법으로는 Force Directed Scheduling [2], 리스트 스케줄링, Integer Linear Programing (ILP) [1]를 이용한 스케줄링 기법이 있다.

본 논문에서는 복잡한 data flow의 상위 수준 합성을 위한 리스트 스케줄링 기반의 빠르고 효율적인 알고리즘을 제안한다. 특히 효과적인 resource 추가 방법을 제안하였다.

### II. 스케줄링 알고리즘

#### A. 전체 알고리즘

전체 스케줄링 알고리즘은 <그림 1>과 같다. Control data flow graph (CDFG)와 timing constraint (TC)를 입력으로 받아 minimum resource (MR)를 계산한다.

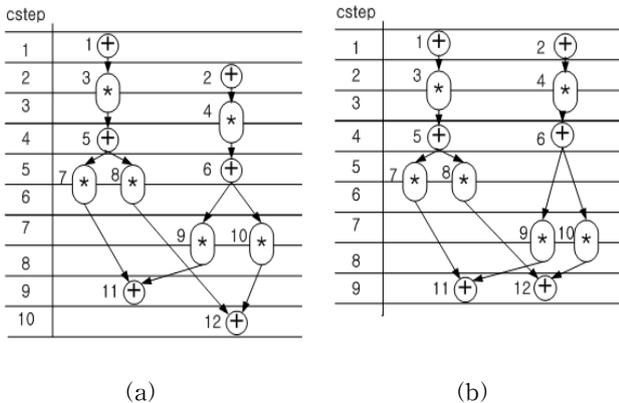


<그림 1> 전체 스케줄링 flow

MR은 dependency를 고려하지 않았을 때 CFG를 스케줄링 하는데 필요한 최소한의 functional unit (FU)의 개수이다. MR을 가지고 리스트 스케줄링을 수행하고 그 결과 dependency로 인해 TC를 만족하지 못하면 추가의 FU를 할당하여 다시 리스트 스케줄링을 하게 된다. 리스트 스케줄링의 우선순위는 데이터 경로의 길이와 후행연산의 개수를 고려하여 결정된다. 반복수행 후 스케줄링 결과가 TC를 만족했을 경우 optimization을 거쳐 알고리즘을 종료한다.

B. 추가의 Resource 할당 및 Optimization

추가의 resource 할당은 TC를 만족하지 못하는 모든 경로에 대해 경로의 길이를 줄일 수 있는 곳의 FU를 찾아 리스트에 넣고 cost (area)가 가장 낮은 FU를 할당한다. <그림 2>의 경우 TC = 9 cycle로 스케줄링했을 경우 곱셈기 두 개와 덧셈기 한 개를 이용하여 (a)와 같이 스케줄 된다. 그 결과가 TC를 만족시키지 못하기 때문에 만족하지 못하는 경로의 operation 12부터 위로 검색하여 operation 12, 10, 2를 찾아 추가적인 덧셈기를 할당한다. 그 다음 다시 스케줄링 하게 되고 그 결과는 (b)와 같다. Optimization과정은 불필요하게 할당된 FU를 제거한다.



<그림 2> 스케줄링과 추가의 Resource 할당의 예

III. 스케줄링 결과

스케줄링 알고리즘은 C언어로 구현하였고 Data flow intensive design 예제들에 대해서 스케줄링을 하였다. <표 1>은 Discrete Cosine Transform (DCT)에 대한 스케줄링 결과이다. 48개의 연산 (곱셈연산 16, 덧셈연산 25, 뺄셈연산 7)을 가지며 곱셈연산은 2 cycle 나머지는 1 cycle로 알고리즘을 수행하였다. <표 2>는 Elliptic Wave Filter (EWF)에 대한 수행결과이다. 여러 가지 TC에서 수행하여 ILP를 이용한 스케줄링[1]과 비교한 결과 2가지 경우를 제외한 모든 경우에 같은 결과를 나타내었다. 두 예제 이외에도 FIR,

IIR, Lattice, Wavelet, Volterra 등 DSP 예제에 대해서도 동일한 수준의 결과를 얻었고 모든 예제와 여러 가지 TC에 대하여 Pentium 4 2.8Ghz CPU에서 0.5초 이내에 수행되었다.

#CSTEPS	ILP[1]		OURS	
	#ALU	#MULT	#ALU	#MULT
7	6	8	7	8
8	5	6	5	6
9	4	6	4	6
10	4	4	4	4

<표 1> DCT 예제의 스케줄링 결과

#CSTEPS	ILP[1]		OURS	
	#ALU	#MULT	#ALU	#MULT
17	3	3	3	3
18	2	2	3	2
19	2	2	2	2
21	2	1	2	1

<표 2> EWF 예제의 스케줄링 결과

IV. 결론

본 논문은 리스트 스케줄링을 기반으로 빠르고 효율적인 timing constraint하에서의 스케줄링 기법을 제안하였다. 그리고 효과적인 추가 resource 할당 방법을 개발하였으며, 대부분의 예제에서 ILP를 이용한 최적 스케줄링 결과와 유사한 결과를 보였다. 본 논문에서 제시한 스케줄링 기법은 복잡한 data flow에 대해 여러 가지 resource/ timing constraint하에서 다양하고 빠른 설계공간탐색을 가능하게 한다.

ACKNOWLEDGE

This research work has been supported by System IC2010 project of Korea Ministry of Commerce, Industry and Energy.

참고문헌

[1] S. Chaudhuri, R. A. Walker, J. E. Mitchell, "Analyzing and exploiting the structure of the constraints in the ILP approach to the scheduling problem", IEEE Trans. CAD, Vol. 2, pp.456 - 471, Dec. 1994.  
 [2] P. G. Paulin and J. P. Knight, "Force-directed scheduling for the behavioral synthesis of ASIC's", IEEE Trans. CAD, vol. 8, pp. 661-679, June 1989.