

소모전력/면적 제약조건에서 메모리 최적화 방법

*이성철, 신현철

한양대학교 전자전기제어계측공학과

e-mail : *sclee@hanyang.ac.kr, shin@hanyang.ac.kr*

Memory Optimization Method with Energy / Area Constraints

*Sungchul Lee, Hyunchul Shin

Department of Electrical and Electronics Engineering
Hanyang University

Abstract

In this paper we describe a multi-module, multi-port memory design procedure that satisfies area and/or energy constraints. Our procedure uses ILP models to determine (a) the memory configuration with minimum area, given the energy bound, (b) the memory configuration with minimum energy, given the area bound. If we have a margin in time constraint, we break up conflict edges and expend the search space of ILP. This method effectively reduces area and power of the designed results.

I. 서론

이동통신기기가 발전하면서 system의 소모 전력을 줄이는 것이 반도체 설계 과정에서 매우 중요한 요소가 되었다. 특히 메모리는 소모전력을 크게 증대시키는 요인이다.

Memory 설계에서 충돌(conflict)이 없는 memory array들을 1개의 memory module에 배치하면 control block 및 port의 감소로 memory의 면적이 작아지고 소모 전력은 늘어나며, 서로 다른 memory module에 두게 되면 memory access시에 charging해야 할 capacitance가 작아져서 소모전력이 줄고, 면적은 증가한다.[1-3] 충돌(conflict)이 있을 경우 연산시간이 증가

할 수 있으며, 이를 줄이기 위해 port 수를 증가시킬 경우 면적과 소모 전력 모두에 악영향을 끼친다.

본 논문에서는 [1]에서와 같이 Conflict Graph (CG)를 바탕으로 ILP를 사용한 memory 최적화 방법을 사용한다. 또한 연산시간 제약에 여유가 있을 경우 conflict edge를 제거하여, ILP 연산 과정에서 search space를 넓혀 최적값을 개선하는 방법을 제안한다.

II. 본론

2.1 Memory 최적화 방법

본 논문에서는 주어진 면적/소모전력 제약요소를 만족하면서 memory module에 소모전력 및 면적에 대해 최적이 되도록 memory array를 구성하는 방법을 사용한다. 소모전력 및 면적을 계산하기 위해 word/bit 수, read/write access 횟수가 주어지게 된다. 다음의 문제를 해결하기 위해 ILP[1] 방법을 사용한다.

1. 소모전력 제약요소를 만족하는 상태에서 면적이 최소화되는 memory array 배치
2. 면적 제약요소를 만족하는 상태에서 소모전력이 최소화되는 memory array 배치

최적화 순서는 다음과 같다.

1. conflict graph 생성
2. 소모전력과 면적 modeling
3. ILP를 통한 memory 최적화

```

for (i = 1 to 50)
  tmp = input;
  A[2i-1] = tmp;
  A[2i] = -tmp;
for (j = 1 to 50)
  B[j] = A[101-j];
  G[j] = B[j] + A[2j];
for (k = 1 to 50)
  C[2k] = B[51-k];
  C[2k-1] = B[k];
for (l = 1 to 50)
  D[l] = C[l] + A[l] + B[l];
for (m = 1 to 150)
  E[m] = m;
for (n = 1 to 50)
  F[n] = C[n] + C[2n] + E[3n];
    
```

그림 1. 예제 1

```

for (j = 1 to 50)
  B[j] = A[101-j];
  tmp = B[j];
  G[j] = tmp + A[2j];
    
```

그림 2. 예제 1의 변경부분

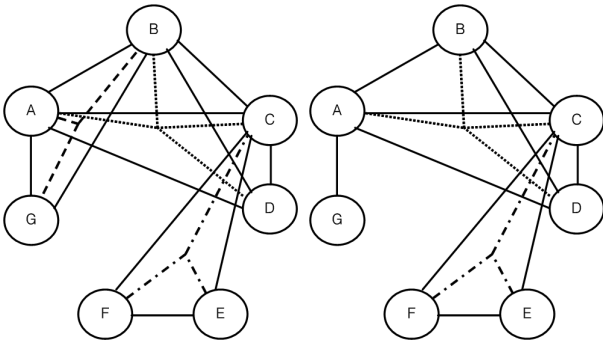


그림 3. 예제 1에 대한 conflict graph

그림 4. 변경된 예제 1에 대한 conflict graph

그림 1의 예제 1은 Very Long Instruction Word (VLIW) machine에서 사용한다고 가정하고 1줄의 연산이 1 cycle에 수행된다고 가정하였다. 예제 1을 conflict graph로 작성하면 그림 3과 같다.

각 edge로 연결된 memory array는 같은 memory module에 배치 할 경우 conflict가 발생하는 경우이고, 점선 (hyper edge) 은 동시에 3개 이상의 memory conflict가 발생하는 경우이다. Memory access conflict가 발생할 경우 연산시간이 지연되므로 conflict가 발

생하는 memory는 같은 array로 두지 않는다. 각 제약 요소에 대해 ILP[1]로 최적값을 구하면 표 1과 같다.

예제 1은 1줄이 1cycle에 끝난다고 가정하면 총 600 cycle의 연산시간이 필요하다. 이때 time constraint가 650 cycle이라면 50 cycle이 필요한 연산 1개에 대해 conflict edge를 제거할 수 있다.

BG conflict edge를 제거할 경우 예제 1은 다음 그림 2와 같이 변경되며, conflict graph는 그림 4와 같다. 또한 이때 register tmp의 추가로 인한 면적 증가 및 소모전력 증가는 매우 작다고 가정하고 무시한다.

III. 결론 및 향후 연구 방향

Conflict edge 제거를 통해 area constraint가 있는 경우 소모전력 개선, energy constraint가 있는 경우 면적 개선을 할 수 있었다. 그러나 ILP를 사용한 연산으로 인해 많은 시간을 필요로 하는 단점이 있다. 따라서 다양한 예제에 대해 제거할 conflict edge를 더 빠르게 찾을 수 있는 방법을 개발할 예정이다.

참고문헌

[1] Wen-Tsong Shiue; Tadas, S.; Chakrabarti, C.; "Low power multi-module, multi-port memory design for embedded systems" Signal Processing Systems, 2000. SiPS 2000. 2000 IEEE Workshop on, 11-13 Oct. 2000 Page(s):529 - 538

[2] J. M. Mulder, N. T. Quach, and M. J. Flynn, "An Area Model for On-chip Memories and its application," IEEE Journal on Solid-state Circuits, Vol. 26. Pages 98-105, Feb. 1991.

[3] S. Wuytack, F. Catthoor, G. de Jong, and Hugo De Man, "Minimizing the Required Memory Bandwidth in VLSI System Realizations," IEEE Transactions on VLSI Systems, Vol. 7, No. 4, Dec. 1999.

표 1. 예제 1의 개선 결과

Constraint	Timing margine	Array	Area [mm ²]	Energy [uJ]
Area constraint : 1.084	none	AE, FG, B, C, D	1.071	1.234
	50 cycles	BG, AF, DE, C	1.081	1.229
Energy constraint : 1.23	none	BE, DF, A, C, G	1.086	1.198
	50 cycles	BG, AF, DE, C	1.081	1.229
Energy constraint : 1.71	none	AE, BF, CG, D	1.050	1.423
	50 cycles	DFG, BC, AE	0.909	1.703