

# 크로스토크 방지 기술을 적용한 칩 제작기법에서의 클럭 넷 셸드 처리에 의한 셀 면적 오버헤드 개선

\*이준섭, 송재훈, 김민철, 김기범, 박성주  
한양대학교 컴퓨터공학과

e-mail : {jslee,jhsong,nectar,kbkim,parksj}@mslab.hanyang.ac.kr

## Improvement of cell area overhead for crosstalk prevention design flow by using clock shielding

\*Junseop Lee, Jaehoon Song, Minchul Kim, Kibum Kim, Sungju Park,  
Department of Computer Science and Engineering,  
Hanyang University

### Abstract

With the semiconductor industry evolving into the deep sub-micron (DSM) era, the crosstalk effects on interconnect lines of a chip have increasingly caused a major bottleneck for design closure. In this paper, we propose an effective design guide line to reduce cell area overhead without crosstalk noise violations by using crosstalk prevention flow with clock shielding.

### I. 서론

칩 상의 연결선 간 크로스토크 영향은 칩 제작공정이 낮아지고 칩의 동작 주파수가 증가 하면서 크게 문제가 되고 있다. 크로스토크 영향은 신호의 타이밍 문제에 있어서 딜레이 또는 speed-up을 발생하기 때문에 칩 디자인 시 타이밍 분석을 어렵게 할 뿐만 아니라 크로스토크 노이즈에 의한 글리치 등은 회로의 오동작을 야기시킬 수 있으며 결과적으로 시스템 전체의 성능을 저하시키는 결과를 가져 오게 된다. 이와 같은 크로스토크 노이즈는 연결선간의 커플링 커패시턴스 및 커플링 인덕턴스에 의해 발생된다.

여기서 크로스토크 영향을 주는 연결선을 aggressor라 하고 영향을 받는 쪽을 victim이라 하며 일반 적

으로 칩 상의 가장 강한 aggressor는 클럭신호이다. 프로세서와 같은 수 GHz 대의 고성능 칩에서는 클럭에 의한 크로스토크 영향을 최소화하기 위해 클럭 셸딩을 일반적으로 사용하고 있다[1]. 반면에 수 십에서 수 백 MHz 대의 low/medium-end 칩의 경우는 클럭 셸딩을 하는 대신 연결선간 길게 이웃하는 경우를 최소화 하는 방법, 연결선간의 간격을 조절하는 방법, victim의 신호강도 세기를 조절 하여 클럭신호로부터의 노이즈 영향을 감쇠시키는 게이트 크기조절[2], 버퍼 삽입[3]등이 주로 사용되고 있다. 본 논문에서는 low/medium-end 칩의 경우라도 클럭 셸딩을 하게 됨으로써 얻게 되는 이득이 적지 않음을 실험적으로 보여주며 크로스토크 방지 설계흐름 상 반드시 고려해야 할 선택안 중 하나임을 보여주고자 한다.

### II. 본론

산업체에는 일반적으로 칩 상의 연결선 간의 크로스토크 노이즈 해결을 위해 상용 칩 설계 도구의 크로스토크 노이즈 방지 기법을 따르고 있으며, 그 도구 또한 서론에서 언급한 방식과 마찬가지로 연결선 간 길게 이웃하는 경우를 최소화 하는 방법, 게이트 크기조절, 버퍼 삽입 기법 등으로 노이즈를 해결하고 있다. 하지만 aggressor를 셸드 처리를 하여 크로스토크 노이즈를 줄이는 방식의 경우 칩 상의 라우팅 복잡도 증가를 가져오게 되고 라우팅 시에 부하가 많이 걸리기 때문

에 적용을 하지 않는 경우가 많다. 따라서 낮은 클럭 스피드를 갖는 칩들의 경우 클럭 설딩을 하기보다는 틀에서 제시하는 크로스토크 노이즈 방지 기법을 주로 이용하여 노이즈를 개선한다. 이러한 경우, 셀 면적의 증가가 필연적으로 일어나게 되며 더 큰 substrate 층을 요구하게 되어 전체적인 칩 면적 증가를 야기하게 된다.

이와는 다르게 클럭 스피드가 높은 고성능 칩들의 경우 클럭에 의한 크로스토크 영향이 매우 크기 때문에 일반적으로 클럭 넷 자체를 쉴드 처리를 하여 크로스토크 노이즈 문제를 줄인다. 이와 같이 클럭 넷을 쉴드 처리 하는 경우, 강한 aggressor를 미리 제거하는 효과가 있게 되므로 크로스토크 노이즈 방지 기법을 거칠 때 게이트 크기조절 및 버퍼 삽입에 의해 발생하는 셀 면적 오버헤드를 개선 할 수가 있으며 전력 소모 또한 줄일 수 있게 된다.

다음 장에서는 GHz 대의 고성능 칩이 아닌 경우에도 크로스토크 노이즈 방지 기법에 의해 증가한 셀 면적 오버헤드가 클럭 넷 쉴드 처리에 의해 얼마나 개선이 되는 것을 실험을 통해 보여준다.

### III. 실험

실험은 ISCAS'89 benchmark 회로를 사용하였으며 동작 주파수는 200 MHz로 하였다. Magna 0.18 um 공정 라이브러리와 Synopsys 사의 Design Compiler를 사용하여 게이트 수준 합성을 하였고, 크로스토크 노이즈 분석 및 제거 기능을 가진 배치 및 라우팅 레이아웃 툴인 Synopsys 사의 Astro-Xtalk를 사용하여 실험 및 분석을 하였다.

표 1의 2배 2.5배 3배는 각 회로의 전체 셀 면적의 2배 2.5배 3배에 해당하는 die 크기에 대해 실험을 진행하였음을 나타낸다. 각 회로의 xtalk 열은 클럭 설딩을 하지 않고 Astro-Xtalk의 크로스토크 방지 기법만 적용한 후에 크로스토크 방지 기법을 적용하지 않은 원래 디자인의 전체 셀 면적에 대한 오버헤드를 나타낸다. Shield 열은 원래 디자인의 전체 셀 면적에 대해 클럭 설딩 후 Astro-Xtalk의 크로스토크 방지 기법을 적용한 셀 면적 오버헤드를 나타내고 있다. Xtalk 열에 대해 shield 열에서 적게는 2배 내지 크게는 7배 정도의 오버헤드가 개선됨을 확인을 할 수 있다.

이와 같은 셀 면적 오버헤드 개선은 칩의 substrate 층을 효율적으로 이용하게 할 수 있을 뿐 아니라 칩의 전력 소비 또한 줄일 수 있을 것이다.

표 1. 크로스토크 방지 기법에 따른 전체 셀 면적 오버헤드의 비교

circuit	2.5배		3배		3.5배	
	xtalk	shield	xtalk	shield	xtalk	shield
s298	7.48	0.85	5.13	0.85	2.14	0.85
s382	6.31	1.62	7.12	2.91	7.12	2.75
s444	4.17	1.6	4.81	1.92	4.33	1.6
s713	6.94	2.95	6.71	3.13	9.2	3.56
s820	7.76	2.2	9.96	2.78	8.79	2.64
s1196	5.3	2.72	5.3	3.02	6.19	2.14
s5378	7.19	2.16	8.5	3.16	7.64	2.28
s13207	4.82	2.08	5.01	2.65	5.4	2.58
s15850	2.18	1.53	2.37	2.2	4.92	2.98
s38584	4.82	1.34	4.81	1.51	5.08	1.67
s35932	5.47	2.6	5.28	2.83	5.59	3.09

### IV. 결론

실험을 통해 GHz 대의 고성능 칩이 아니더라도 클럭 설딩에 의해 크로스토크 방지를 위한 추가적인 셀 면적 오버헤드가 상당히 개선됨을 확인 하였다. 따라서 본 논문에서 보여준 것처럼 클럭 설딩을 적용한 후 버퍼 삽입 및 게이트 크기조절 등의 크로스토크 방지 기법을 low/medium-end 칩 설계에 적용하는 것도 설계 흐름 중 하나의 대안으로서 고려될 수 있다. 이것은 전체 셀 면적뿐만 아니라 전력 소비를 줄이는 데도 기여할 수 있을 것이다.

### 감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체연구개발사업인 "시스템집적반도체기반기술개발사업(시스템 IC2010)을 통해 개발된 결과임을 밝힙니다.

### 참고 문헌

- [1] T. Zhang and S.S. Sapatnekar, "Simultaneous shield and buffer insertion for crosstalk noise reduction in global routing", IEEE International Conf. on Computer Design: VLSI in Computers and Processors, pp. 93-98, 2004.
- [2] M.R. Becer, D. Blaauw, I. Algor, R. Panda, C. Oh, V. Zolotov, and I.N. Hajj, "Postroute gate sizing for crosstalk noise reduction", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 23, pp. 1670-1677, 2004.
- [3] S. Dubey and J. Jorgenson, "Crosstalk Reduction Using Buffer Insertion", IEEE International Symposium on Electromagnetic Compatibility, vol. 2, pp. 639-642, 2002.