

# 부 스큐 지연을 이용한 초고주파 디지털 제어 링 발진기 설계

\*최재형, \*\*황인석  
동국대학교 전자공학과  
e-mail : \* tokul@naver.com, \*\* ishwan@dongguk.edu

## Design of RF Digitally Controlled Ring Oscillator Using Negative-Skewed Delay Scheme

\*Jae-Hyung Choi, \*\*In-Seok Hwang  
Dept. Electronics Engineering  
Dongguk University

### Abstract

A high-speed DCO is proposed that uses the negative-skewed delay scheme. The DCO consists of a ring of inverters with each PMOS transistor driven from the output of 3 earlier stage through a set of minimum-sized pass-transistors. The digitization of negative-skewed delay is achieved by selecting pass-transistors turned on and digitizing the gate voltages of the selected pass-transistors. The proposed 7-stage DCO has been simulated using 1.8V, 0.18  $\mu\text{m}$  TSMC CMOS process to obtain a resolution of 3ps and an operation range of 2.88-5.03GHz.

### I. 서론

최근 대부분의 VLSI 회로에서는 디지털회로와 아날로그 회로의 집적화가 이루어지고 있다. 디지털회로와 아날로그 회로를 함께 집적시킴으로써 발생하는 문제점을 보완하기 위하여 All Digital PLL(ADPLL)의 필요성이 제기되었고, ADPLL에서의 핵심 회로인 Digitally Controlled Oscillator(DCO)의 연구가 필요하게 되었다. 본 논문에서는 아날로그 회로인 VCO에서 Ring형 발진기의 발진 주파수를 높이는 방식인 부 스큐 지연 방식[1]을 적용하여 부 스큐 지연을 디지털화함으로써 DCO 전체의 발진 주파수를 조절하였고,

제어 회로의 크기를 줄일 수 있는 방향과 넓은 출력 범위를 가질 수 있도록 회로를 설계하였다.

### II. 제안한 부 스큐 지연의 디지털화를 이용한 DCO

#### 2.1 DCO의 구조 및 동작 원리

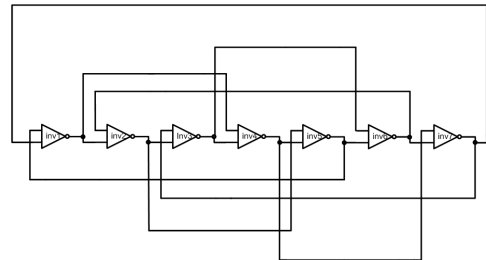


그림 1. DCO의 구조

그림 1은 제안하는 DCO의 구조이다. 기본적으로 7단 Ring형 구조를 가지며 각 인버터의 PMOS와 NMOS의 입력은 서로 다른 위상을 가진다. NMOS는 바로 이전 단계에서 입력을 받지만, NMOS에 비해 느린 속도를 가지는 PMOS는 3단 이전 단계에서 부 스큐 입력을 받게 된다. 각 부 스큐 입력은 디지털 제어 전압 분배기와 패스 트랜지스터 width 조절회로의 입력을 받아 이전단계에서의 구동 전류를 조절한다. DCO의 발진 주파수는 사용하는 부 스큐 지연의 정도에 따라 조절되며 다른 해상도를 가지는 3단계로 구분되어진다.

2.2 부 스큐 구동 전류의 디지털화 구현

그림 2는 제안한 DCO의 단위 지연 셀의 회로도이다. 제안한 단위 지연 셀은 우선 패스 트랜지스터의 게이트 전압에 의해 On/Off가 결정된다. 이렇게 On 된 패스 트랜지스터의 개수에 따라 전제 패스 트랜지스터의 width가 결정된다. 또한 각 패스 트랜지스터의 게이트 전압 레벨에 따라 패스 트랜지스터의 전류 구동 속도가 변하게 된다. 마지막으로 각 확장 PMOS는 패스 트랜지스터가 모두 Off가 되었을 경우 그 입력이 차단되어 역시 Off가 된다. 만약 하나의 패스 트랜지스터라도 On 상태가 되면 그 입력을 받는 확장 PMOS는 On 상태가 되고, 이렇게 On/Off 개수에 따라 전제 인버터의 PMOS의 width가 결정되게 된다.

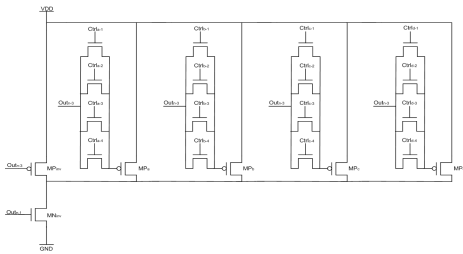


그림 2. 단위 지연 셀의 회로도

2.3 DCO의 소신호 모델링 및 분석

제안한 DCO의 발진 주파수와 패스 트랜지스터의 Width, 게이트 전압과의 관계를 분석하기 위해 단위 지연 셀을 그림 3과 같이 모델링을 하였다.

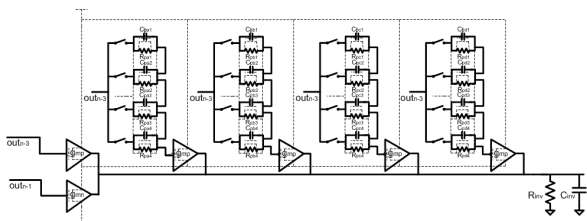


그림 3. 단위 지연 셀의 소신호 모델

위 등가회로의  $out_n$ 에서의 전달함수와 박 하우젠의 조건을 이용하여 발진주파수를 구하게 되면 아래 식을 얻을 수 있다[2].

$$\omega_o = \frac{\tan \frac{\pi}{N} + (g_{mp1} + \dots + g_{mpN})(R_{inv} \sin \frac{3\pi}{N} + R_{inv} \tan \frac{\pi}{N} \cos \frac{3\pi}{N})}{(R_{inv} + R_{pass}) \left( \frac{C_{inv} C_{pass}}{C_{inv} + C_{pass}} \right)}$$

III. 시뮬레이션 결과 및 검증

그림 4는 제안한 세 가지 메커니즘을 이용한 DCO의 단계적 차수별 발진 주파수의 시뮬레이션 결과를 수집하여 도식화한 그래프이다.

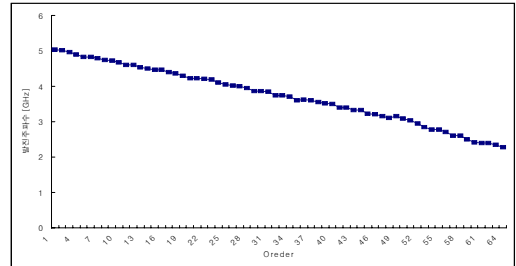


그림 4. 제안한 DCO의 입력 차수 VS. 발진주파수

제안한 DCO는 초고주파 응용분야에 쓰일 수 있도록 높은 발진주파수를 가지도록 설계하였으며, 2.88GHz-5.03GHz의 대역을 수용한다. 그림 5는 각각 제안한 DCO의 최고 발진 주파수인 5.03GHz에서의 발진 파형을 보여주며, 이때 power consumption은 3.24uW로 우수한 특성을 가진다.

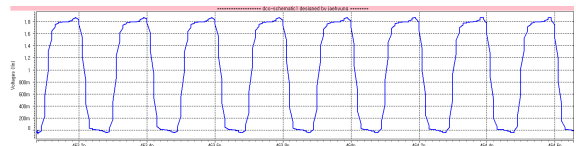


그림 5. 5.03GHz에서의 발진 파형

IV. 결론

본 논문에서는 부 스큐 지연을 이용한 초고주파용 DCO의 새로운 발진 주파수 조절 방법을 제안하였다. 부 스큐 지연방식을 이용하여 링 발진기의 발진 주파수를 증가시켰으며, 부 스큐 라인의 패스 트랜지스터 width와 게이트 전압, 확장 PMOS width를 조절함으로써 약 3ps의 높은 해상도와 함께 2.88GHz-5.03GHz의 높은 발진 주파수를 가지는 발진기를 설계할 수 있었다.

참고문헌

[1] Seog-Jun Lee, "A Novel High-Speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed Delay Scheme", IEEE JSSC, VOL.32, NO.2, Fer 1997, pp 289-291  
 [2] 김성하, 김삼동, 황인석 "향상된 부 스큐 고속 VCO를 이용한 초고주파 PLL" 전자공학회논문지 -SC 제42권 6호, pp. 23-36