

16 비트 RISC 프로세서 설계 및 검증

*정승표, *송승원, *이동훈, **김강주, **조군식, *박주성
* 부산대학교 전자전기공학과
** 삼성 전기
e-mail : spyam@pusan.ac.kr

Design & Verification of 16 Bit RISC Processor

*Seung Pyo Jung, *Seung Won Song, *Donghoon Lee, **Kang-joo Kim,
**Koon-shik Cho, *Ju Sung Park
* School of Electronic and Electrical Engineering
** Samsung Elector-mechanics

Abstract

The procedure of design and verification for a 16-bit RISC processor is introduced in this paper. The proposed processor has Harvard architecture and consists of 24-bit address, 5-stage pipeline instruction execution, and internal debug logic. ADPCM vocoder and SOLA algorithm are successfully carried out on the processor made with FPGA.

16비트 프로세서를 기반으로 SOC design에 적합한 16 비트 RISC 프로세서를 설계하고 설계된 프로세서의 검증에 관한 내용을 담고 있다.

I. 서론

최근 휴대폰과 PMP, PDA 등의 휴대기기의 사용이 일반화됨에 따라서 고도로 집적된 SOC급 ASIC (Application Specific Integrated Circuits) 형태의 시스템 설계의 요구가 커졌다. 이러한 SOC급 ASIC 시스템에서 사용되는 프로세서 코어로 8051과 ARM7등이 많이 사용된다. 이중 ARM7은 32비트 프로세서로 비교적 큰 수백만 게이트 급의 SOC에 내장되어 사용되며 작은 시스템에서는 8비트 프로세서인 8051이 주로 사용되고 있다. 그러나 오디오나 비디오 신호의 비트수가 8비트에서 16비트로 늘어감에 따라 8비트 프로세서로 처리하는 시간이 문제가 되어왔다.

본 논문에서는 기존에 개발되어서 사용되고 있는

II. 본론

2.1 프로세서의 설계

새로운 16비트 RISC 프로세서는 Harvard 구조를 가져 프로그램 메모리와 데이터 메모리의 별도의 관리를 가능하게 하여 효율적인 메모리 제어가 가능하고 segment register를 설정하여 24비트 메모리 어드레스를 활용가능 하다. 또한 5단 파이프라인구조를 통하여 5개의 명령을 동시 수행하여 효율적인 데이터 처리가 용이한 구조를 지녔다.[1] 여기에 block repeater를 내장하여 파이프라인 구조에서 반복구문을 사용할 경우 효율성이 떨어지는 것을 개선하였다.

연산에 있어서 16비트 ALU를 비롯 16비트 곱셈기와 16비트 barrel shifter를 내장하여 빠른 연산처리가 가능하도록 하였다. 이 중 곱셈기의 32비트 처리결과는 연속된 두 개의 16비트 레지스터에 저장 되도록 설계하여 빠른 연산처리가 가능하다.

명령어의 구성에 있어서는 기본적으로 레지스터간의 데이터 연산명령을 1word 명령어로 구성을 하되 24비트 어드레스를 활용하기 위한 2word jump 명령과 반복되는 동작을 하나의 명령어로 처리하게 하는 명령,

그리고 atomic instruction을 지원하기 위한 swap명령 등을 별도의 길이를 가지게 구성하였다. 명령의 addressing mode는 기본적인 register mode를 기본으로 immediate를 연산의 대상으로 사용하는 immediate mode, load/store 명령에서 Base register와 offset을 더한 영역의 값을 받아오는 indirect mode 그리고 24비트 absolute branch를 지원하기 위한 Direct addressing mode를 지원한다.

제안된 프로세서는 internal debug logic을 내장하여 프로세서의 동작의 검증이 용이하며 Jtag 프로토콜을 지원하여 기존 프로토콜을 그대로 사용할 수 있다. 또한 기존의 AMBA에 호환되는 AHB Master & Wrapper를 내장하여 메모리와 부가회로의 연결을 쉽게 하였다.

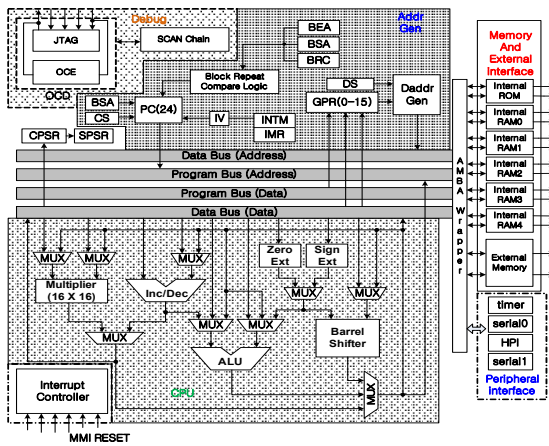


그림 1 설계된 프로세서 구조

2.2 프로세서의 검증

설계된 프로세서는 세 단계를 거쳐 검증되었다. 먼저 최초 기획된 프로세서의 모델을 기반의 ISS (Instruction Set Simulator)에서 수행되는 개별 명령어 동작과 HDL simulator tool인 Modelsim을 이용하여 프로세서의 개별 명령어 테스트를 상호 비교하여 기획한 모델과 동일한 동작을 하는 것을 검증하였다.

5단 파이프라인 구조를 가짐에 따라서 앞뒤 명령간의 영향에 의한 hazard 현상이 발생할 가능성이 있다. 따라서 조합 명령어 수행 검증으로 ADPCM vocoder와 SOLA(Synchronized Overlap and Add) 알고리즘을 설계된 프로세서에 맞게 구현하여 ISS를 통하여 코드 검증 후 Modelsim을 이용하여 알고리즘의 수행 결과와 ISS상의 결과의 비교 검증 테스트를 실시하였다.[2]

simulator에서는 HDL코드를 코드그대로의 의미로만 해석하여 하드웨어 합성전후의 동작이 다를 가능성이

존재한다. 이를 검증하기 위하여 FPGA 다운로드를 통한 검증을 iPROVE를 사용하여 진행하였다. iPROVE는 Xilinx사의 Vertex2-6000가 탑재되어 있고 FPGA에 다운로드 된 디자인의 디버깅기능을 제공하는 보드이다. FPGA 보드에 다운로드된 프로세서에 ADPCM vocoder와 SOLA 알고리즘을 수행시켜 interrupt 동작과 개별명령어 조합명령어의 수행을 검증하였다.

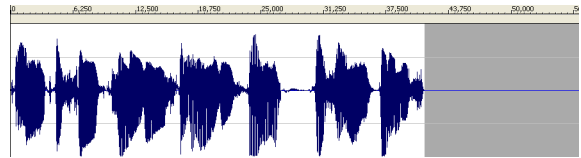


그림 2 SOLA input data

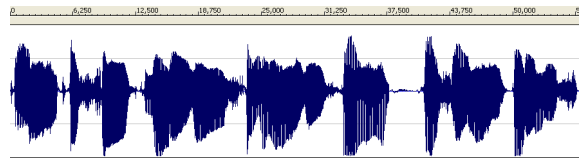


그림 3 SOLA output data (x1.25)

III. 결론 및 향후 연구 방향

본 논문에서 제안된 16비트 RISC 프로세서는 SOC급 ASIC에 내장을 목표로 설계되었다. 대상 프로세서는 Harvard architecture를 기반으로 24비트 어드레스 영역과 5단 파이프라인 구조, 그리고 debug logic을 내장하도록 설계되었다. 현재 FPGA 다운로드를 통하여 프로세서의 동작을 검증하였다.

차후 제안된 프로세서에 적합하며 ASIC 내장에 적합한 peripheral을 설계하여 다양한 목적으로 사용가능한 프로세서를 설계할 것이다.

Acknowledge

이 논문은 삼성전기 및 IDEC의 지원으로 수행되었습니다.

참고문헌

[1] David A. Paatterson, John L. Hennessy, Computer Organization & Design, Morgan Kaufmann Publishers, 1999
 [2] Tae Hoon Kim, Ju Sung Park, The Design of Chorus DSP chip Using Psychoacoustic Model and SOLA Algorithm