

# 900 MHz 대역 CMOS 전력증폭기 설계

\*이지호, 채규성, 김창우  
 경희대학교 일반대학원 전자전파공학과  
 e-mail : aquarius25@khu.ac.kr

## Design of a Power Amplifier for 900 MHz-band Applications

\*Ji-Ho Lee, Kyu-Sung Chae, and Chang-Woo Kim  
 Dept. of Electronic and Radio Engineering, Graduate School of KyungHee Univ.

### Abstract

A power amplifier(PA) has been designed for 900 MHz-band applications. The PA consists of a single-ended CMOS amplifier which has  $0.18 \mu\text{m} \times 64 \times 6$  gate width. The PA has been designed using  $0.18 \mu\text{m}$  CMOS process. At 900 MHz, the PA exhibit an output power of 20.8 dBm and a power-added efficiency(PAE) of 58.4 % with 22.2 dB power gain..

### I. 서론

RFID는 비접촉식, 비가시선의 데이터 수취기술로써 초소형 IC칩에 식별정보를 입력하고 무선주파수를 이용하여 물체, 동물, 사람 등을 판독, 추적, 관리하는 시스템이다. 이러한 무선 네트워킹 환경에서 안정적인 데이터의 전송을 위해, 통신 거리에 따라 일정 수준 이상의 높은 전력으로 정보를 송신 할 수 있어야 하며<sup>[1]</sup>, 이를 위해 고효율의 전력증폭기가 Transceiver에 필요하게 된다.

본 논문에서는 Transceiver 내에 위치하게 될 전력증폭기(PA)를 설계하였다. 최근 CMOS 기술의 발전에 힘입어 출력 전력과 효율의 측면에 있어 BJT기술과 견줄 만한 동작을 보여주고 있으므로<sup>[2]</sup>, 비용 등의 측면에서 유리한 CMOS 공정을 사용하였다. 주파수 대역은 860 ~ 960 MHz 대역을 목표로 하여 설계하였다.

### II. 전력증폭기 설계

그림 1에 설계한 전력증폭기의 회로도를 나타내었다. 증폭기의 용도를 결정하는 대표적인 세 가지 기준인 잡음, 이득, 전력 중에서 전력에 집중하여 만드는 것이 전력증폭기이므로, 출력단에서 최대 몇 dBm의 출력 신호를 얻을 수 있는가 하는 것이 설계의 최대 목표이다.

본 설계에는 TSMC  $0.18 \mu\text{m}$  CMOS 공정을 이용하였으며,

최대전력을 내기 위해 transistor를 병렬로 연결하여 결과적으로 전체적인 gate width를 크게 하고 전류를 크게 흘려주어 전력을 높이는 구조로 설계 하였다.

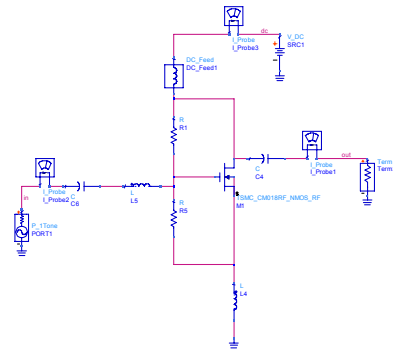


그림 1. 전력증폭기 회로도

최대 출력을 얻을 수 있는 임피던스 정합회로는 load-pull 방법을 이용하여 최대 전력 출력점에 임피던스 정합을 하게 되고, 일반적인 증폭기 설계와 같이 최소반사점에 정합을 하는게 아니어서 기본적으로 부정합된 형태의 구조를 가지기도 한다. 전력증폭기는 출력단에 전류를 많이 흘려서 전력을 높여야 하므로, transistor의 크기를 키우거나 많은 수의 transistor를 사용해야 하고, 출력 임피던스가 굉장히 낮고, 최대 전력 출력점에 임피던스 정합을 해야하므로 이득과 반사특성이 나빠지게 된다. 이를 보완하기 위해, 원하는 출력을 얻을 수 있는 출력 정합회로를 설계한 후, 이에 대한 입력 손실을 최소화 할 수 있도록 입력 정합 회로를 설계하게 된다.

### III. 시뮬레이션 및 측정 결과

load-pull simulation을 통하여 최대 출력 전력은 낼 수 있는 부하 임피던스 값을 결정 하였으며, 그림 2에 나타내었듯이 전력증폭기는  $Z_L = 50 * (0.498 + j0.218)$  Ω의 부하 임피던스에서 21.3 dBm의 최대 출력 전력을 나타내었다.

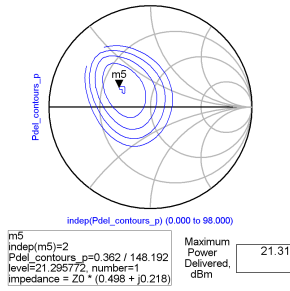


그림 2. 전력증폭기의 load-pull simulation 결과

그림 3~5에 설계한 전력증폭기의 시뮬레이션 결과를 나타내었다. 그림 3에서 볼 수 있듯이, 설계한 전력증폭기의 이득은 900MHz 에서 22.2 dB 이며 최대 이득은 520MHz 에서 24.8 dB 로 나타났다.

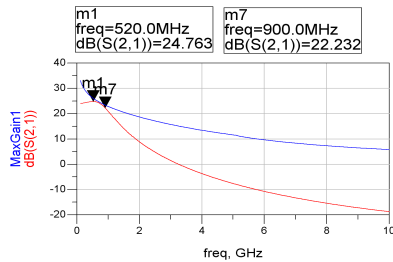


그림3. 전력증폭기의 이득 특성

그림 4에 설계한 전력증폭기의 S11, S22 특성을 나타내었다. 출력전력과 이득은 trade-off 관계에 있으므로, 20 dBm 이상의 출력 전력과 함께 20 dB 이상의 이득을 얻기 위해 앞의 load-pull simulation 결과와는 다른 지점에서 입·출력 정합이 이루어졌음을 알 수 있다. return loss는 그림 3의 경우 8.9 dB를 나타내었으나, 그림 4의 설계 결과에서는 2.0 dB를 나타내었다.

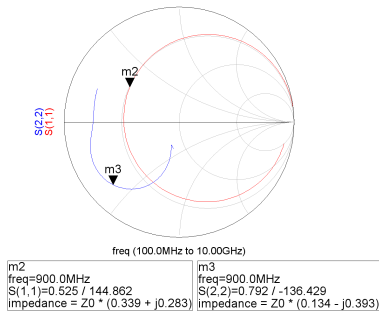


그림 4. 전력증폭기의 S11, S22

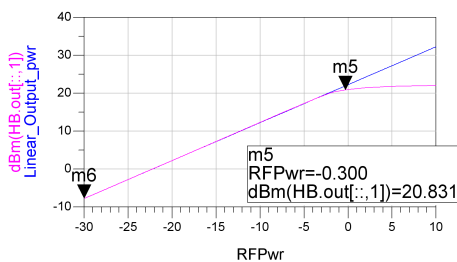


그림 5. 전력증폭기의 출력 전력 특성

그림 5에 설계한 전력증폭기의 출력 전력 특성을 나타내었다. 그림에서 볼 수 있듯이, 20.8 dBm의 P<sub>1-dB</sub> 출력 전력을 나타내었다.

<표 1>에 설계한 전력증폭기의 전체적인 특성을 요약 정리하였다. 900MHz 에서 20.8 dBm의 P<sub>1-dB</sub> 출력 전력과 22.2 dB의 이득, 최대 이득은 520 MHz에서 24.8 dB의 특성을 가짐을 알 수 있다.

<표 1> 설계한 전력증폭기의 전체 특성

Pout	20.8 dBm (@ 900 MHz)
Maximum Gain	24.8 dB (@ 520 MHz) 22.2 dB (@ 900 MHz)
Chip Size	560 μm × 400 μm
Supply voltage	3 V
Power Consumption	72.3 mA from 3 V supply

그림 6에 전력증폭기의 패턴 Layout을 나타내었다. 회로의 크기는 560 μm × 400 μm 이다. COB 형태의 측정을 위해 RF\_IN, RF\_OUT 패드, VDD 패드, GND 패드를 각각 위치하였다.

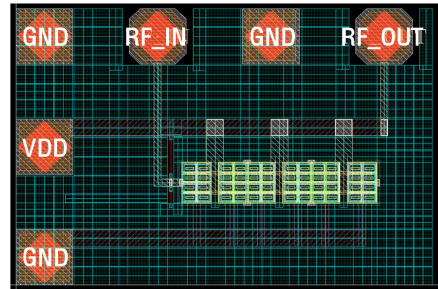


그림 6. TSMC 0.18μm CMOS Process를 이용한 패턴 Layout

#### IV. 결 론

전력증폭기의 소형화와 더불어, 20 dBm 이상의 출력 전력과 20 dB 이상의 이득을 함께 얻을 수 있도록 하는데 설계 및 튜닝의 중점을 두었다. 900 MHz 에서 20.8 dBm의 최대전력과 22.2 dB의 최대이득을 얻을 수 있었다. 현재 COB 형태를 이용하여 특성 측정을 진행하고 있으며, prototype 제작 이후, 최종적으로 off-chip 소자들을 함께 포함하여 one-chip으로 제작하기 위해 준비중에 있다.

#### 참고문헌

[1] 정병희 외, “900MHz 대역 RFID 리더기용 Feedforward형 선형 전력증폭기 설계 및 제작”, 한국항공학회 논문지, 제8권, 제2호, pp. 184-189, 2004.

[2] Jaemin Jang, et al. “CMOS RF Power Amplifier Using an Off-Chip Transmission Line Transformer With 62% PAE”, *IEEE, Microwave and Wireless Components Letters*, Vol. 17, Issue 5, pp. 385 - 387, May 2007.