

IP기반 H.264 디코더 설계를 위한 동기화 파이프라인 최적화

고병수, *공진홍
 광운대학교 컴퓨터공학과
 e-mail : koindol@kw.ac.kr, kongjh@kw.ac.kr

An optimization of synchronous pipeline design for IP-based H.264 decoder design

Byung-Soo Ko, *Jin-Hyeung Kong
 Dept. of Computer Engineering
 Kwangwoon University

Abstract

This paper presents a synchronous pipeline design for IP-based H.264 decoding system. The first optimization for pipelining aims at efficiently resolving the data dependency due to motion compensation/intra prediction feedback data flow in H.264 decoder. The second one would enhance the efficiency of execution per each pipelining stage to explore the optimized latency and stage number. Thus, the 3 stage pipeline of CAVLD&ITQ|MC/IP&Rec.|DF is obtained to yield the best throughput and implementation. In experiments, it is found that the synchronous pipelined H.264 decoding system, based on existing IPs, could deal with Full HD video at 125.34MHz, in real time.

I. 서론

파이프라인은 연속된 입력에 대해 전체시스템을 단계별로 나누어서 동시에 수행함으로써 높은 성능향상을 꾀하는 구조이다. 일반적으로 파이프라인의 스테이지 수가 늘어나면 throughput은 증가한다. 그러나 제어회로에 대한 오버헤드 또한 증가하여 일정수준 이상의 성능향상이 불가능하다. 따라서 데이터 처리 성능을 최대로 높일 수 있는 최적의 파이프라인 스테이지 수를 구해야 한다[1].

H.264 디코더의 각 IP는 데이터처리 성능이 달라서 동기식 파이프라인의 경우 비효율적인 스케줄링을 수행하게 된다. 이를 위해서 복수개의 IP를 한 개의 스테이지에 스케줄하여 파이프라인 처리성능의 균형을 맞추거나[2], 비동기식 파이프라인을 통해 동기식 파이프라인에서 발생하는 IDLE 상태를 줄여 처리성능을 향상시킨다[3]. 본 연구에서는 IP 기반 H.264 디코더 설계의 처리성능을 높이고자 동기식 파이프라인 최적화 방법을 탐색하였다. 먼저 H.264 디코더에서 피드백 루프의 데이터 종속성을 효과적으로 처리하는 파이프라인 스케줄링을 하였으며, 스테이지의 실행효율을 최대로 하여 동

일한 throughput에서 레이턴시 및 스테이지 수를 최적화시킨 파이프라인 구조를 설계하였다.

II. H.264 디코더의 파이프라인 스케줄링

H.264 디코더 IP는 CAVLD, ITQ, MC, IP, Rec., DF로 구성된다. IP기반 파이프라인 스테이지 수는 최대 5이며, 최소 2이다. 스테이지 수에 따라 표 1과 같이 H.264 디코더 IP들을 파이프라인 스케줄링하였다. 그림 1의 (a)와 같이 IP와 Rec.을 파이프라인 스테이지에 각각 스케줄링하면 피드백루프의 데이터 종속성을 유지하기 위하여 IP의 동작은 1개의 파이프라인 스테이지 간격만큼 지연된다. 따라서 H.264 디코더는 2개의 파이프라인 스테이지마다 1개의 매크로블록을 처리하는 throughput을 갖는다. 그림 1의 (b)와 같이 MC/IP 그리고 Rec.를 통합시켜서 1개의 파이프라인 스테이지에 스케줄링하면 지연없이 동작한다, 이때 H.264 디코더는 1개의 파이프라인 스테이지마다 1개의 매크로블록을 처리하는 throughput을 갖는다. 이와 같이 피드백 루프의 데이터 종속성을 유지하면서 지연을 발생시키지 않는 H.264 디코더의 파이프라인 스케줄링은 ④⑧⑩⑫⑬⑮이다. 여기서 ④(그림 1의 (b))/⑧(그림 1의 (c))의 스케줄링은 파이프라인 스테이지의 길이(MC/IP+Rec.)와 입력 레이턴시가 가장 짧으며 데이터 처리성능이 가장 높다. 또한 ⑧은 ④보다 파이프라인 스테이지수가 작아서, ⑧의 파이프라인이 ④에 비해서 전체 레이턴시가 짧은 H.264 디코더 데이터처리 성능을 보인다.

표 1. H.264 디코더 IP에 대한 파이프라인 스케줄링

파이프라인 스테이지 수	파이프라인 스케줄링 (1:CAVLD, 2:ITQ, 3:MC/IP, 4:Rec., 5:DF)
5	①12 3 4 5
4	②12 3 4 5, ③1 23 4 5, ④1 2 34 5, ⑤1 2 3 45
3	⑥1 23 45, ⑦12 3 45, ⑧12 34 5, ⑨123 4 5, ⑩1 234 5, ⑪ 1 2 345
2	⑫1 2345, ⑬12 345, ⑭123 45, ⑮1234 5

*본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며 2008년도 「서울시 산학연 협력사업」의 「나노IP/SoC설계기술혁신사업단」과 반도체설계교육센터(IDEC)의 지원으로 이루어졌습니다.

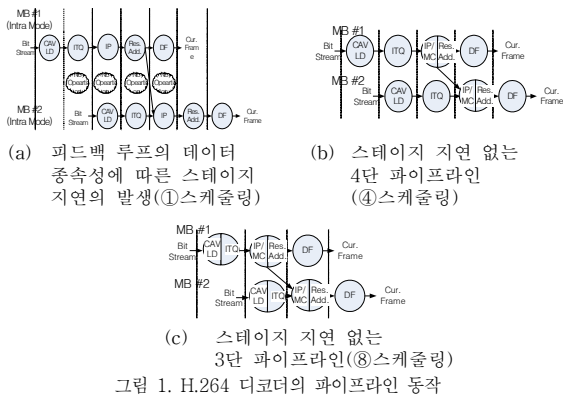


그림 1. H.264 디코더의 파이프라인 동작

III. IP기반 H.264 파이프라인 디코더 통합설계

표 2와 같은 H.264 디코더 IP[4-9]를 전용버스에 연결하여 디코더를 통합 설계하였다. 그림 2는 ①/④/⑧ 스케줄링에 대한 H.264 디코더의 파이프라인 스테이지와 IP의 동작을 보여주고 있다. 그림 2 (a)는 데이터 종속성에 의해 IP의 동작에 "No Operation"((a)의 검정색 영역)이 발생함을 보여준다. 따라서 ①의 레이턴시는 (IP/MC×5, 416×5=2080 cycles)이며, ①의 파이프라인은 2 스테이지 간격(416×2=832cycles)마다 매크로블록들을 처리한다. ④와 ⑧ 파이프라인은 "No Operation"이 없고, 파이프라인 스테이지의 길이는 IP/MC&Rec.(416+96=512cycles)로 같다. 또한 ④와 ⑧의 스케줄링은 같은 간격(512 cycles)으로 복호 처리된 매크로블록을 출력한다. 그러나 ④와 ⑧의 레이턴시는 (4단, 512×4=2048cycles)과 (3단, 512×3=1536cycles)으로 차이가 나면서 ⑧ 파이프라인 스케줄링의 레이턴시가 더 짧게 나타난다.

표 2. H.264 디코더 IP 처리성능

	CAVLD[4]	ITQ[5]	MC[6]	IP[7]	Rec.[8]	DF[9]
MB당 처리사이클	146	18	416	384	96	96

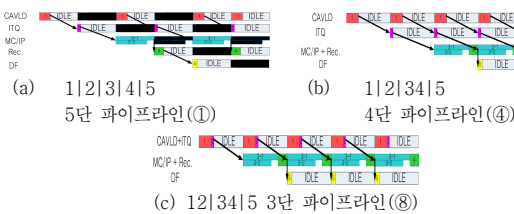


그림 2. H.264 IP 기반 디코더의 파이프라인 비교

IV. 실험 및 고찰

H.264 디코더 IP를 트랜잭션 레벨로 모델링하여 Synopsys사의 Cocentric을 이용, IP 간 데이터 이동 및 데이터 처리에 따른 시스템 처리 성능을 시뮬레이션 하였다. 그림 3은 ①/④/⑧ 스케줄링에 대한 H.264 디코더의 동영상 처리 성능과 파이프라인 동작 효율을 비교하고 있다. ④와 ⑧의 H.264 디코더가 ①의 H.264 디코더보다 동일 영상 포맷에 대해 동작주파수가 낮다. 즉, ④와 ⑧의 H.264 디코더가 ①의 H.264 디코더보다 처리성능이 우수하며, ④와 ⑧의 H.264

디코더는 동일한 데이터 처리성능을 갖는다. 그리고 ①/④/⑧의 H.264 디코더는 720HD 동영상을 동작주파수 100MHz 이내에서 실시간처리 가능하며, 1080HD 동영상의 경우 ④와 ⑧의 H.264 디코더가 동작주파수 125.34MHz에서 실시간처리가 가능하다.

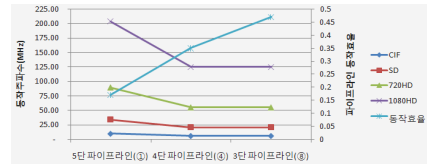


그림 3. H.264 디코더의 처리성능 및 파이프라인 동작 효율

전체 파이프라인 주기 사이클에서 파이프라인 동작 사이클이 차지하는 실행 비율을 구하면, ①/④/⑧의 H.264 디코더 파이프라인 동작 효율은 각각 0.17/0.35/0.47로 나타나고 있다.

V. 결론

본 연구에서는 IP기반 H.264 디코더의 데이터 처리성능을 높이고자 동기화 파이프라인 최적화를 실험하였다. 먼저 H.264 디코더에서 피드백 루프의 데이터 종속성에 의한 지연이 없는 파이프라인을 탐색하였으며, 데이터 처리성능을 유지하면서 파이프라인의 효율이 최대가 되는 파이프라인 구조를 설계하였다. CAVLD&ITQ|IP/MC&Rec.|DF의 3단 스테이지를 갖는 H.264 파이프라인 디코더가 최적의 스케줄링을 보인다. 최적화된 IP기반 H.264 디코더는 418사이클마다 매크로블록 데이터를 처리하여 Full HD(1920×1080) 동영상(30fps)을 동작주파수 125.34MHz로 실시간 처리 할 수 있음을 보인다.

참고문헌

- [1] 경종민 외, "고성능 마이크로프로세서 구조 및 설계 방법", 대영사, 2000
- [2] Wang Shu-hui, et al., "Macroblock-level decoding and deblocking method and its pipeline implementation in H.264 decoder SOC design", Journal of Zhejiang University, Volume 8, Number 1, p.36-41, Jan. 2007
- [3] Kawakami, Kentaro, et al., "Power and Memory Bandwidth Reduction of an H.264/AVC HDTV Decoder LSI with Elastic Pipeline Architecture", ASP-DAC '07., p.292-297, Jan. 2007
- [4] George, Tony Gladvin, et al., "A New Fast Architecture for HD H.264 CAVLC Multi-syntax Decoder and its FPGA Implementation", ICCIMA 2007, p.118-122, 13-15 Dec. 2007
- [5] Kuan-Hung Chen, et al., "A high-performance low power direct 2-D transform coding IP design for MPEG-4 AVC/H.264 with a switching power suppression technique", VDAT 2005., p.291-294, 27-29 April 2005
- [6] Mo Li, et al., "The high throughput and low memory access design of sub-pixel interpolation for H.264/AVC HDTV decoder", SIPS 2005, p.296-301, 2-4 Nov. 2005
- [7] Sahin, Esra, et al., "An Efficient Intra Prediction Hardware Architecture for H.264 Video Decoding", DSD 2007, p.448-454, 29-31 Aug. 2007
- [8] Kun, Yang, et al., "A Hardware-Software Co-design for H.264/AVG Decoder", ASSCC 2006, p.119-122, Nov. 2006
- [9] Heng-Yao Lin, et al., "Efficient deblocking filter architecture for H.264 video coders", ISCAS 2006, p.190-193, 21-24 May 2006