

H.264/JPEG 코덱을 위한 통합 변환 및 양자화 회로 설계¹⁾

*김준호, 천동엽, 이선영, 조정순
 한국외국어대학교 전자정보공학부
 e-mail : abadon8201@hufs.ac.kr

Design of Unified Transform and Quantization Circuit for H.264/JPEG CODEC

*Joonho Kim, Dongyeob Chun, Seonyoung Lee, Kyeongsoon Cho
 Department of Electronics and Information Engineering
 Hankuk University of Foreign Studies

Abstract

This paper presents an efficient architecture of unified transform and quantization circuit for H.264/JPEG CODEC. The proposed unified transform circuit shares adders required for all transform operations. The proposed unified quantization circuit uses four multipliers. Our transform circuit and quantization circuit consist of 33,711 gates and 9,650 gates respectively. The maximum operating frequency is 100MHz with 130nm standard cells.

I. 서론

핸드폰, PMP(Portable Multimedia Player)등과 같은 각종 휴대형 디지털 기기들 간의 통합으로 인해 하나의 제품에서 H.264^[1], JPEG^[2]과 같은 다양한 규격의 정지 영상과 동영상을 지원해야 하는 필요성이 제기되었다. 본 논문은 H.264와 JPEG 코덱의 동시 동작이 가능한 통합 변환 회로와 통합 양자화 회로의 구조를 제안한다. 제안한 회로에서는 적절한 스케줄링을 통하여 H.264와 JPEG의 변환에 사용되는 가산기를 공유하고, 양자화에 사용되는 곱셈기를 공유한다.

II. 본론

JPEG DCT(Discrete Cosine Transform) 연산을 효율적인 하드웨어로 구현하기 위하여 본 논문에서는 AA&N(Arai, Agui and Nakajima)^[3] 알고리즘을 사용하였다. H.264의 경우 Residual, Luma DC, Chroma DC의 변환 및 역변환이 거의 동일한 구조를 가지므로 연산기를 통합한 구조로 설계하였다.

제안된 통합 변환 회로는 35개의 가산기와 5개의 곱셈기를 사용하며, 2단 파이프라인으로 구성되었다. 그림 1과 같이 멀티플렉서에 의해서 변환 연산을 수행할 입력이 결정되며, 트랜스포즈 버퍼를 통해 행과 열을 바꾸어 두 번째 1차원 변환을 한다.

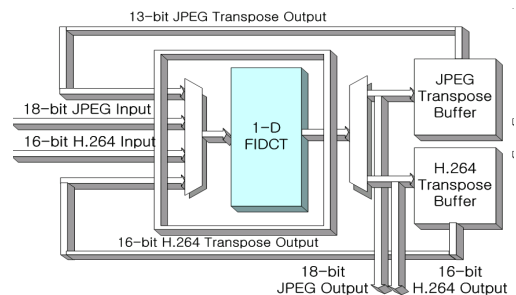


그림 1. H.264/JPEG 통합 변환 회로의 블록도

H.264/JPEG의 통합 양자화 회로는 그림 2와 같이 양자화 계수들을 별도의 테이블로 가지고 있으며, 변환 회로의 출력 타이밍에 따라 H.264의 양자화 계수를 사용할 것인지 JPEG의 양자화 계수를 사용할 것인지 결정

1) 본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 IDEC의 CAD 툴 지원에 의한 연구 결과입니다.

한다.

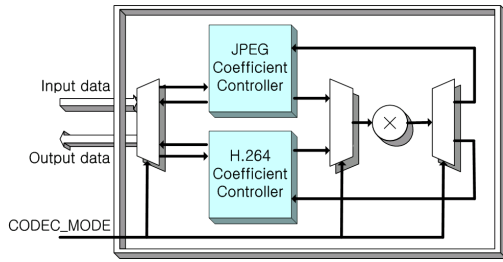


그림 2. H.264/JPEG 통합 양자화 회로의 블록도

스케줄링을 적용 하기 전의 변환 회로는 그림 3과 같이 JPEG은 8클럭에 한번씩, H.264는 4클럭에 한번씩 변환 회로의 입력이 들어온다. H.264와 JPEG 변환 연산의 일부가 겹치는 부분이 있으므로 동시에 동작하게 하려면 연산기 수를 늘려야한다. 제안한 회로는 그림 4와 같이 H.264 입력을 지연시켜 H.264와 JPEG 코텍의 변환 및 양자화 연산 타이밍을 조절한다. 8클럭을 하나의 주기로 할 때 1번째 클럭에서 JPEG의 첫 번째 변환 연산을 수행하며 2번째 클럭에서 두 번째 변환 연산을 수행한다. 3번째와 7번째 클럭에서 H.264의 변환 입력이 들어와 첫 번째 변환 연산을 수행하며, 4번째와 8번째 클럭에서 두 번째 변환 연산을 수행한다. JPEG 양자화 연산은 3번째 클럭에서, H.264 양자화 연산은 4번째와 8번째 클럭에서 수행된다.

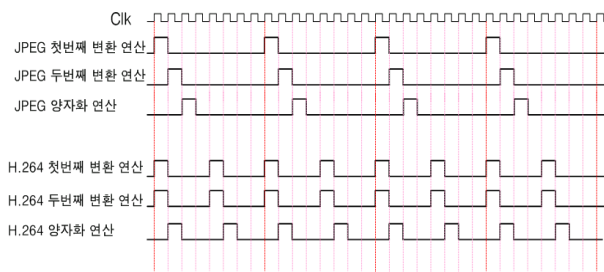


그림 3. 스케줄링 적용 전의 변환/양자화 타이밍도

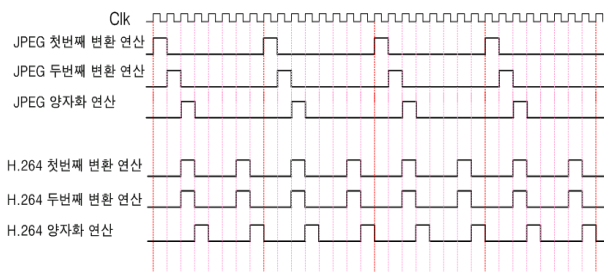


그림 4. 스케줄링 적용 후의 변환/양자화 타이밍도

III. 실험결과

제안한 회로 구조를 바탕으로 Verilog-HDL을 이용

하여 H.264/JPEG용 통합 변환 및 양자화 회로를 RTL(Register Transfer Level)에서 설계하였다. H.264와 JPEG의 레퍼런스 프로그램^{[4][6]} 결과를 RTL 및 게이트 수준 시뮬레이션 결과와 비교하여 동작을 검증하였다. 130nm 표준 셀 공정을 이용하여 게이트 수준의 회로로 합성하고 비교한 결과는 표 1과 같으며, 최대 동작주파수는 100MHz이다. 이 표에서 알 수 있듯이 통합에 의하여 감소된 게이트 수는 변환 회로의 경우 3,236게이트, 양자화 회로의 경우 1,796게이트이다.VGA급(640×480) 이미지를 H.264는 1초당 79장, JPEG은 1초당 101장 처리할 수 있다.

표 1. 회로의 성능 비교

		게이트수	지연시간 (ns)	트랜스포트 버퍼(bit)	
변환 회로	H.264	순방향/역방향 통합	5,500	6.56	256
	JPEG	순방향/역방향 통합	23,731	9.98	832
	소 계		29,231	-	832
양자화 회로	Proposed	H.264/JPEG 통합	25,995	9.98	832/256
	H.264	순방향/역방향 통합	4,870	8.27	-
	JPEG	순방향/역방향 통합	6,576	9.97	
	소 계		11,446	-	
Proposed	H.264/JPEG 통합	9,650	9.98		

IV. 결론

본 논문에서는 H.264/JPEG 통합 비디오 코텍을 지원하기 위한 통합 변환 및 양자화 회로 구조를 제안하였다. 변환 회로와 양자화 회로의 연산기를 통합하였으며, 스케줄링을 통하여 H.264와 JPEG이 동시에 동작 가능하도록 설계하였다. 변환 회로와 양자화 회로를 개별적으로 구현한 것보다 제안한 통합 방법을 이용하면 회로 크기가 작을 뿐만 아니라 VGA급 이미지에 대해서 실시간 처리가 가능하다.

참고문헌

- [1] Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec. H.264/ISO/IEC 14496-10 AVC), March 2003.
- [2] CCITT Recommendation T.81, Digital Compression and Coding of Continuous-Tone Still images, Sep. 1992.
- [3] Y.Arai, T.Agui, M.Nakajima. "A Fast DCT - SQ Scheme for Images", Transactions of IEICE, vol.E71, no.11, pp.1095-1097, 1988.
- [4] JVT H.264 Reference Software Version JM11.
- [5] <http://www.ijg.org>, Independent JPEG Group Web site.