

UWB용 저전력 Memory based FFT 구조

*최동규, 장영범

상명대학교 정보통신공학과

e-mail : dkchoi82@smu.ac.kr, ybjang@smu.ac.kr

Low-power memory based FFT structure for high speed UWB

*Dong Kyu Choi, Young Beom Jang

Department of Information and Telecommunication Engineering,
Sangmyung University

Abstract

Ultra wideband (UWB) system is one of the promising solutions for future short-range communication which has recently received a great attention by many researchers. In this paper, we proposed 128-point low power FFT structure based on the memory for UWB systems. The proposed structure can improve implementation area and power consumption efficiency as it consists of one of the butterfly PE and a little memory.

I. 서론

최근 고집적 반도체 및 고속 디지털 기술의 발전에 힘입어, UWB(Ultra Wide Band) 기술이 저가의 민수용 가전, 통신기기 예도 적용 가능성을 보이면서 차세대무선기술의 하나로 큰 주목을 받고 있다. UWB 시스템에서는 대역효율성이 우수한 MB-OFDM방식을 사용하고 있으며, OFDM 전송방식은 직렬로 입력되는 데이터 열을 병렬 데이터 열로 변환한 후에 부반송파에 실어 전송하는 방식이다. 이와 같은 병렬화와 부반송파를 곱하는 동작은 IFFT와 FFT로 구현이 가능하며 UWB용 OFDM에서는 128 point의 FFT를 필요로 한다. 이 논문에서는 UWB-OFDM용 128-point FFT를 효과적으로 구현하는 저전력 설계방식과 구현방식을 제안한다.

※ 본 연구보고서는 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과입니다.

II. 제안된 FFT 구조

UWB OFDM용 128-point FFT의 구조로서 한 개의 프로세서를 사용하는 Memory 기반의 구조를 채택하였다. 이 구조는 Pipeline 구조와 비교하여 속도는 감소하지만 구현면적이 작고 사용하는 메모리의 양도 상대적으로 매우 감소한다. 제안구조의 전체 블록도는 다음과 같다.

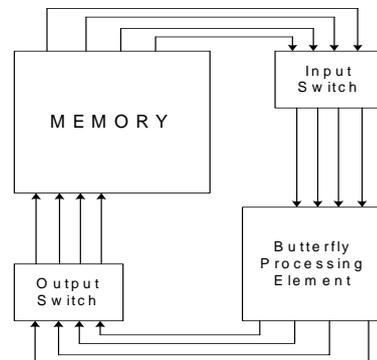


그림1. 전체블록도

모듈은 메모리와 버터플라이 연산부, 입출력 데이터 교환을 위한 입력 스위치와 출력 스위치, control unit으로 구성된다. FFT연산을 시작하기 전에 N개의 FFT 샘플링 데이터가 입력포트를 통해 메모리에 저장되며, 메모리에서 필요로 하는 값을 addressing하여 버터플라이 연산을 수행한다. 버터플라이 연산부에서는 FFT point수에 따라 Radix의 크기를 구성하고, 이 point수와 radix 크기에 따라 버터플라이 연산부가 반복하게 될 연산 횟수가 결정된다. 제안된 Butterfly는 Radix-4 모듈과 Radix-8 모듈로 구성하였으며 구현하드웨어를 줄이기 위하여 곱셈연산이 필요 없는 덧부분에 Radix-8을 위치시킨다. Radix-4 버터플라이는 다음의

DFT식을 4개의 $N/4$ -point로 나누어 수행하게 된다.

$$X(k) = \sum_{n=0}^{N-1} x[n] W_N^{nk}, \quad W_N = e^{j\frac{2\pi}{N}}$$

복소곱셈 연산부는 덧셈블록으로부터 들어오는 값을 입력으로 받아 $\cos\theta, \sin\theta$ 곱셈연산을 수행하며, 그림 2처럼 CORDIC 알고리즘으로 구현하여 면적의 효율성을 높였다. 제안 구조는 CORDIC 프로세서를 통해 곱셈연산을 수행하므로 cosine이나 sine의 값을 ROM에 저장할 필요가 없다.

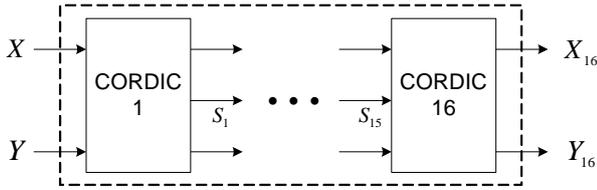


그림 2. 제안된 CORDIC 블록의 전체구조
제안된 CORDIC블록의 한 블록에 대한 세부구조는 그림 3과 같다.

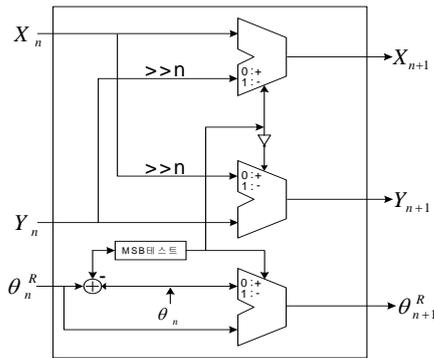


그림 3. CORDIC 블록의 세부구조

또한 θ 의 값도 일정한 규칙에 따라 필요하므로 ROM에 저장할 필요 없이 θ GENERATOR를 통해 $\theta_b, \theta_c, \theta_d$ 를 만들어서 사용하도록 설계하였다. 128개의 16bit 실수와 허수 입력데이터를 저장하기 위하여 16bit폭의 128depth를 가지는 RAM을 사용하였다. RAM의 입력포트는 FFT연산을 위한 외부 데이터의 입력과 버터플라이 연산을 위한 PE의 출력에 선택적으로 연결되며, 출력포트는 외부로의 데이터 출력과 버터플라이 연산을 위한 PE의 입력에 선택적으로 연결된다.

III. 구현

제안된 구조에 대하여 Xilinx ISE 7.1i로 Verilog-HDL 코딩을 통하여 동작을 확인하였다. Matlab을 통해 얻은 128개의 랜덤값을 16비트 2진수로 변환하여 입력신호로 사용하였으며 출력값을 검증하였다. 또한

Virtex-4 xc4lx100 FPGA device를 기반으로 timing과 function을 검증하였다. 메모리 블록 안의 RAM메모리는 Xilinx사에서 제공하는 Coregen을 통해 생성된 single port RAM을 사용하였다. 이는 dual-port RAM보다 33%의 면적감소효과를 얻을 수 있기 때문이며, single-port RAM여러 개를 효과적으로 이용하면 전체면적 또한 감소된다. 표 1에 FPGA 합성에서 사용된 logic들을 나타내었다.

	Macro Statics	number
RAM	128x16-bit single-port distributed RAM	4
	16x19-bit ROM	1
ROMs	32x4-bit ROM	1
	1-bit register	217
Register	16-bit register	94
	2-bit register	9
	20-bit register	3
	22-bit register	8
	3-bit register	7
	5-bit register	2
Multiplexer	1-bit 1-to-1 multiplexer	124
	16-bit 3-to-1 multiplexer	6
	16bit 4-to-1 multiplexer	20

표1. Synthesis결과의 macro statics

IV. 결론

본 논문에서는 UWB System의 128-point FFT에 대한 Memory기반의 저전력 FFT 구조를 제안하였다. 제안구조는 한 개의 버터플라이 PE와 적은 Memory를 필요로 하므로 구현 면적 및 소비전력 면에서 이득을 가지고 있다. 또한 제안된 FFT 구조는 CORDIC 알고리즘을 이용하여 버터플라이 PE의 곱셈연산을 효율적으로 수행함을 입증하였다.

참고문헌

[1] R. Simon Sherratt, "A low Clock Frequency FFT core Implementation for Multiband Full-Rate Ultra-Wideband(UWB)Receivers" IEEE Transactions on Consumer Electronics, Vol.51, No.3. AUGUST 2005.

[2] J. Volder, "The CORDIC trigonometric computing technique", IRE Trans. on Electronic Computers, vol. EC-8, No. 3, pp. 330-334, Sept. 1959.

[3] 민중균 외, "DVB용 2K/8K FFT의 Stratix EP1S25F672C6 FPGA 구현", 전자공학회논문지, 제44권, SD편 제8호, pp.714-718, 2007.