

Wireless LAN 용 0.18 μm CMOS Quadrature Mixer 설계

0.18 μm CMOS Quadrature Mixer Design for WLAN applications

한대훈

(광운대학교, 석사과정)

김복기

(광운대학교, 교수)

Key Words : ITS, CMOS, RF IC, 직접 변환 수신기, Quadrature Mixer, 변환 이득, 선형성, 잡음지수

목 차

I. 서론	IV. 결론
II. Quadrature Mixer의 설계	참고문헌
III. 시뮬레이션 결과 및 레이아웃	

I. 서론

ITS(Intelligent Transport System; 지능형 교통 시스템)는 도로와 차량에 첨단 전자, 정보, 통신 기술을 적용시켜 교통 시설을 보다 효율적으로 운영하고 통행자에 유용한 정보를 제공해서 안정하고 편리한 통행, 그리고 최대한의 효율성을 기하도록 하는 교통부분의 정보화 시스템이다. 이러한 서비스가 가능하기 위해서는, 하나의 단말기가 여러 개의 주파수 대역 및 통신표준의 송수신이 가능하고, 다양한 기능 서비스를 수용할 수 있어야 하므로, RF 송수신 회로의 복잡도가 증가 될 것으로 예상된다. 이와 같이 복잡 다기능화로 발전해 가는 차세대 무선 단말기는 서비스의 이동성도 최대한 제공해야 하므로 단말기의 저전력화, 초경량화, 고집적화가 가능해야 한다. 이를 위해서는 RF Module 전체를 단일 칩(System on a chip)으로 구현이 가능해야 한다. RF CMOS 집적회로는 가장 저렴하면서도 보편화 된 CMOS 소자를 이용하는 기술로써 고집적화가 용이하다는 특징 때문에 급격히 확대되고 있는 미래의 복합, 다기능 이동통신용 RF IC 부품 수요에 가장 적합한 기술로 대두 되었다.[1]

단일 칩으로 구현하는 무선 통신용 RF 송수신기에서 Mixer는 중요한 기능을 수행하는 것 중 하나로서 저 잡음 증폭기(LNA: Low Noise Amplifier)를 통해 증폭되어진 RF 신호와 국부 발진 신호(LO: Local Oscillator)의 차이를 IF(Intermediate Frequency)로 출력하는 Down-conversion 주파수 변환, 그리고 IF 입력단의 신호와 국부 발진 신호의 합을 전력증폭기(PA: Power Amplifier)에 전달하는 Up-conversion 주파수 변환 기능을 수행한다. 저 잡음 증폭기에 비해 상대적으로 큰 신호가 입력되는 Mixer에 의해 전체 RF 시스템의 선형성(Linearity)과 잡음지수(Noise figure)가 많은 영향력을 받기 때문에 Mixer의 성능은 송수신기 설계에서

매우 중요한 것이다.[2]

본 논문에서는 WLAN(Wireless LAN) 응용분야에 적용이 가능한 직접 변환 수신기용 Quadrature Mixer를 설계하였다.

II. Quadrature Mixer 의 설계

무선 송수신기의 구조는 일반적으로 슈퍼헤테로다인(Superheterodyne) 방식 그리고 직접 변환(Direct Conversion) 방식으로 분류 될 수 있다. 슈퍼헤테로다인 방식은 직접 변환 방식에 비해 I/Q mismatch가 작고, 좋은 선형도와 안정도를 가지게 된다. 하지만 슈퍼헤테로다인 방식은 두 단의 국부발진기를 사용함으로써, LO 주파수를 중심으로 RF 주파수와 대칭되는 지점에 이미지 주파수(Image Frequency)가 발생하게 된다. 원하지 않는 이미지 신호를 제거하기 위해서는 이미지 제거 필터가 필요하다. 일반적으로 이미지 제거 필터는 Q값이 높고, 이미지 제거 성능이 좋은 Saw Filter를 주로 사용하지만 일반 필터보다 가격이 비싸고 집적화를 할 수 없기 때문에 전체 수신기의 크기가 커지는 단점을 가지고 있다.[3]

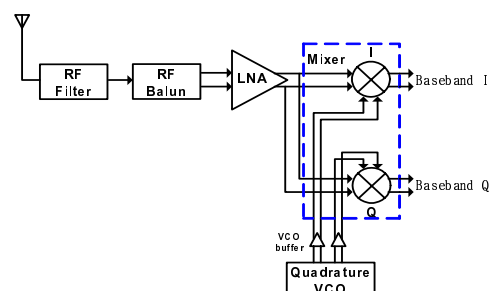


그림 1. WLAN 직접 변환 수신기의 front-end 구조

그림 1. 은 간략화 된 WLAN 직접 변환 수신기의 구조를 나타낸 것이다. 이러한 직접 변환 방식은 RF 주파수를 IF 주파수로 변환하지 않고, 직접 기저대역(Baseband)으로 변환하는 것이다. 직접 변환 방식의 이점은 이미지 제거 필터가 필요 없고 기저 대역에서의 저역 통과 필터만 사용하게 된다. 저역 통과 필터는 on-chip으로 설계 가능하므로 적은 소자 사용에 의한 고집적화, 소형화가 가능하므로, 소모 전력이 적고 저 비용으로 시스템 설계가 가능하다. 그래서 본 논문에서는 직접 변환 수신기용 Quadrature Mixer를 설계 하였다.[4]

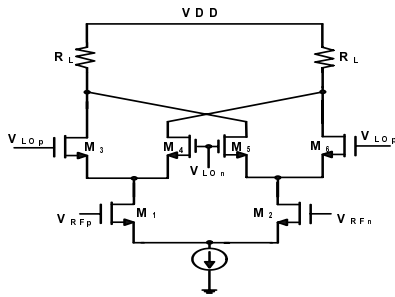


그림 2. 일반적인 Gilbert-cell Mixer 구조

그림 2. 는 RF IC 회로설계를 위한 능동 평형 Mixer에서 가장 널리 사용되는 Gilbert-cell Mixer 구조이다. 일반적인 Gilbert-cell Mixer는 transconductance stage(M1,M2), switching stage(M3,M4,M5,M6) 그리고 load stage(RL)로 구성된다. Mixer의 중요한 성능지표인 변환 이득, 잡음지수, 선형성은 전류 소모량과 위의 3가지 stage에 따라서 trade-off 관계를 가지고 있다.[5]

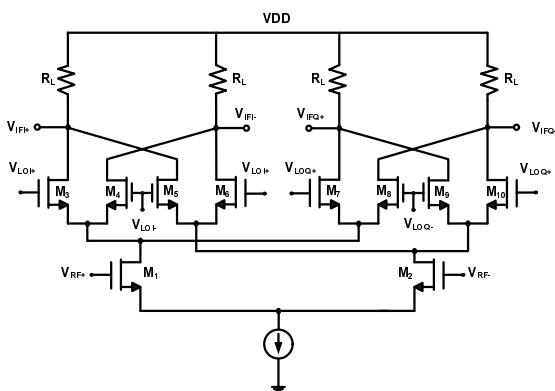


그림 3. 제안된 Quadrature Mixer 구조

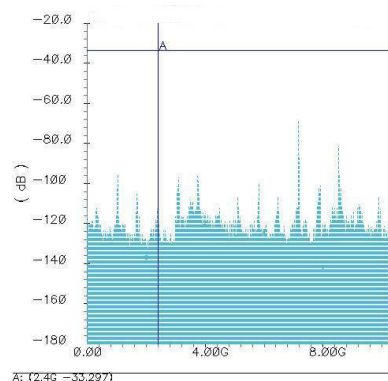
Quadrature Mixer는 RF 입력 신호와 in-phase(I) LO 신호 그리고 quadrature(Q) LO 신호를 사용하기 때문에 I와 Q 채널의 사이에 LO 신호가 정확히 90도로 일치하지 않을 때 IF 신호들 사이에 amplitude와 phase의 mismatch 와 image rejection의 손실을 가져온다. 따라서 본 논문에서는 amplitude와 phase의 mismatch 와 image rejection의 손실을

감소시키기 위하여 그림 3.과 같이 두 개의 Gilbert-cell Mixer 구조를 이용한 Quadrature Mixer 구조를 사용하였다. 이 구조의 특징은 두 개의 switching stage가 Mixer의 비선형(Nonlinearity) 특성에 영향을 많이 주는 transconductance stage를 공유함으로써 회로를 더욱 간단하게 설계하여 I 와 Q 채널 간의 mismatch를 감소시키려 하였다. Load stage는 폴리저항을 사용하였는데, 이것은 Flicker noise를 가지고 있지 않고 회로를 더욱 단순화 시켜준다.[6-7]

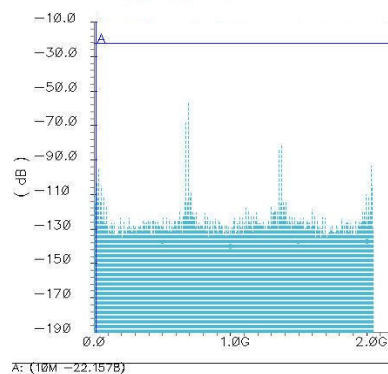
III. 시뮬레이션 결과 및 레이아웃

Quadrature Mixer 회로 검증을 위해 TSMC 0.18 μm RF CMOS의 공정변수를 이용하여 시뮬레이션 하였으며 Cadence사의 spectreRF 툴과 Agilent사의 Advanced Design System(ADS) 툴을 사용하였다.

Quadrature Mixer의 동작 전압은 1.8V 이고 RF power는 -30 dBm, LO power는 0 dBm의 신호를 인가하였다. RF port와 LO port 에 differential 신호를 인가하기 위하여 Balun을 사용하였으며 RF port는 50 Ω , IF port 는 2 k Ω 으로 하여 시뮬레이션 하였다.



(a) RF 입력 신호 power spectrum



(b) In-phase IF 출력 신호 power spectrum

그림 4. 변환 이득을 나타내는 power spectrum

그림 4는 Quadrature Mixer의 RF 입력 신호 power spectrum(a)과 In-phase IF 출력 신호 power spectrum(b)을 나타내었다. Mixer의 변환 이득은 RF 입력 신호가 IF 출력 신호로 증폭되는 정도를 나타낸다. IF 출력 파워가 -22.1 dBm 이고 Balun을 통과한 RF 입력 신호는 -33.3 dBm 이다. 따라서 설계된 Quadrature Mixer의 변환 이득은 약 11.2 dB 이다.

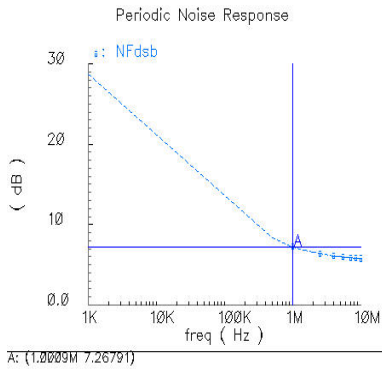


그림 5. DSB (Double Side-Band) 잡음지수

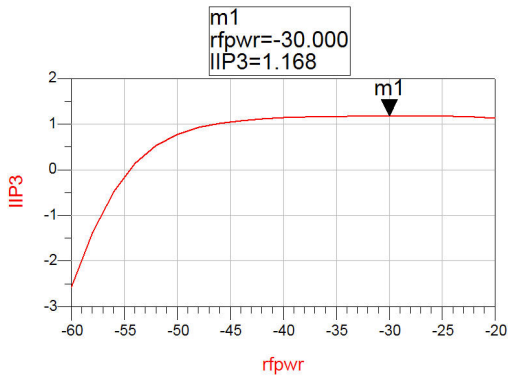


그림 6. 선형성을 나타내는 IIP3

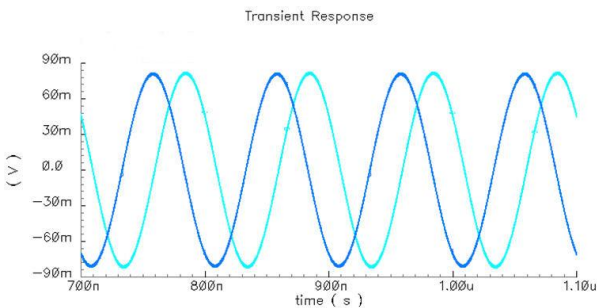


그림 7. I 와 Q의 출력 신호

그림 5는 IF 출력 신호의 주파수에 따른 DSB (Double Side-Band) 잡음지수 값을 나타낸 것으로 1MHz 주파수에서 약 7.2 dB 를 가졌다. 그림 6은 Mixer의 중요한 지표인 선

형성을 나타내는 IIP3 (Input-referred third-order intercept point)로 두 개의 주파수 tone 을 인가하였을 때 얻은 IIP3는 약 1.2 dBm 이다. 설계된 Quadrature Mixer는 9.8mA의 전류를 소모하였으며 그림7은 I 와 Q 채널의 IF 출력 신호를 나타내는데, 90도의 위상차를 확인할 수 있다.

표 1. Quadrature Mixer의 시뮬레이션 결과

Parameter	Value
Technology	TSMC 0.18 μ m RF CMOS
Supply Voltage (V)	1.8
Power Consumption (mW)	17.64
RF Frequency (GHz)	2.4
LO Frequency (GHz)	2.39
IF Frequency (MHz)	10
Conversion Gain (dB)	11.2
DSB Noise Figure (dB)	7.3
IIP3 (dBm)	1.2

표 1은 설계된 Quadrature Mixer의 시뮬레이션 결과를 정리하여 나타낸 것이다.

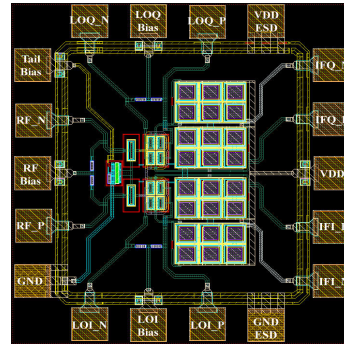


그림 8. Quadrature Mixer의 레이아웃

그림 8은 Cadence사의 virtuoso 툴을 사용하여 레이아웃한 것이다. Mentor사의 calibre를 이용하여 DRC(Design Rule Check)와 LVS(Layout Versus Schematic)를 검증하였고, 칩 사이즈는 패드를 포함하여 $790 \times 860 \mu\text{m}^2$ 이다.

IV. 결론

본 논문에서는 WLAN 용 직접변환 수신기를 위한 Quadrature Mixer의 I와 Q 채널 간에 amplitude와 phase의 mismatch와 image rejection의 손실을 최대한 줄일 수 있도록 하나의 공통 transconductance stage를 사용하는 구조가 제안되었다. 실제 TSMC 0.18 μ m RF CMOS 공정변수를 이용하여 시뮬레이션 한 결과 I 와 Q 채널의 출력 신호가 거의 똑같은 amplitude와 90도의 위상차를 확인할 수 있었다.

감사의 글

이 논문은 2008년 ETRI 한국전자통신연구원 기술사업화본부의 SoC 산업진흥센터의 지원사업의 연구결과로 수행되었다.

참 고 문 헌

- [1] M.Steyaert, "Towards the fully integration of wireless front-end circuits in deep-submicron technologies" IEEE Conference, pp:133-136, Oct. 2003.
- [2] Chouchane, T and Sawan, M. "A 5 GHz CMOS RF mixer in 0.18 μ m CMOS technology" IEEE CCECE vol3 , pp:1905-1908, May 2003.
- [3] Hung-Che Wei, Ro-Min Weng, Chih-Lung Hsiao and Kun-Yi Lin "A 1.5V 2.4GHz CMOS Mixer with High Linearity" IEEE Asia-Pacific Conference on Circuits and System, pp:289 - 292, Dec 6-9,2004
- [4] Zhiqun Li, Junjie Su and Zhigong Wang "Design of CMOS quadrature modulator for WLAN 802.11a application" IEEE International Workshop, pp:176-178, 30 Nov.-2 Dec. 2005
- [5] Q.Li and J.S. Yuan, "Linearity analysis and design optimization for 0.18 μ m CMOS RF Mixer" IEEE Proceedings, Vol. 149, No. 2, pp:112-118, April, 2002
- [6] Harvey, J. and Harjani, R. "Analysis and design of an integrated quadrature mixer with improved noise, gain and image rejection" IEEE International Symposium, Vol. 4, pp.786-789, May 2001
- [7] Alam, S.K. "A 2 GHz Low Power Down-conversion Quadrature Mixer in 0.18- μ m CMOS" IEEE International Conference, pp146-154, 6-10 Jan 2007