

# GPS 수신기용 저 전력 Baseband 회로 설계

Design of Low-Power Baseband Circuits for GPS Receiver

부영진\*, 오환술\*\*, 박경석\*\*\*, 고선준\*\*\*, 천정인\*\*\*, 이강윤\*\*

(\*건국대학교 전자공학과 박사과정, \*\*건국대학교 전자공학과 교수, \*\*\*삼성전기 연구원)

Key Words : GPS(Global Positioning System), Baseband, VGA(Variable Gain Amplifier), Filter

## 목 차

- I. 서론
  - II. 본론
    - 1. GPS 수신기의 Architecture
    - 2. GPS 수신기 Baseband의 구성 블록
    - 3. 시뮬레이션 결과
  - III. 결론
- 참고문헌

## I. 서론

미국 통신위원회(FCC)규제에 따르면, 모든 이동 통신기기는 100미터 이내의 위치를 파악할 수 있는 정확도와 위성항법을 이용하는 저비용의 제품을 요구 한다<sup>1</sup>.

GPS(Global Positioning System)는 위성항법 시장에서 주된 부분을 차지한다. 이와 같은 GPS에 대한 관심이 높아짐에 따라 그 시장 규모는 커지고 있다. GPS칩은 거대한 시장을 보유하고 있다. 군사용 정밀 측위뿐만 아니라 선박, 자동차, 항공기의 위치 측정 및 시각 동기 등에 폭넓게 활용되고 있고, 최근에는 휴대용 디지털기기가 점차 첨단화 되면서 GPS와의 융합이 활발해지고 있다. 대표적인 휴대용 단말기인 휴대폰뿐만 아니라 PDA나 UMPC, 심지어 디지털 카메라 등의 기기에도 GPS를 탑재해 위치정보, 실시간 교통정보, 여행 정보 제공 등의 기능을 지원하고 있다. 이와 같이 휴대용 기기에 사용되는 GPS 수신기의 경우 전력 소모의 최소화와 제품의 소형화, 최적화가 매우 중요하고, GPS의 입력신호가 매우 작기 때문에 그에 따른 수신기의 sensitivity가 중요한 요소가 된다. 기존에는 GPS 수신기를 위한 RF front-end는 바이폴라 공정을 이용하였으나<sup>2-4</sup>, CMOS 공정이 갖는 낮은 가격과 높은 집적도의 장점으로 인하여 최근에는 CMOS GPS 수신기에 대한 관심이 높아지고, 그 성공사례가 발표되고 있는 추세이다.<sup>5-6</sup>

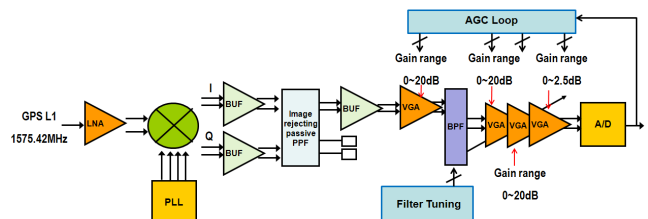
본 논문에서는 GPS 수신기의 입력에  $-150\text{dBm}$ 의 작은 신호가 들어올 때, Baseband 회로에서 가변적으로 Gain을 줄 수 있는 VGA (Variable Gain Amplifier) 회로, 또, 원하는 GPS 신호 이외의 Interferer를 제거하는 역할을 하는 Filter의 설계 결과를 보여주고 있다. VGA 및 Filter에 사용된 Op-Amp의 최적화를 통해서 저 전력으로 동작하도록 설계 하였으며,

면적도 최소화 하였다. VGA와 Filter의 Noise Level에 따라서 전체 수신기의 Sensitivity가 결정되므로, Noise를 최적화한 설계를 하였으며, 동시에, 큰 입력 신호가 들어올 때 수신기의 성능을 결정하는 선형성도 최대화 하도록 설계하였다. Baseband 회로의 VGA 및 Filter 블록의 전력 소모는  $3.6\text{mW}$  이고, 사용 공정은 TSMC  $0.13\mu\text{m}$  공정을 사용하였다.

## II. 본론

### 1. GPS 수신기의 Architecture

<그림 1>은 제안한 GPS 수신기의 전체 Block Diagram이다. GPS 수신기의 구조는 Low-IF 구조를 채택하였다. GPS 신호의 경우 안테나를 통해 입력되는 신호 레벨이 thermal noise 보다 작으므로  $1/f$  Noise와 DC-offset으로 인하여 Zero-IF 구조는 사용하기 어렵다. 따라서 본 논문에서는 Low-IF 구조를 사용하였다.



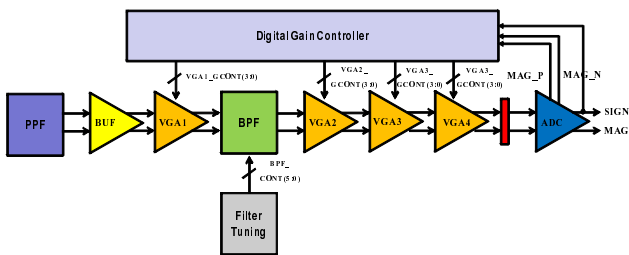
<그림 1> GPS 수신기의 Block Diagram

<그림 1>에서와 같이 GPS 수신기는 LNA(Low-Noise Amplifier), Active-type의 Mixer, PPF(Poly Phase Filter)와

PLL(Phase Locked Loop) 및 BPF(Band Pass Filter), VGA(Variable Gain Amplifier)를 포함한 AGC(Automatic Gain Control) Loop, 2-bit ADC로 구성되어 있다.

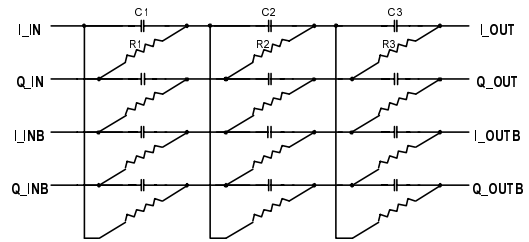
입력 신호로 L1밴드의 중심 주파수인 1575.42MHz가 들어온다. 그러면 GPS 신호의 입력 레벨이 매우 작기 때문에 LNA에서 GPS 신호를 증폭한다. 그 다음 Mixer 블록에서는 PLL에서 만들어진 LO 신호(1571.328MHz)를 이용하여 4.092MHz로 RF 주파수를 down conversion 한다. Low-IF 구조에서는 image 성분이 나타나므로 이 image를 제거하기 위하여 Passive-PPF를 사용하였다. PPF를 지난 신호는 BPF와 VGA단을 거쳐 ADC로 들어가게 된다. BPF는 3차 Chebyshev 구조로 설계하였으며, 중심 주파수는 IF 주파수와 동일하게 4.092MHz를 사용하였다. 그리고 대역폭은 2MHz와 4MHz사이로 조정 가능하도록 설계되었으며, 공정, 전압, 온도 변화에서도 중심주파수가 일정하게 유지되기 위한 Filter Tuning Block을 구성하였다. 그리고 VGA는 Digital-VGA를 사용하여, 좀 더 Gain을 조정하는데 있어 유연하고 확실하게 할 수 있다. ADC의 출력을 모니터링하여 VGA의 Gain을 자동적으로 조정할 수 있도록 AGC Loop를 구성하여 ADC입력 레벨을 일정하게 유지될 수 있도록 하였다. ADC는 2-bit ADC를 사용하였으며 IF 주파수의 4배인 16.368MHz로 샘플링하여 MAG와 SIGN 데이터 신호가 출력된다.

## 2. GPS 수신기 Baseband의 구성 블록



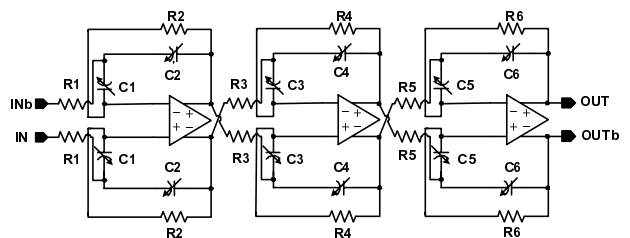
<그림 2> Baseband 회로의 Block Diagram

<그림 2>는 Baseband 회로의 Block Diagram 이다. 4개의 VGA와 PPF, Band-Pass filter, ADC 로 구성되어 있다. 그리고 공정, 전압, 온도에 따라서 Band-Pass filter의 중심 주파수가 바뀔 수 있기 때문에 이를 조정하기 위한 Filter Tuning Block과 ADC의 출력을 감지하여 각 VGA의 gain을 제어하기 위한 Digital Gain Controller를 포함하고 있다.



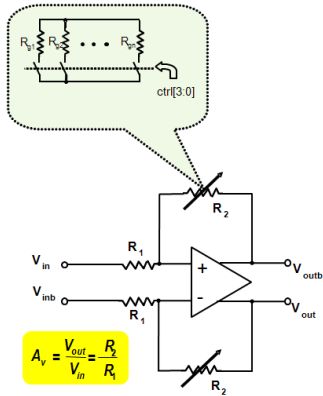
<그림 3> 3단 PPF(Poly-Phase Filter)

<그림 3>은 image 성분을 제거하기 위한 3단 Poly-Phase Filter이다. Mixer를 거쳐 down Conversion 된 IF 주파수는 3~5MHz이다. 이에 따라 -5~-3MHz에 Image 성분이 존재하게 된다. 이를 제거하기 위해 Passive PPF를 사용하였다. 각 단에서 만들어지는 주파수 값에서 전달함수가 0이 되도록 하여, 원하는 주파수 대역에서 충분히 큰 값의 원하지 않는 신호를 제거 능력을 얻는다. 그러나 R과 C로 구성되어 있기 때문에 단수가 많으면 면적이 상대적으로 커진다. 신호 제거 능력과 면적을 고려하여 3단의 PPF를 사용하였다. 또한 20%의 RC time constant 변화에도 -40dB이상의 Image 성분을 제거할 수 있도록 설계하였다.



<그림 4> 3차 Active-RC Chebyshev Band-Pass Filter

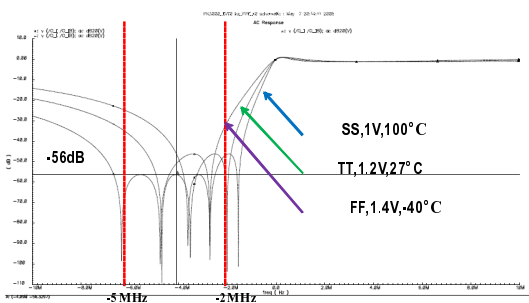
<그림 4>는 3차 Active-RC Chebyshev Band-Pass Filter 이다. 4.092MHz의 신호만 통과 시키고 나머지 하모닉 성분들은 제거하는 역할을 한다. 따라서 Filter의 중심주파수는 4.092MHz이고, 대역폭은 2MHz~4MHz로 조정 가능하도록 설계 되었다. 필터는 Active-RC Chebyshev 필터를 사용하였는데, Active-RC는 closed loop 구조이므로 선형성이 우수하다. 그리고 Active-RC 구조의 필터 중에서 Chebyshev 구조는 통과 대역에서 ripple을 갖지만 우수한 감쇄특성을 갖기 때문에 3차 Active-RC Chebyshev 필터를 선택하였다. 통과 대역에서 ripple의 크기는 최소화하도록 조정하여 0.4dB를 갖는다.



<그림 5> VGA(Variable Gain Amplifier)

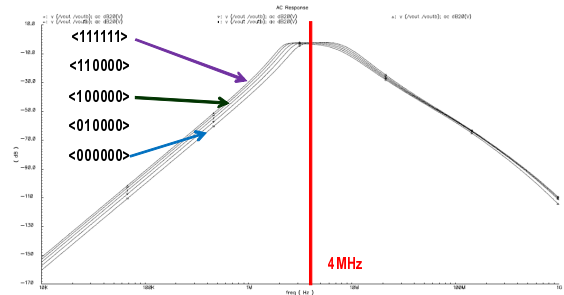
VGA는 Baseband에서 ADC 입력 앞단에 위치하게 한다. 각 단에서 0dB에서 20dB까지 디지털 제어에 의해서 가변적으로 변할 수 있어 입력 신호가 클 경우는 Gain을 작게, 입력 신호가 작을 경우는 Gain을 크게 조정하여, ADC입력이 일정하게 될 수 있도록 유지한다. 입력에 들어온 신호가 작을 때에도 SNR을 유지하기 위해서 Noise가 작도록 설계를 해야 한다. <그림 5>는 VGA 회로의 동작 원리를 보여주고 있다<sup>7</sup>. <그림 5>에서 보여주고 있는 바와 같이 VGA는  $R_1$ 과  $R_2$ 의 비를 조정함으로써 Gain을 조정할 수 있다.  $R_1$ 은 고정 값을 갖고  $R_2$ 의 값을 가변적으로 변화하면서 Gain을 조정한다.  $R_2/R_1 = 20\text{dB}$ 가 되도록 하려면,  $R_2/R_1$ 가 10이 되도록 값을 정하면 된다. 저항이 너무 클 경우 Noise가 증가하고, 저항이 너무 작을 경우 선형성 특성이 나빠지게 된다.

### 3. 시뮬레이션 결과



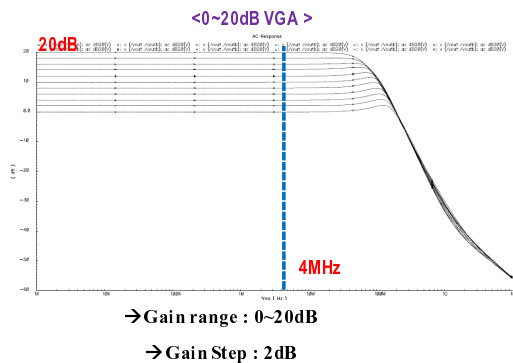
<그림 6> PPF에서 주파수 신호 통과특성

<그림 6>은 PPF에서 주파수 신호 통과 특성을 보여주고 있다. 공정, 공급전압, 온도의 변화를 가정하여 시뮬레이션을 실시한 결과이다. 위 결과에서 3가지 경우에 대하여 모두 -2MHz~5MHz에서 40dB 이상의 이미지 신호 제거 특성을 나타내고 있다.



<그림 7> Band-Pass Filter의 주파수 특성 시뮬레이션 결과

<그림 7>은 Band-Pass Filter 에서의 주파수 신호 통과 특성을 보여주고 있다. 중심 주파수는 약 4 MHz 이며, 제어 비트에 따라서 중심 주파수가 변하는 것을 알 수 있다.



<그림 8> VGA의 Gain 시뮬레이션 결과

<그림 8>은 Digital VGA의 Gain 시뮬레이션 결과이다. Gain range는 0~20dB이고 Gain step은 한 step당 2dB를 갖는다.

<표 1> 성능 요약

Parameter	Value	Unit
Process	0.13	[ $\mu\text{m}$ ]
Supply Voltage	1.2	[V]
BB Total Gain	62.5	[dB]
Gain Step	0.25	[dB/step]
Power consumption	3.6	[mW]

<표 1>은 Baseband 회로의 성능 요약이다. 공정은 TSMC 0.13  $\mu\text{m}$ 을 사용하였다. 그리고, 전체 Gain range는 0~62.5dB를 갖으며, 전체 전력 소모는 공급 전압 1.2V에서 3.5 mW이다.

### III. 결론

본 논문에서는 Baseband 회로에서 가변적으로 Gain을 줄 수 있는 VGA (Variable Gain Amplifier) 회로, 또, 원하는 GPS 신호 이외의 Interferer를 제거하는 역할을 하는 Filter의 설계 결과를 보여주고 있다. VGA 및 Filter에 사용된 Op-Amp의 최적화를 통해서 저 전력으로 동작하도록 설계하였으며, 면적도 최소화 하였다. 또한 입력 신호의 크기에 따라 수신기의 성능을 결정하는 Noise를 최적화하고 선형성을 최대화 하도록 설계하였다. Baseband 회로의 전력 소모는 3.6mW이고, 전체 Gain range는 0~62.5dB, 사용 공정은 TSMC 0.13um 공정을 사용하였다.

### ACKNOWLEDGEMENT

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

### 참고문헌

1. <http://www.fcc.gov/cgb/dro/e911tty.html>
2. D. K. Shaeffer et al., "A 115-mW, 0.5- $\mu$ m CMOS GPS receiver with wide dynamic range active filters," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 2219-2231, Dec. 1998.
3. A. Murphy et al., "A low-power, low-cost bipolar GPS receiver chip," IEEE J. Solid-State Circuits, vol. 32, no. 4, pp. 587 - 591, Apr. 1997.
4. M. Cloutier et al., "A 4-dB NF GPS receiver frond-end with AGC and 2-b A/D," Dig. Tech. Papers, IEEE Custom Integrated Circuits Conf. pp. 205 - 208, 1999.
5. J. Ko et al., "A 19-mW 2.6-mm<sup>2</sup> L1/L2 Dual-Band CMOS GPS Receiver," IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1414 - 1425, Jul. 2005.
6. G. Gramegna et al., "A 56-mW 23-mm<sup>2</sup> Single-Chip 180-nm CMOS GPS Receiver With 27.2-mW 4.1-mm<sup>2</sup> Radio," IEEE J. Solid-State Circuits, vol. 41, no. 3, pp. 540 - 551, Mar. 2006.
7. Kang-Yoon Lee et al. " Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver", IEEE Journal of Solid-State Circuits, Vol. 38, No.1, pp. 43-53, Jan 2003.
8. S. Jang et al., "A fast switching full-CMOS PHS frequency synthesizer with an auxiliary coarse tuning method," Proc. IEEE European Solid-State Circuits Conf. pp. 94-97, Sep. 2006.
9. Doung, Q.-H Durham et al., "A 95-dB linear low-power variable gain amplifier," IEEE Trans. Circuits Syst. I, vol. 53, no. 8, pp. 1648 - 1657, Aug. 2006.