반도체 소자의 3차원 집적에 적용되는 through-Silicon-via (TSV) 배선의 구조형성

임영대[1*], 이승환[2], 유원종[3] ,정오진[4], 김상철[5], 이한춘[6]
(1*) 성균관대학교 나노과학기술원 (4) 동부하이텍 공정개발팀
(2) 성균관대학교 나노과학기술원 (5) 동부하이텍 공정개발팀
(3) 성균관대학교 나노과학기술원 (6) 동부하이텍 공정개발팀

초 록: SF_6/O_2 플라즈마 에칭을 통한 반도체 칩의 3차원 집적에 응용되는 through-silicon-via (TSV) 구조형성 연구를 수행하였다. Si via 형상은 SF_6, O_2의 가스 비율과 에칭이 되는 Silicon 기판의 온도에 의존함을 알 수 있었다. 또한 Si via 형상에서 최소의 언더컷 (undercut) 과 측벽에칭 (local bowing) 은 black Si이 나타나는 공정조건에서 나타남을 확인하였다. 더 나아가 저온을 이용한 via 형성시 via 측벽에 형성되는 passivation layer와 mask의 성질이 저온으로 인해 high-aspect-ratio를 갖는 via를 형성할 수 있음을 알 수 있었다.

1.서론

반도체 소자의 집적도를 높이기 위한 기술로서 TSV를 이용한 3차원 배선이 최근 집중적으로 연구되어, 일부 반도체 소자 제조업체에서는 TSV 구조를 이용한 소자 양산 공정개발에 박차를 가하고 있다.[1] 지금까지 기존 MEMS 공정에 주도적으로 사용되고 있는 Bosch 공정이 TSV 구조를 형성하는데 요구되는 고종횡비 Si via 형성기술로서 적용되어 왔다. 그러나 Bosch 공정은 Si via 측벽에 scallops (SF_6를 에칭공정과 C_4F_8를 이용한 증착공정을 번갈아 진행함에 의해 발생한 주기적 요철구조)를 형성하기 때문에, 우수한 전기적 성질을 요구하는 고집적도 고급 반도체 소자에 적용하는 데 한계가 있다. [2] 이에 SF_6/O_2 만을 이용한 단일 플라즈마 에칭공정을 개발하여, scallops 문제를 극복하고 우수한 전기적 성질을 보이는3차원 배선 소자를 제작하려는 추세가 뚜렷해지고 있다. 그러나 SF_6와 O_2만을 이용하는 단일에칭 공정은 via 입구에서 언더컷 및 측벽 에칭이 심하게 일어나는 단점이 있다. [3]

본 연구에서는 SF_6, O_2의 비율과 Si 기판의 온도에 따른 Si deep via 형상의 변화 메커니즘에 대하여 연구하였다. 또한 저온에서 black Si 현상[4]을 이용하여 언더컷과 측벽 에칭을 최소화하는 동시에 고속 에칭을 할 수 있는 공정 연구를 수행하였다. 여기서 black Si 현상은 bare Si 을 에칭하였을 때 표면에 nano-pillar 구조가 발생하면서 표면이 검게 변하는 현상을 말한다. [4]

2.본론

Inductively coupled plasma (ICP) 소스를 가진 플라즈마 에처를 통하여Si 에칭을 수행하였으며 SF_6와 O_2 각 가스는 MFC를 통하여 챔버 내부로 유입되게 하였다. Si 기판의 온도조절을 위하여 기판과 척을 열적 접촉시킨 후 척의 냉각라인에 액화질소를 주입하였다. 이와 동시에 기판의 온도를 thermo-couple로 실시간 측정하여 기판 온도조절을 하였다. 다음 FIG 1은 플라즈마 SF_6/O_2 에칭시의 via 형성 모델이며 FIG 2는 O_2/SF_6 비율과 Si 기판의 온도에 따른 black Si 발생과 via의 형상이다.

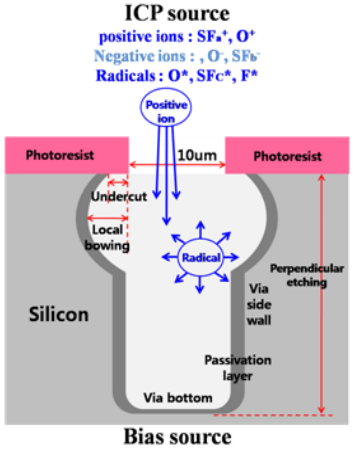

FIG 1

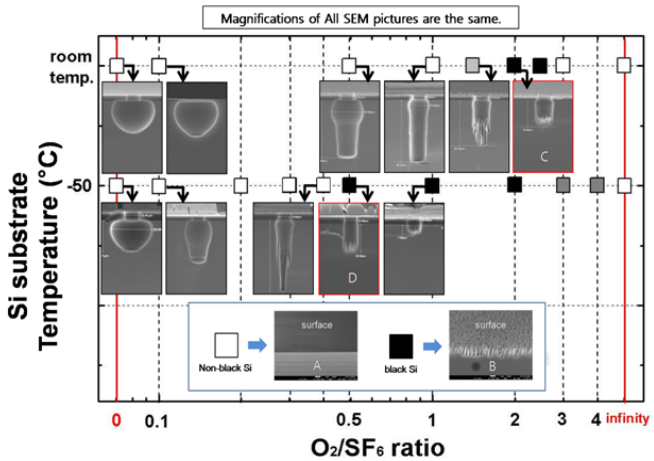

FIG 2

기판의 온도가 상온에서 O_2/SF_6 의 가스 비율이 증가함에 따라 측벽에 에칭을 억제하는passivation layer 형성이 활발해져 이방성을 갖는 Si via 를 형성함을 확인할 수 있었다. 또한 O_2 의 비율이 과도하게 많으면 (O_2/SF_6 > 1) passivation layer가 via의 바닥면에도 형성되어 에칭속도를 감소시킴을 확인할 수 있었다. 이러한 결과는 플라즈마 내 O_2 로부터 발생되는 O* (*은 radical을 의미) 가 passivation layer 형성에 결정적인 영향을 끼치는 것으로서 설명될 수 있다. 이러한 메커니즘은 기판 온도가 저온(-50°C) 에서도 그대로 적용될

수 있다.

기판의 온도가 감소할수록 상온에서 에칭 공정한 via 형상보다 저온에서 형성된 via의 형상이 더 이방성이 크며 상온보다 작은 O_2/SF_6 비율에서 바닥면에 passivation layer 가 형성되어 에칭속도가 감소함을 확인할 수 있다. (O_2/SF_6 > 0.3) 이러한 현상은 silicon oxyfluoride 로 형성된 passivation layer가 저온에서 더 활발히 형성되기 때문이며 silicon oxyfluoride 의 비등점과 Gibbs free energy 를 통하여 해석될 수 있다.

최소의 언더컷과 측벽에칭을 가진 Si via 형상은 각 온도에서 black Si 현상이 발생되는 공정조건에서 얻을 수 있다. 그 이유는 black Si 이 관찰될 때의 웨이퍼 표면이 nano-pillar로서 충분한 passivaion layer가 형성될 때 나타나는 구조이기 때문이다. 하지만 O_2/SF_6 비율이 너무 높은 black Si 공정조건에서는 에칭속도가 급격히 감소해 via 형상에 부정적인 영향을 준다.

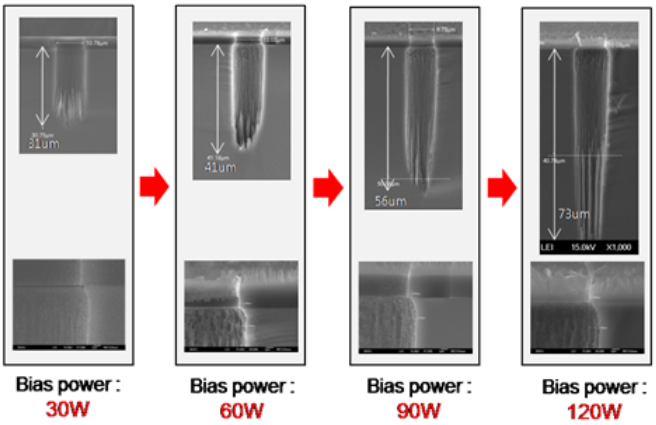

FIG 3(a)

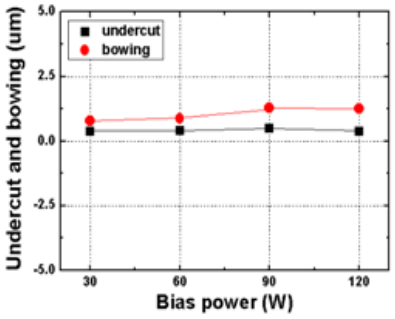

FIG 3(b)

다음 FIG 3(a) 는 저온 (-50°C) 에서 Bias power 에 따른 Si via 형상이며 FIG 3(b) 는 Bias power 에 따른 Si via 의 언더컷과 측벽에칭 (local bowing) 을 보여주고 있다. 실제 상온에서 Si via 에칭을 하였을 경우 bias power 에 따른 ion bombardment 가 바닥 뿐 만 아니라 측벽에서도 이루어져 언더컷 및 측벽에칭을 발생시킨다 . 그러나 저온일 경우 passivation layer가 활발히 형성되어 높은 bias power에서도 undercut 및 측벽에칭이 억제되는 동시에 에칭속도가 증가하는 조건을 얻을 수 있다.

3. 결론

SF_6/O_2 플라즈마 에칭공정을 이용하여 3차원 반도체 소자 집적의 배선공정에 응용되는 through-Silicon-via 구조형성에 대하여 연구하였다. Si via 의 형상은 가스 비율과 Si 기판의 온도에 대하여 민감하게 반응하며 그 이유는 플라즈마 내 O* 의 비율과 온도가 Silicon oxyfluoride 로 형성된 passivation layer 의 형성에 결정적 영향을 끼치기 때문이다. 또한 저온 에칭공정과 black Si 현상을 이용하여 최소의 언더컷과 측벽에칭을 유지하며 에칭속도가 높은 via 구조형성이 가능하다.

참고문헌

[1] M. Kawano, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, and S. Matsui, *IEEE Trans. Electron Devices*. 55, 1614 (2008).

[2] F. Laemer and A. Schip, WO94/14187 (DE93/01129, US patent US5501893).

[3] S. Tachi, K. Tsujimoto, and S. Okudaira, Appl. Phys. Lett. 52, 616 (1988).

[4] H. Jansen, M. de Boer, and M. Elwenspoek, IEEE, 250 (1996).