

## 소자구조에 따른 투명 산화물 박막 트랜지스터의 특성 변화

박은숙<sup>1</sup>, 조두희<sup>1</sup>, 양신혁<sup>2</sup>, 박상희<sup>1</sup>, 권오상<sup>1</sup>, 황치선<sup>1</sup>, 추혜용<sup>1</sup>

<sup>1</sup>한국 전자통신연구원 융합부품·소재 연구부문 투명전자소자팀

<sup>2</sup>단국대학교 전자 컴퓨터 공학과 반도체 디스플레이 연구실

본 연구에서는 하부게이트 구조의 산화물 박막 트랜지스터의 구조와 패터닝 형성 방법에 따라 활성층/절연층 계면이 받는 손상이 트랜지스터의 전기적인 특성에 미치는 영향을 고찰하였다. 이를 위하여 Lift-off 공정을 소스/드레인 전극 패터닝에 이용한 역 스테거드 구조 및 포토리쓰그래피-에칭 공정을 이용한 역 코플래너 구조의 소자를 제작하였다. 소자의 제작은 무알카리 유리 기판을 사용하여 150nm의 ITO를 게이트 전극, ALD로 성장된 185nm의 AlOx를 절연층으로 각각 사용하였고 역 코플래너 구조의 소자의 경우 ITO전극을 스퍼터링으로 증착하여 소스/드레인 전극을 형성 한 후 스퍼터링으로 투명 활성층을 증착하고 패터닝하였다. 역 스테거드 구조의 소자는 동일한 활성층을 증착하여 패터닝한 뒤에 네가티브 PR 마스크를 형성한 후 ITO를 증착하고 lift-off공정으로 패터닝을 형성하여 소스/드레인 전극의 증착 시 절연층과 활성층의 계면과 활성층 박막의 손상을 최소화하여 제작 하였다. 제작된 소자의 모든 패터닝은 역 스테거드 구조의 소스/드레인 전극을 제외하고 photo-lithography에 의한 습식 식각 공정으로 형성 하였고 전기적 특성은 Agilent 4156A semiconductor parameter analyzer를 사용하여 측정 하였다.

제작된 역 코플래너 소자의 전기적인 특성은 mobility,  $V_T$ , on-off ratio가 각각  $9.63\text{cm}^2/\text{Vs}$ , 3.64V,  $1.1 \times 10^9$ , 역 스테거드 소자의 전기적인 특성은 mobility,  $V_T$ , on-off ratio가 각각  $6.95\text{cm}^2/\text{Vs}$ , 3.54V,  $7.1 \times 10^8$ 을 각각 나타내었다. 역 코플래너 구조에서 ITO증착 시 활성층/절연층 계면에 가해진 추가적인 damage의 영향을 보기위해 두 가지 구조의 소자에 게이트 전압 20V의 stress를 약 3시간동안 가하여  $I_D$ - $V_G$  curve에서 이동하는 모습을 관찰 하였고 역 스테거드 소자의 turn-on 전압은 약 4.17V, 역 코플래너 소자의 turn-on전압은 약 7.46V positive방향으로 이동하는 것을 확인하였다. 이와 같은 실험을 통해 lift-off를 이용한 역 스테거드 구조의 소자를 제작 시 전기적인 안정성이 향상되는 것을 확인 하였다. 이것은 역 코플래너 구조의 활성층/절연층 계면이 소스/드레인 및 활성층 증착과 식각 공정에서 여러 번 손상을 입는데 반하여 역스테거드 구조의 경우는 그 계면의 공정 중 손상이 비교적 적은 때문으로 생각된다. 또한 역 스테거드 구조의 트랜지스터 전기적 특성이 조금 떨어지는 것은 활성층 후공정에서의 백채널 손상이 원인으로 추정되며 추후 lift-off 공정의 최적화를 통하여 향상시킬 수 있을 것으로 생각된다.