

다결정 실리콘 박막을 이용한 쇼트키 장벽 트랜지스터

신진욱¹, 최철종², 정원진², 정종완³, 조원주¹

¹광운대학교 전자재료공학과, ²한국전자통신연구원, ³세종대학교 나노공학과

Schottky Barrier MOSFET(SB-MOSFET)는 소스와 드레인에 불순물을 도핑하는 대신 금속을 이용하여 소스와 드레인을 형성시킨 소자이다. 불순물 도핑 공정의 생략은 공정의 단순화를 가능하게 하였고, 또한 500 °C 이하의 낮은 온도에서 소자 제작 공정을 가능하게 하였다. 이로 인하여 고온 공정에 취약한 고유전 (high-k) 물질을 게이트 절연막으로 사용함에 있어서 용이한 특성 가지고 있는 소자이다. SB-MOSFET는 낮은 누설 전류와 낮은 기생저항으로 인하여 소자 축소화에 큰 장점을 갖는다. 또한 단순화된 공정은 제작 과정에서 소자가 받을 수 있는 물리적인 열화를 감소시킬 수 있다. 한편, 다결정 실리콘 wafer를 이용한 MOSFET 소자는 SOI (Silicon on insulator) wafer를 이용한 소자에 비하여 다소 성능이 저하되는 측면이 있지만, 제작비용의 절감과 대면적 단위로 소자를 제작할 수 있는 등의 여러 장점이 있기 때문에 많은 연구가 수행되고 있다. 본 연구에서는 고상결정화 방법을 이용하여 제작한 다결정 실리콘 박막에 어븀(Er)과 플래티늄(Pt)를 이용하여 저온에서 소스와 드레인에 Silicide를 형성시킨 N-type과 P-type SB-TFT를 제작하여 소자의 성능을 평가하였고, 전기적 특성을 개선하기 위한 방법을 연구하였다. 소자의 성능평가는 I_D-V_G , I_D-V_D 특성과 소자의 Field effective mobility를 구함으로써 평가를 하였고, 소자의 성능 향상을 위하여 2 % H₂/N₂ 분위기에서 450 °C, 30분간의 후속 열처리 공정(PRA: post RTA annealing)을 통하여 poly-Si SBTFT의 전기적인 특성 개선하였다. 이는 Poly-Si의 grain boundary에 존재하는 포획준위 및 채널과 게이트 산화막 사이의 계면에 존재하는 포획준위를 감소시켜주었기 때문이다. 그 결과 10⁵ 이상의 높은 on/off current ratio와 낮은 누설 전류를 확인할 수 있었으며, Poly-Si Schottky Barrier Thin film transistor의 가능성을 확인하였다.