

CMOS 0.18um 공정을 이용한 2.45GHz Low-IF 직접 변환 방식 혼합기 설계

A Design of Direct conversion method 2.45GHz Low-IF Mixer Using CMOS 0.18um Process

최진규*, 김형석
(Jin-Kyu Choi and Hyeong-Seok Kim)

Abstract : This paper presents the design and analysis of 2.45GHz Low-IF Mixer using CMOS 0.18um. The Mixer is implemented by using the Gilbert-type configuration, current bleeding technique, and the resonating technique for the tail capacitance. And the design of this Double Balance Mixer is based on its linearity since it is important in the interference cancellation system. The low flicker noise mixer is implemented by incorporating a double balanced Gilbert-type configuration, the RF leakage-less current bleeding technique, and Cp resonating technique. The proposed mixer has a simulated conversion gain of 16dB a simulated IIP3 of -3.3dBm and P1dB is -19dBm. A simulated noise figure of 6.9dB at 10MHz and a flicker corner frequency of 510kHz while consuming only 10.65mW of DC power. The layout of Mixer for one-chip design in a 0.18-um TSMC process has 0.474mm x 0.39 mm size.

Keywords: CMOS mixer. Current bleeding, direct conversion receiver, flicker noise, Gilbert cell mixer

I. 서론

최근 정보화 시대와 발맞추어 무선 통신 시스템 시장이 급속하게 성장 하고 있다. 이러한 성장은 무선 통신 시스템 송수신기의 집적화와 저전압, 저가격을 요구 하고 있다. 이 문제들을 해결하기 위한 방법으로 여러 가지 RF 소자 기술들이 개발되고 있는데, 이 기술들을 크게 보면, GaAs 기술, 실리콘 바이폴라 기술, 실리콘 CMOS 기술 등이 있고, 최근 들어 SiGe HBT와 BiCMOS 기술 등이 나오고 있다. 이들 중에서 실리콘 CMOS 기술은 지속적인 소자의 크기 축소에 의해 높은 차단 주파수와 최대 공진주파수를 가지게 되었다. 실리콘 CMOS는 낮은 구동전류, 높은 잡음저항, 그리고 높은 기판농도에 따른 초고주파의 누설전류 문제 등의 단점이 있지만, 다른 기술들에 비하여 DC 상태에서 전력 소모가 극히 작다는 점과 높은 집적도, 그리고 낮은 생산원가 등의 장점 때문에 무선 송수신 시스템 설계에 널리 사용되고 있다.[1]

본 논문에서 설계한 RF 혼합기는 이러한 실리콘 CMOS의 장점들을 이용하였으며, 송수신기를 집적화 하고, 가격을 낮추는 원칩(One-Chip)화의 가능성을 제시해 주고 있다. 본 논문에서는 이런 장점들을 가지고 있는 CMOS 0.18um공정을 이용하여 현재 무선 주파수에서 가장 널리 사용되고 있는 ISM 밴드의 2.45GHz 대역에 적용하는 직접 변환 방식의 혼합기를 설계하였다.

II. 본론

1. 혼합기 변환 방식

혼합기는 사용하고 있는 주파수 신호를 원하는 주파수 신호로 변환 시켜주는 역할을 한다. 수신기에서는 RF(Radio Frequency)를 기저대역에서 사용되는 IF(Intermediate Frequency)신호로 하향 변화 시키고, 송신기에서는 기저대역에서 처리된 IF신호를 안테나로 송신하기 위해 RF신호로 상향 변환 시키는 소자이다.

주파수 변환 방법에는 헤테로다인 수신 방식과 직접 변환 수신 방식이 있다. 헤테로다인 수신방식의 경우 2개의 혼합기를 이용하여 1차 혼합기로 RF신호를 중간 주파수인 IF신호로 하향 변환 시키고, 이미지 제거 필터와 IF 필터를 거쳐 2차 혼합기를 통해 기저대역에서 사용하는 IF 신호로 변환 시킨다. 이에 반해 직접 변환 수신방식은 한 개의 혼합기만을 사용하여 RF신호를 기저 대역까지 한번에 하향 변환 시키면서 이미지 제거 필터와 IF 필터가 필요 하지 않다. 따라서 헤테로다인 수신 방식에 비해 직접 변환 방식은 구조가 간단해져 사용되는 전력이 낮게 설계 될 수 있으며, 헤테로다인에서 채널과 대역폭을 위한 IF필터로 사용되는 고가의 SAW필터가 필요 없기 때문에 낮은 가격으로 설계 할 수 있다. 이러한 이유 때문에 최근 직접 변환 방식에 대한 연구가 활발히 진행 되고 있다. 하지만 직접 변환 방식은 DC offset, I/Q 불균형, 2차 왜곡, flicker 잡음 등의 문제점을 안고 있다.

* 책임저자(Corresponding Author)

논문접수 : 2008. 07. 25., 채택확정 : 2008. 08. 01.

최진규 : 중앙대학교 전자전기 공학부 석사과정

*김형석 : 중앙대학교 전자전기 공학부 교수 (kimcaf2@cau.ac.kr)

※ 본 연구는 2008년 중소기업 산학 지원사업의 지원에 의해 수행 되었음.

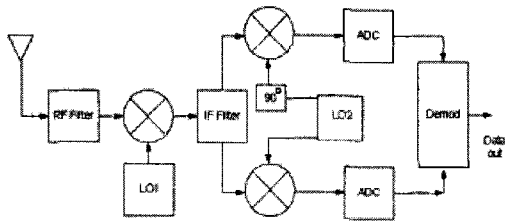


그림 1. 헤테로다인 수신기 블록도
Fig. 1 The Block of Heterodyne Receiver

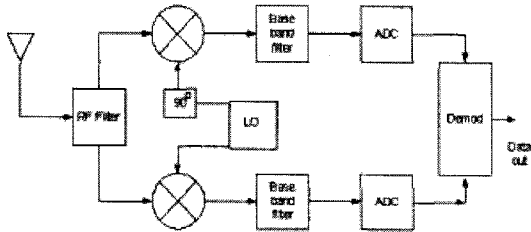


그림 2 직접 변환 방식 수신기 블록도
Fig. 2 The Block of Direct Conversion Receiver

이런 요구의 해결책으로서 직접변환 방식을 이용한 수신단의 개발 및 성능에 대한 연구가 진행되고 있다. 그림 1과 그림 2에 헤테로다인 수신기와 직접변환 방식 수신기의 블록도를 나타내었다.[7]~[8]

2. 혼합기 구조 및 설계

본 논문에서는 가장 흔히 사용 되는 Gilbert cell 구조인 이중평형 형태를 기본 구조로 정하였다. Gilbert cell 구조의 혼합기는 RF 신호와 LO 신호를 차동으로 동작 시키고 RF, LO 및 IF 신호포트들이 서로 분리되어 있기 때문에 각 포트간의 격리도(Isolation)이 좋으며, 위상차에 의해서 짝수차수 고조파 성분이 상쇄되기 때문에 각종 스퓨리어스(Spurious)나 고조파 발생이 억제 된다. 그림 3에 일반적으로 사용되는 Gilbert cell 구조의 이중평형 주파수 혼합기 회로도를 나타내었다.[2]

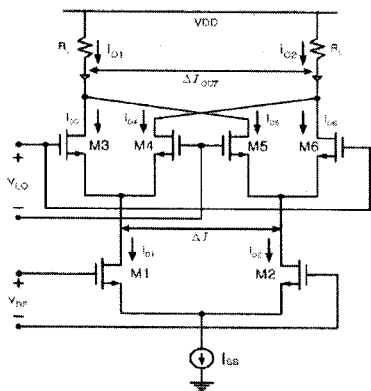


그림 3 일반적인 Gilbert cell 구조의 이중평형 혼합기
Fig 3. Gilbert cell mixer

혼합기의 성능을 평가 하는 주요한 변수들로 변환 이득, 선형성, 잡음 지수 포트 간 격리도 등이 있다. 변환이득은 RF 신호 크기에 대한 IF 신호 출력의 크기로 정의되며, 전압 변환 이득과 전력 변환 이득 두 종류가 사용되는데 일반적으로 전압 변환 이득이 사용된다. 전압 변환 이득은 입력 RF 진폭 전압에 대한 출력 IF 진폭 전압으로 정의되며, 보통 10dB 정도의 값을 가진다.

본 논문에서는 혼합기 설계를 직접 변환 방식으로 설계를 하였다. 혼합기를 직접 변환 방식으로 설계 할 경우 MOS에서 생성되는 고유잡음인 Flicker noise 특성이 주요 고려사항이 된다. Flicker Noise의 주요 원인은 혼합기의 switching 단과 bias current이다. 그리고 RF단의 bias current의 증가는 높은 이득과 향상된 선형성을 보장하지만 이로 인해 LO switching current가 증가함으로써 voltage headroom 문제를 야기한다. LO switching 단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing폭이 크고, 트랜지스터의 width가 넓어져야 한다. [3] 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스(Cp)가 커지며 이는 LO Switching 단의 영향을 준다. 이는 1/f noise의 증가로 이어지므로 트랜지스터의 기생 커패시턴스 (Cp)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 혼합기의 flicker noise는 switching 단의 영향을 많이 받으므로 switching 단의 bias current를 줄여야 할 필요가 있다.[4]~[5] 이를 해결하기 위해 본 논문에서는 CMOS를 이용한 current bleeding 기법을 이용하여 혼합기를 설계하였다. 그림 4는 본 논문에서 적용한 Current Bleeding 기법이 직접변환 방식의 혼합기 회로도를 나타내었다.

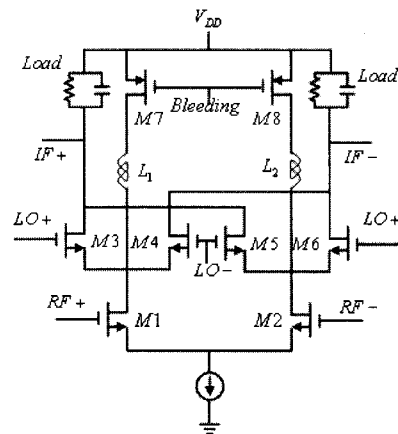


그림 4. current bleeding 기법이 적용된 이중평형 주파수 혼합기의 회로도
Fig. 5. Schematic of the double-balanced mixer with current bleeding circuit.

PMOS로 구성된 current bleeding circuit은 voltage headroom 문제를 완화시키므로 load 저항을 증가시켜 혼합기의 높은 이득을 얻을 수 있도록 한다. 또한 load 단에 저항과 같이 커패시턴스를 포함하여 출력단의 고조파 성분을 제거하기 위해 RC filter를 사용하여 혼합기의 선형성을 높이고자 하였다. 또

한 트랜스 컨덕턴스단인 RF단의 MOS의 bias current를 LO switching단을 거치지 않고 높일 수 있으므로 역시 혼합기의 이득을 높일 수 있다. [3] 혼합기의 flicker noise를 줄이기 위해 Switching단의 트랜지스터의 크기가 커짐으로 인해 회로에서 영향이 커진 Switching단의 트랜지스터의 기생 커패시터의 영향을 줄이기 위해 L1과 L2를 연결하였다.

3. 혼합기 시뮬레이션 결과

회로의 모의실험은 Cadence Spectre를 이용하였으며 공정은 TSMC 0.18um공정을 적용하였다. 실제 제작 후의 결과를 예측 하기 위해 그림 5에 시뮬레이션 Test-Bench를 설계 한 후 시뮬레이션을 하였다. RF power로는 -40dBm과 LOpowers는 0dBm을 사용하였다. 그림 6에서 제안된 구조의 DSB noise특성을 나타내었다. 제안된 구조에서 IF frequency가 510kHz이상일 때 Noise Figure는 8dB이하를 나타내었다.

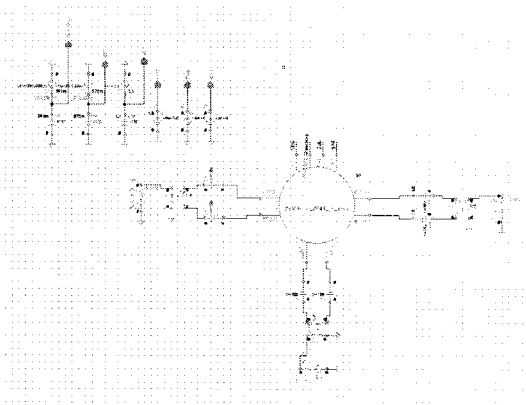


그림 5. 테스트 환경을 고려한 시뮬레이션 회로도
Fig. 5. The consider of Test Environment of Simulation Circuit

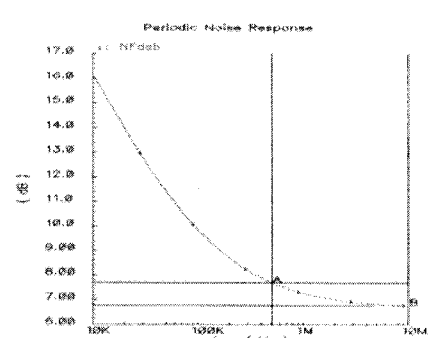


그림 6. DSB 잡음특성
Fig. 6. DSB Noise Figure.

변환이득은 RF 신호 크기에 대한 IF 신호 출력의 크기로 정의 된다 그림 7에서 입력 power에 대한 출력 power를 나타내었다. 입력 RF power는 -40dBm이고 이에 대한 IF 주파수인 10MHz에서는 -23.6dBm을 나타내었다. 그 결과 약 16dB의 변환 이득이 나타내었다.

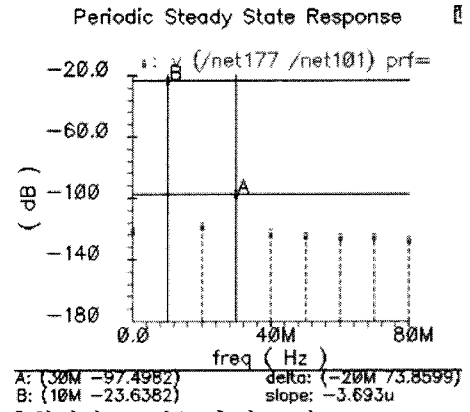


그림 7. 혼합기의 IF 신호 출력 크기
Fig. 7. IF power of mixer

혼합기의 선형성 특성은 변환 이득, Noise 특성과 더불어 중요한 성능 결정 요소이다. 설계한 혼합기의 선형성을 보기 위해 2-tone Simulation을 하였다. Simulation 결과 혼합기의 IIP3는 약 -3.3dBm이며 그 결과를 그림 8에 도시하였다.

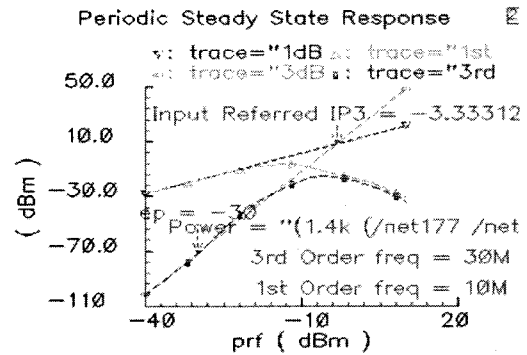


그림 8. 혼합기의 선형 특성
Fig. 8. Linearity figure of mixer

설계한 혼합기의 One chip 제작을 위해 TSMC 0.18um공정을 이용하여 레이아웃 하였다. 레이아웃 시 모의 실험 결과와 측정결과의 차이를 줄이기 위해 기생소자를 최대한 고려하여 레이아웃 하였다. 크기는 0.47mm X 0.39mm이며 레이아웃 화면을 그림 9에 나타내었다.

표 1은 제안된 혼합기의 모의실험 결과를 정리한 결과이다. Flicker Noise에 큰 영향을 미치는 IDC의 경우 5.9mA이며 Conversion gain은 16dB가 나왔으며, NF는 Corner Frequency 510KHz 에서 약 8dB 정도가 나왔다. 본 논문에서 설계한 혼합기의 소비전력은 10.65mW를 나타내었다.

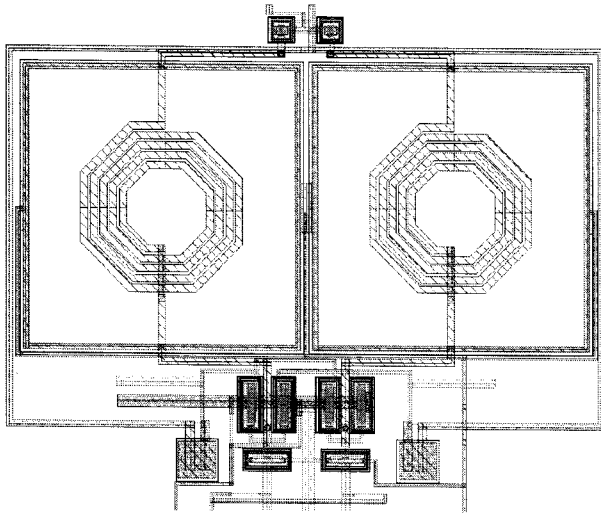


그림 9. 설계한 혼합기의 레이아웃
Fig. 9. Layout of the designed Mixer

표 1. 설계한 혼합기의 시뮬레이션 결과
Table 1. Simulation results of mixer

	단 위	시뮬레이션 결과
RF Frequency	MHz	2450
LO Frequency	MHz	2440
IF Frequency	MHz	10
RF Power	dBm	-40
Lo Power	dBm	0
IF power	dBm	-23.6
Conversion gain	dB	16
IIP3	dBm	-3.3
Noise figure	dB	8 (at 510KHz)
P1dB	dBm	-19.4
Power Consumption	mW	10.65
Chip Size	mm	0.474 x 0.39

VI. 결론

본 논문에서는 TSMC 0.18um 공정을 이용하여 2.45GHz Low-IF 직접변환 방식 혼합기를 설계하였다. 저주파 잡음특성 향상을 위해 Current Bleeding 방법과 인덕터를 연결하는 방법을 사용하여 혼합기를 설계하였다. 설계한 혼합기의 이득은 RF 주파수가 2.45GHz일 때 약 16dB이며 IIP3는 약 -3dBm을 나타내었다. 본 논문의 결과를 활용하여 wireless LNA 또는 2.45GHz 대역에서 사용하는 RFID 리더용 저전력 one-chip Receiver Front-End 설계에 적용 가능할 것으로 사료된다.

참고문헌

- [1] 박홍준, CMOS 아날로그 집적회로 설계 (상), Σ 시그마프레스, pp. 199-209, 1999.
- [2] B. Gilbert, Low-power HF Microelectronics; A Unified Approach, GMachado, Edition London: IEE Circuits and Systems Series, Ch. 23, pp.837-927, 1996.
- [3] R. Weinstein, "A technical overview and its application to the enterprise", *IT Professional*, vol. 7, no. 3, pp. 27-33, May-June, 2005.
- [4] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G Lee, "A Low Power RF Direct-Conversion Receiver/Transmitter for 2.4 GHz Band IEEE 802.15.4 Standard in 0.18-um CMOS Technology," *Microwave Theory and Techniques, IEEE Trans.*, vol. 54, no. 12, pp. 4062-4071, Dec, 2006.
- [5] J. Park, C. H. Lee, B. S. Kim, J. Laskar, "Design and Analysis of Low Flicker Noise CMOS Mixers for Direct Conversion Receivers," *IEEE Trans. on Microwave theory and techniques*, vol. 54, no. 12, pp. 4372-4380, Dec., 2006.
- [6] M. Rajachekharaiiah, P. Upadhyaya, D. Heo, "A New Gain Controllable On Chip Active Balun for 5GHz Direct Conversion Receiver" *IEEE ISCAS*, vol. 5, pp. 5115-5118, May., 2005.
- [7] B. Razavi, "A 1.5V 900MHz Downconversion Mixer", *IEEE International Solid-State Circuits Conference*, San Francisco, pp. 48-49, February 1996.
- [8] B. Razavi "RF MicroElectronics" Prentice Hall
- [9] B. Razavi "Design of Analog CMOS Intergrated Circuit", Mc Graw Hill.



최진규

2007년 중앙대학교 전자전기공학부 졸업. 2007년~현재 중앙대학교 공과대학 원석사 과정 재학 중. 관심분야는 RF 및 무선통신, RFIC 회로 설계



김형석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학박사 1990-2002 순천향대학교 정보기술공학부 부교수. 1997-1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야는 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC 응용 회로, 전력 IT