

# 전력증폭기의 비선형 특성과 Memory Effect 를 보상하기 위한 Look-up Table 방식의 Digital Pre-distorter

## Look-up Table type Digital Pre-distorter for Linearization Power Amplifier with Non-linearity and Memory Effect.

최 흥 민\*, 김 왕 래, 유 재 우, 안 광 은  
(Hong-Min Choi, Wang-Rae Kim, Jae-Woo Lyu, Kwang-Eun Ahn)

**Abstract :** RF power amplifier requires linearization in order to reduce adjacent channel interference. And most of the existing linearization algorithms assume that a PA has memory-less nonlinearity. But for the wider bandwidth signal, the memory effect of PA cannot be ignored. This paper investigates digital pre-distortion by use of a memory polynomial model which compensates for amplifier nonlinearity and memory effect. The look-up table based implementation scheme is used to reduce the computational complexity of the pre-distortion block. The linearization performance is demonstrated on wideband CDMA signal and class AB high power amplifier.

**Keywords:** pre-distortion, power amp, linearization, memory polynomial, look-up table

### I. 서론

CDMA 신호는 각각의 채널을 코드로 구분하기 때문에 같은 주파수대역에 동시에 많은 직교 신호들이 더해져서 만들어진다. 각각의 신호들은 서로의 상관관계가 약하기 때문에 그 합은 통계적으로 가우시안 특성을 지닌다. 이러한 신호는 평균 파워에 비해서 순간 최대 파워의 크기(Peak to average ratio)가 매우 큰 특성을 보이기 때문에 dynamic range 측면에서 시스템 구현에 큰 부담이 된다. 일반적인 PA의 경우 그 선형성이 보장되는 영역이 제한되어 있기 때문에 peak to average ratio가 큰 신호를 사용해야 할 경우 PA의 비선형성은 해결해야 할 숙제로 남는다. 그림 1 은 PA의 입력크기와 주파수에 따른 특성을 나타내고 있다.

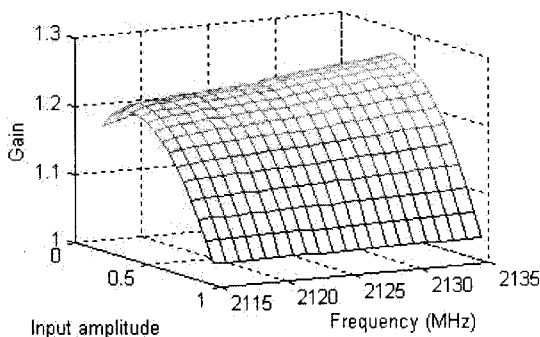


그림 1. PA의 입력 신호 크기와 주파수에 따른 출력 특성.  
Fig. 1. PA output characteristic for input amplitude and frequency.

이 그림은 입력신호로 각기 다른 주파수를 가진 tone을 사용하여 PA의 gain 특성을 측정하여 주파수별로 그린 것이다. 입력신호의 크기에 따른 PA의 이득의 변화와 같은 특정 시스템의 비선형 특성은 입력신호에 Inter-Modulation Distortion(IMD) 성분을 만들어 내므로 인하여 CDMA 시스템에서 PA 출력신호의 Adjacent Channel Power Ratio(ACPR) 특성이 나빠진다. 또한 WCDMA와 같이 넓은 대역폭을 사용해야 하는 경우에는 입력 신호의 크기뿐 아니라 PA의 주파수 특성도 이득에 영향을 준다. 즉, 그림 1 에서와 같이 신호의 주파수에 따라 이득의 크기가 달라지게 되는데 이를 PA의 memory effect 라 한다.

PA의 이 같은 특성들을 보상하기 위해서 pre-distortion 기술 [1], [2]을 사용한다. Pre-distortion 이란 baseband 영역에서 PA의 특성과 반대가 되도록 미리 신호를 왜곡시켜 PA의 출력이 우리가 원하는 신호가 되도록 만들어 주는 기술이다. Pre-distortion 은 디지털 영역에서 구현 되기 때문에 그 비용이 저렴하고 비교적 간단하게 구현 할 수 있다는 장점이 있다.

본 논문에서는 PA의 역 특성을 모델링 하기 위한 수학적 모델을 소개하고 그 모델을 이용한 pre-distortion algorithm을 설명할 것이다. 또한 이를 실제 시스템에 어떻게 구현하였는지 보여주고 그 실험 결과를 설명하고자 한다.

### II. Pre-distortion linearizer architecture

Pre-distortion은 PA를 선형화하는 매우 효과적인 방법이다. 그림 2 는 pre-distortion을 구현하기 위한 대략적인 시스템의 구조를 나타내고 있다. PA의 역 특성을 만들기 위해서는 먼저 PA 입력신호와 출력신호를 이용하여 그 역 특성을 특정 전달함수의 형태로 만들어야 한다. 이 과정은 별도의 DSP 또는 Processor에서 이루어지며 여기서 만들어진 전달함수는 pre-distorter block에서 하드웨어로 구현되어 입력신호  $x(n)$ 을 그 특성에 따라 왜곡시키게 된다. 그림 2. 에서와 같이 PA의 입력 신호와 출력 신호는 baseband 영역에서 DSP로 보내어

\* 책임저자(Corresponding Author)  
논문접수 : 2008.07.22., 채택확정 : 2008.07.22.  
최흥민: LG-Nortel System H/W Department.  
(hongmy@lg-nortel.com)

지고 DSP는 이 신호를 통해서 PA의 역 특성을 가진 모델을 만들어 이를 pre-distorter block에 반영한다. 여기서 PA의 역 특성을 나타내는 전달함수는 비선형성뿐 만 아니라 주파수 특성에 따른 memory effect도 포함할 수 있어야 한다. 그래야만 넓은 주파수 대역을 사용할 때 더 정확한 보상이 가능하다.

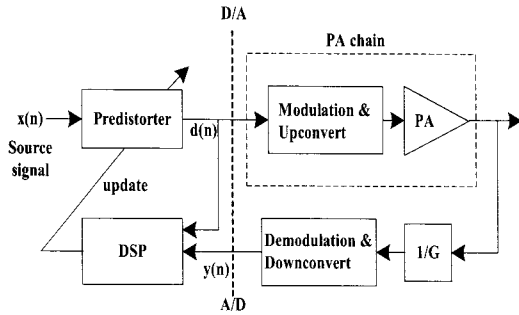


그림 2. Pre-distortion 구현을 위한 시스템 구조.  
Fig. 2. System architecture for implementation of pre-distortion.

### III. Memory polynomial

PA는 앞에서 설명 하였듯이 비선형성뿐 만 아니라 memory effect도 가지고 있다. 이런 PA의 특성을 pre-distortion 기술로 보상해 주기 위해서는 pre-distortion을 위한 함수 역시 비선형성과 memory effect를 가지고 있어야 한다. Memory polynomial[3]은 이러한 특성을 가진 모델 중 하나로 다음 수식(1)과 같은 형태를 가지고 있다.

$$y(n) = \sum_{m=0}^M \sum_{k=0}^K a_{m,k} x(n-m) |x(n-m)|^k \quad (1)$$

수식(1)에서  $M$ 은 memory term의 개수를 나타내며,  $K$ 는 다항식의 차수를 나타낸다.  $M=0$ 인 경우는 memory effect가 없는 경우로 다음과 같이 간단하게 표현 할 수 있다.

$$y(n) = x(n) f(|x(n)|) \quad (2)$$

함수  $f$ 는 다항식을 나타내며 수식(2)는 입력신호의 절대크기에 대한 함수  $f$ 와 입력신호의 곱으로 표현된다. 수식(1)은 수식(2)를 시간 축으로 확장한 형태이다.

pre-distorter는 PA의 역 특성을 가장 잘 표현 해야 하며 수식(1)을 pre-distorter로 이용하기 위해서는 PA의 역 특성을 갖는 정확한 다항식의 계수를 찾는 것이 중요하다. PA 역 특성을 갖는다는 것은 역함수를 의미하며 다음과 같이 설명할 수 있다.

$$y(n) = PA(x(n)) \quad (3)$$

여기서  $PA()$ 는 PA와 같은 입출력 특성을 갖는 함수를 나타내며, pre-distorter를  $PA^{-1}$ 이라고 한다면 다음과 같은 조건을 만족해야 한다.

$$x(n) = PA^{-1}(y(n)) \quad (4)$$

이를 수식(1)에 적용하여 입력신호와 출력 신호를 바꾸어 표현하면

$$x(n) = \sum_{m=0}^M \sum_{k=0}^K a_{m,k} y(n-m) |y(n-m)|^k \quad (5)$$

수식(5)에서

$$u_{m,k}(n) = y(n-m) |y(n-m)|^k \quad (6)$$

$$\mathbf{u}(n) = [u_{0,0}(n), u_{0,1}(n), u_{0,2}, \dots, u_{M,K}(n)] \quad (7)$$

$$\mathbf{a} = [a_{0,0}, a_{0,1}, a_{0,2}, \dots, a_{M,K}] \quad (8)$$

이라고 한다면 다음과 같이 간단하게 표현할 수 있다.

$$x(n) = \mathbf{u}(n) \mathbf{a}^T \quad (9)$$

여기서 벡터  $\mathbf{a}$ 가 우리가 구하고자 하는 pre-distortion 함수의 계수이며 수식(9)와 같은 조건을 만족할 수 있도록

$$J(\mathbf{a}) = E \left[ |x(n) - \mathbf{u}(n) \mathbf{a}^T|^2 \right] \quad (10)$$

이 최소가 되는  $\mathbf{a}$ 를 구해야 한다. 여기서  $x(n)$ 은 PA의 입력 신호이고 벡터  $\mathbf{u}(n)$ 은 PA의 출력 신호로 이루어져 있다. 이 과정은 processor 혹은 DSP에서 적응신호처리 알고리즘을 이용하여 이루어 진다.

여기서 얻어진 pre-distorter 함수의 계수  $\mathbf{a}$ 는 pre-distorter block에 반영되어 그 특성에 따라 입력신호를 왜곡하게 된다.

### IV. Implementation

Digital pre-distortion을 이용한 transmitter를 만들기 위해서 FPGA를 이용하였다. Pre-distortion을 위해 필요한 구성 요소는 크게 세가지로 볼 수 있다. 실질적인 왜곡을 담당하는 pre-distorter, PA의 입력 신호와 출력신호를 저장하는 signal capture module, 그리고 저장된 신호를 처리하여 최적의 계수를 구하는 processor가 필요한데 이 모두를 하나의 FPGA로 구현하는 방법을 택하였다. 기존의 상용화된 pre-distortion solution은 ASIC 칩과 별도의 DSP, memory 등이 각각 필요했는데, 최근에 출시되는 FPGA는 logic cell 뿐만 아니라 block memory, dedicated multiplier, processor 등 여러 가지 기능을 가진 구성요소 들을 내장하고 있기 때문에 하나의 FPGA 칩으로 구현하는 것이 가능하다. 그림 3 에서 그 구조를 나타내었다.

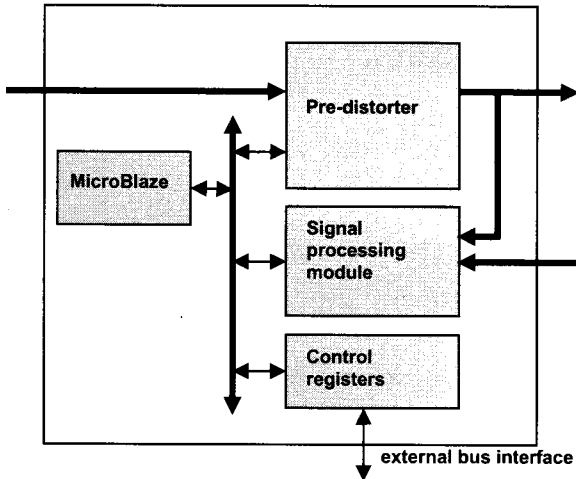


그림 3. FPGA의 구조.  
Fig. 3. Structure of FPGA.

FPGA는 Xilinx사의 Spartan-3 시리즈를 사용했으며 pre-distortion을 위한 block 외에 인터페이스를 포함한 다른 기능을 하는 부분들이 들어 있다. 외부에서 baseband 신호를 받아 FPGA에서 digital pre-distorter로 신호를 넘긴다. 이 신호는 PA와 반대되는 특성으로 왜곡되어 D/A를 거쳐 up-converter와 PA로 보내어 지고 그 신호는 다시 feedback 되어 FPGA로 되돌아 온다. Signal capture module에서는 pre-distorter 출력과 feedback 된 신호를 저장하고 MicroBlaze processor[4]에서 모델링을 하여 pre-distorter를 update한다.

1. Digital pre-distorter

수식(1)의 memory polynomial을 하드웨어로 구현하기 위해서는 많은 양의 곱셈기가 필요하다 그 개수는 polynomial의 차수  $K$  와 memory term의 개수  $M$  이 커질수록 더욱 늘어나게 된다. 간단한 구현을 위해 다항식에 해당하는 값들을 미리 계산하여 look-up table에 저장하여 사용하도록 하였다. 수식(2)에서와 같이 polynomial은 입력 신호의 크기에 대한 함수이기 때문에 polynomial gain[5] 형태가 되어 쉽게 table 구조로 바꿀 수 있다. Memory polynomial은 이를 tap-delay로 확장한 형태가 된다. Look-up table의 크기는 실험적으로 성능에 영향을 미치는 않는 최소한의 크기로 설정하였고 이를 시간축으로 확장하여 수식(1)과 같은 모양이 되도록 하였다. 그 구조가 그림 4에 나타나 있다.

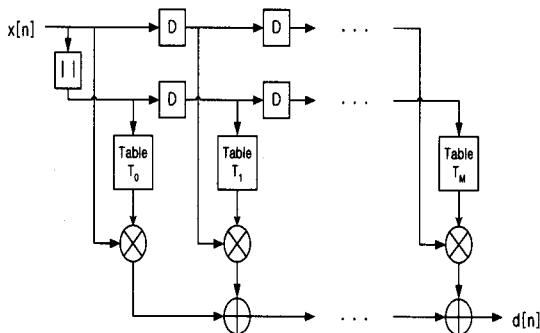


그림 4. Direct form pre-distorter.  
Fig. 4. Direct form pre-distorter.

실제 구현에 있어서는 complex 신호를 처리할 수 있도록 설계되었다. 그 모양이 필터와 비슷하나 그 계수가 입력신호의 크기에 따른 함수로 표현되어 있다. 그 함수는 각각의 table로 구현되었고 입력신호의 크기만으로 indexing을 하는 1차원 table이다. 이것은 또 다른 형태로 구현될 수 있는데 그림 5와 같다.

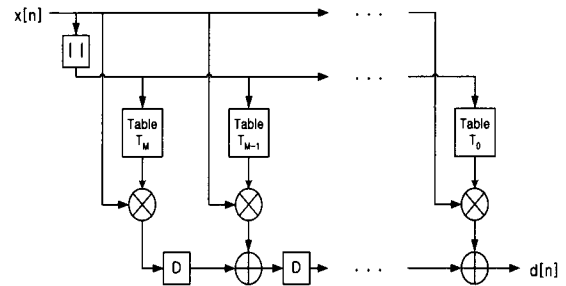


그림 5. Transpose form pre-distorter.  
Fig. 5. Transpose form pre-distorter.

그림 4는 필터의 direct form으로 구현되었고 그림 5는 transpose form으로 구현되었다. 이 두 가지는 동일하나 그림 5의 transpose form이 더 적은 양의 덧셈기를 필요로 한다. 각각의 table은 FPGA 내에 있는 dual port block memory로 만들어 processor를 통해서 table 값을 설정할 수 있도록 하였다.

2. Signal capture module

Pre-distorter 함수의 계수를 얻기 위해서는 PA 입력 신호와 출력 신호를 통해서 PA의 역 특성을 모델링 해야 한다. 이를 실시간으로 처리하기에는 여러 가지 제약 사항이 따르기 때문에 PA 입력 신호를 메모리에 일정량 저장하여 두었다가 사용하는 방법을 택하였다. Signal capture module은 PA의 입력 신호와 출력 신호를 디지털 baseband 영역에서 저장하는 역할을 하며 역시 dual port block memory로 구현하여 processor에서 읽을 수 있도록 하였다. 그림 6은 그 구조를 나타내고 있으며 역시 complex 신호로 in-phase, quadrature 신호를 각각 저장하고 있다.

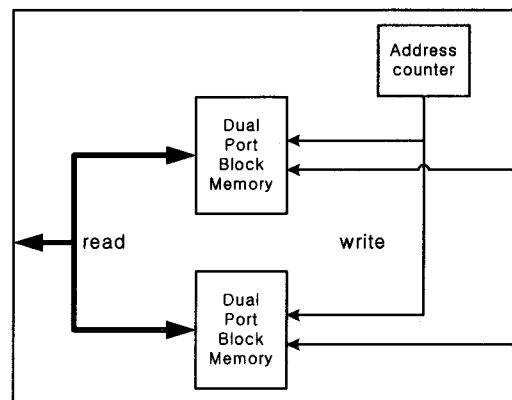


그림 6. signal capture module의 구조  
Fig. 6. Structure of signal capture module

한번에 저장 할 수 있는 길이는 8192 sample이며 sampling rate은 92.16Mhz 이다. Signal capture module은 processor에서 제어하며 address counter를 동작 시킴으로써 저장을 시작한다.

3. Processor

저장된 데이터 샘플들은 processor를 통해 모델링에 사용된다. 이를 위해 FPGA 내에 로직으로 구현된 soft processor인 MicroBlaze[4]를 사용하였다. 전용 DSP에 비하면 그 성능이 떨어지지만 별도의 인터페이스나 메모리 등이 필요 없으며 하나의 칩으로 구현할 수 있다는 장점이 있다. Xilinx FPGA Spartan-3 시리즈를 사용하였는데 여기에 MicroBlaze processor를 사용 할 수 있다. Processor와 signal capture module, pre-distorter 간의 인터페이스는 data side on-chip memory controller를 이용하였다. 이를 통해 signal capture module로부터 PA의 입출력 데이터를 가져와 pre-distorter 함수의 계수를 계산하여 pre-distorter table을 update 하게 된다.

Look-up table 을 한번 update 하는 데 걸리는 시간은 처리 하는 데이터의 양에 따라 달라지는데 대략 수백 ms 정도 소모된다. 최적화된 값에 빠르게 수렴하기 위해서는 이 시간이 빨라져야 한다.

V. Technical issues

여기서는 실제 구현하는데 있어서 고려해야 할 몇 가지 사항들을 언급하고자 한다.

1. Delay estimation

PA의 입력신호와 출력신호 간에는 시간차가 존재한다. 이는 PA 혹은 up-converter, down-converter와 같은 아날로그 소자에서 발생할 수도 있고 FIFO나 디지털 필터와 같이 디지털 경로상에서 발생할 수도 있다. Signal capture module에 저장된 데이터를 사용해서 PA의 올바른 입출력 특성을 알기 위해서는 이 시간 차이를 계산해서 고려해 주어야 한다.

이 시간차이를 알아내기 위해 입력신호  $x(n)$ 과 출력신호  $y(n)$  간의 cross correlation을 사용하였다.

$$\left| \sum_{k=0}^N x(n) \cdot y(n+k) \right| \tag{11}$$

두 신호의 cross correlation은 두 신호가 얼마나 상관관계가 있는지를 알려주며 그 크기가 클수록 두 신호의 모양이 일치한다고 할 수 있다. 여기서는 수식(11)이 최대가 되도록 하는  $k$  값이 두 신호 사이의 시간지연 이라고 볼 수 있는데 이러한 방법으로 구할 수 있는 시간 지연의 정확도는 sampling rate의 제약을 받을 수 밖에 없다. Sampling rate가 높을수록 더 정확한 delay 측정이 가능하지만 sampling rate를 높이는 데는 한계가 있다. 디지털 필터의 group delay 뿐 아니라 아날로그 소자에서 발생하는 임의의 시간지연까지 정확히 구하기 위해서 fractional delay를 발생 시키기 위한 fractional delay filter를 사용하였다.

$$f_{delay}[k] = \frac{\sin(\pi(k - d_{fractional}))}{k - d_{fractional}} \tag{12}$$

수식(12)의 fractional delay filter는 sinc 함수를  $d$ 만큼 시간 축으로 이동 시킨 것이며  $d$ 는 정수가 아니어도 상관 없기 때문에 임의의 시간 지연을 발생시킬 수 있다. 이를 이용하면 PA의 입력 신호와 출력 신호간의 시간차이를 sampling rate 보다 더 높은 정확도로 계산해 낼 수 있다. 정확한 delay측정은 PA의 역 특성을 모델링 할 때 delay오차에 의한 잡음 성분을 줄일 수 있다.

2. Adaptation

PA의 특성은 시간이 지남에 따라, 온도가 변함에 따라 혹은, 신호의 평균 파워가 변함에 따라 달라질 수 있다. 때문에 pre-distortion을 하기 위해서는 계속적으로 PA의 특성 변화를 읽어 내어 이를 반영해야 한다. 그러기 위해서는 반복적으로 look-up table 을 update 해주어야 한다. 갑작스러운 특성변화에 대처하기 위해서는 update 주기는 짧아야 하며 안정적인 동작을 위해서 많은 data의 평균을 취하는 방법을 취해야 한다. 하지만 많은 양의 data로 평균을 취하게 되면 특성이 변하여도 그 특성을 빠른 시간 내에 반영 할 수 없기 때문에 데이터에 대하여 forgetting factor를 사용하거나 특성이 많이 바뀌었을 경우 초기화 시켜주는 등의 방법이 필요하다. 또는 입력 신호의 평균 파워에 따라 서로 다른 table을 사용하는 방법도 있다. 이 경우에는 각각의 table에 들어갈 값들이 사전에 training 되어 있어야 한다.

VI. 실험 결과

여기서는 지금까지 설명한 구조의 pre-distortion을 이용한 시스템으로 실험한 결과를 보여주고자 한다. 실험에는 class AB high power amplifier를 사용하였고 3GPP의 test model 1, 64-DPCH를 입력신호로 사용하였다. Pre-distortion으로 PA의 특성을 보정해 주기 전과 후의 spectrum의 모양을 그림 7과 그림 8 에서 보여주고 있다.

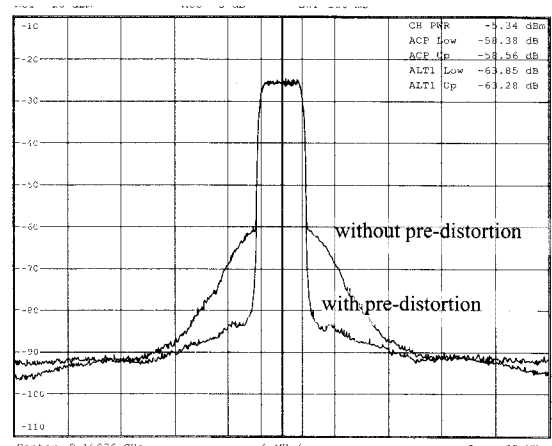


그림 7. W-CDMA 1-carrier.

Fig. 7. W-CDMA 1-carrier.

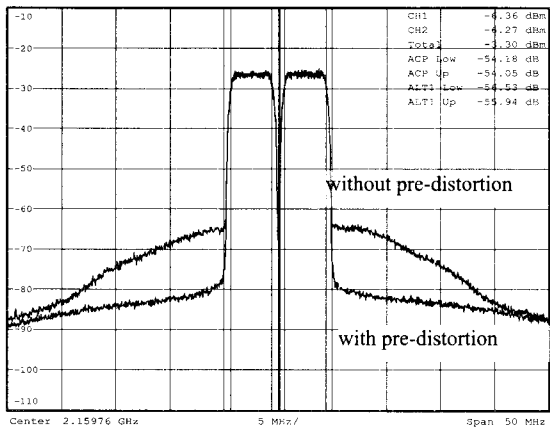


그림 8. W-CDMA 2 carrier.

Fig. 8. W-CDMA 2 carrier.

그림 7에서는 1-carrier를 입력으로 사용하였고 그림 8에서는 2-carrier를 입력으로 사용했다. 실험 결과에서 Adjacent channel power ratio(ACPR)이 개선됨을 확인할 수 있다. 개선되는 정도는 PA 특성과 평균 출력 파워에 따라 달라지며 신호의 Peak to average ratio(PAR)와도 밀접한 관계가 있다.

또한 PA의 특성변화에 적응 하는지 여부를 확인 하기 위해 출력의 평균 파워를 변화시켜보고 FA의 수를 변화시켜 보았을 때에도 최적 값으로 수렴하는 것을 볼 수 있었다.

**VII. 결론**

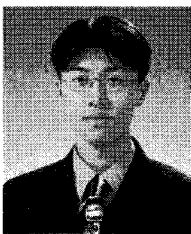
지금까지 pre-distortion 기술에 대한 대략적인 설명과 구현을 위해 사용한 PA의 역 특성 모델, 그리고 실제적인 구현에 관한 내용을 설명하였고 그 실험 결과를 보여주었다.

Memory effect를 보상해 주기 위하여 memory polynomial을 사용하여 PA의 역 특성을 모델링 하였고 memory polynomial을 look-up table을 사용하여 간단하게 하드웨어로 구현하였다. 특히 pre-distortion을 위한 모든 구성 요소를 하나의 FPGA로 만든 system on chip(SoC) solution으로서 시스템을 간단한 구조로 만들 수 있는 장점이 있다.

실험결과 PA 출력신호의 ACPR이 개선되었으며 PA의 특성 변화에도 적응함을 확인하였다

**참고문헌**

- [1] M. Saleh and J. Salz, "Adaptive linearization of power amplifiers in digital radio systems", *The Bell System Technical Journal*, Vol 62, No 4, pp 1019-1033, April 1983.
- [2] Y. Nagata, "Linear Amplification Technique for Digital Mobile Communications", *VTC'89*, Vol. 1, pp. 159-164, San Francisco 1989.
- [3] Lei Ding, G. Tong Zhou, Dennis R. Morgan, Zhengxiang Ma, J. Stevenson Kenney, Jaehyeong Kim, Charles R. Giardina, "Memory Polynomial Predistorter Based on the Indirect Learning Architecture,"
- [4] <http://www.xilinx.com> "MicroBlaze processor Reference guide"
- [5] J. K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements," in *Proc. IEEE Veh. Technol. Conf.*, 1990, pp. 374-382.



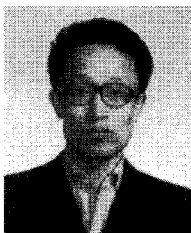
**최 홍 민**

2001년 : 서울대학교 전기공학 학사  
 2003년 : 서울대학교 공학 석사  
 2003년 ~ 현재 : LG-Nortel 연구소  
 관심분야는 무선이동통신시스템



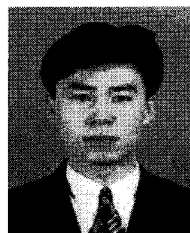
**김 왕 래**

1992년 : 단국대학교 물리학 학사  
 1995년 : 단국대학교 공학 석사  
 1995년 ~ 현재 : LG-Nortel 연구소  
 관심분야는 무선이동통신시스템



**유 재 우**

1991년 : 한국과학기술원 전기 및 전자공학 석사  
 1997년 : 한국과학기술원 전기 및 전자공학 박사  
 1997년~ 현재 : LG-Nortel 연구소  
 관심분야는 무선이동통신시스템.



**안 광 은**

1990년 : 한양대학교 전자통신 공학사  
 1992년 : 한양대학교 전자통신 공학석사  
 1999년 : 한양대학교 전자통신 공학박사  
 1995년 ~ 현재 : LG-Nortel 연구소  
 관심분야는 무선이동통신시스템.