

LNA 잡음 특성 개선을 위한 PGS 구조를 갖는 인덕터 설계에 관한 연구

A Study on design inductor with PGS for improvement in Noise Figure of LNA

고재형, 김동훈, 김형석*
(Jae-Hyeong Ko, Dong-Hun Kim, Hyeong-Seok Kim)

Abstract : In this paper, study noise performance of LNA to enhance Q-factor of input circuit by patterned ground shield is inserted inductor using TSMC 0.18um. Applied LNA technology is cascode method. The input matching circuit was constituted on-chip and wirebonding inductor. Taguchi's method is used for the best suited structure of PGS. We confirmed enhancement of Q-factor by inserted PGS into inductor. The input matching circuit enhanced Q-factor by inductor with PGS improve noise figure of LNA.

Keywords: Patterned Ground Shield, inductor, Taguchi's method, Q-factor, Low Noise Amplifier, Noise Figure

I. 서론

RF 수신부에서 첫 번째 부품으로 일반적으로 LNA(Low Noise Amplifier)를 사용한다. LNA는 전체 수신부의 노이즈 성능을 제한한다. 그래서 CMOS LNA의 낮은 노이즈 특성을 설계와 같은 CMOS 기술이 요구된다. 일반적으로 LNA는 낮은 잡음 지수와 높은 선형성 및 충분히 높은 전력 이득뿐만 아니라 낮은 전력 소비가 요구 된다.

노이즈 특성을 개선하기 위해 inductive source degeneration 방식이 있다[1]. 이런 방식의 gate induced current noise에 의해 민감도 문제가 있다. Gate induced current noise는 입력 회로의 Q-factor에 따라 높아진다. 그러나, 높은 Q값은 channel current noise를 줄이는데 이점이 있어 큰 Q값에 의해 gate induced current noise는 무시할 수 있다[2].

LNA의 노이즈 특성을 높이기 위해 입력 회로의 Q-factor를 높여야 한다. 입력 회로 손실의 대부분은 인덕터에 의해 발생한다. 이에 인덕터의 손실을 줄임으로써 LNA의 입력회로의 Q-factor를 높일 수가 있다.

인덕터의 낮은 전도율과 유전체 효과 및 와상전류에 의해 인덕터의 Q-factor가 감소한다[3]. 인덕터의 각각의 손실을 줄이기 위한 방법으로 여러 방법이 있다. 첫째 인덕터의 전도 손실을 줄이기 위해 다층의 나선형 구조를 이용[4]하거나 도체 두께를 증가시키는 방법[5]이 있다. 둘째 유전체 손실을 줄이기 위해 높은 저항성의 기판 사용[5][6]이나 인덕터와 실리콘 기판 사이의 산화층을 증가시키는 방법이 있다. 마지막으로 와상전류를 감소시키기 위해 PGS를 사용하는 방법[7]이 있다.

이에 본 논문에서는 TSMC 0.18 μm 공정으로 입출력 격리 특성이 우수하고 높은 이득을 얻을 수 있는 Cascode LNA에 사

용되는 인덕터에 PGS(Patterned Ground Shield)을 삽입하여 LNA의 입력 회로 Q-factor를 높여 LNA의 잡음 특성 향상에 대한 연구를 하였다.

II. 본론

Low Noise Amplifier 설계

LNA를 설계하기 위해 TSMC에서 제공하는 0.18um 라이브러리를 사용하였으며, PGS를 적용한 인덕터의 EM 시뮬레이션 결과를 이용하기 위해 ADS를 사용하여 LNA의 특성을 확인하였다.

1.1. Cascode 방식의 LNA 설계

일반적인 Cascode 구조의 LNA 회로도 및 소신호 등가회로를 그림 1에 나타내었다.

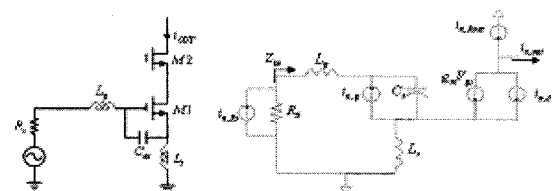


그림 1. LNA 회로도 및 소신호 등가회로.

Fig. 1. Schematic of LNA and small signal equivalence circuit.

그림 1의 소신호 등가회로에서 $i_{n,Rs}$ 와 $i_{n,Rout}$ 는 각각 소스 저항과 출력 저항의 thermal noise를 나타내며, $i_{n,d}$ 는 channel thermal noise 전류를 나타낸다. 또한, $i_{n,g}$ 는 gate-induced noise 전류를 나타낸다[10].

등가회로에서 LNA의 입력 임피던스를 식 (1)에 제시하였다.

$$Z_{in} = \frac{g_m L_s}{C_i} + sL_s + \frac{1}{sC_i} \quad (1)$$

여기서

$$C_i = C_{ex} + C_{gs}$$

$$L_s = L_g + L_s \text{ 이다.}$$

* 책임저자(Corresponding Author)

고재형 : 중앙대학교 전자전기공학부 석사과정 (kojh77@gmail.com)

김동훈 : 경북대학교 전자전기컴퓨터학부 교수 (dh29kim@ee.knu.ac.kr)

김형석* : 중앙대학교 전자전기공학부 교수 (kimcaf2@cau.ac.kr)

※ 본 연구는 2008년 중소기업 산학 지원사업의 지원에 의해 수행 되었음.

LNA의 입력 임피던스는 식 (2)의 동작 주파수에서 소스 임피던스와 같다.

$$\omega_0 = \frac{1}{\sqrt{L_s C_i}} \quad (2)$$

입력 매칭 회로의 Q-factor는 식 (3)에 나타내었다[10].

$$Q = \frac{1}{\left(R_s + g_m \frac{L_s}{C_i}\right) \omega_0 C_i} = \frac{1}{2R_s \omega_0 C_i} \quad (3)$$

소신호 등가회로에서 식 (3)을 noise parameter에 적용하여 계산하면 식 (4)-(5)와 같다[10].

$$F = 1 + \frac{\beta \left(Q^2 + \frac{1}{4}\right) \left(Q \cdot 2\omega_0 R_s C_{gs}\right)^2 + \frac{\gamma}{4}}{R_s Q^2 g_m} \quad (4)$$

$$F_{\min} = 1 + \frac{1}{Q} \cdot 4\beta^{1/4} \left(\frac{\gamma}{12}\right)^{3/4} \sqrt{\frac{2\omega_0}{3\mu_{eff} R_s I_{ds}}} L \quad (5)$$

여기서 β 와 γ 는 long-channel일 때 각각 gate induced current noise factor와 channel current noise factor이다.

1.2. LNA 설계 및 시뮬레이션 결과

매칭 회로 소자를 ideal 소자로 설계한 LAN의 회로도들 그림 2에 제시하였다.

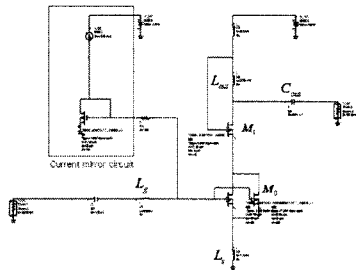


그림 2. Ideal LNA의 회로도.

Fig. 2. Schematic of the ideal LNA.

LNA의 시뮬레이션 결과를 그림 3과 4에 각각 S-parameter와 NF를 나타내었다.

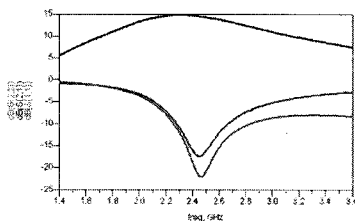


그림 3. Ideal LNA의 S-parameter.

Fig. 3. S-parameter of the ideal LNA.

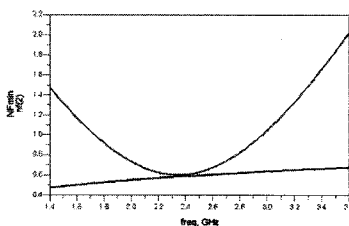


그림 4. Ideal LNA의 Noise Figure.

Fig. 4. Noise Figure of the ideal LNA.

2.45 GHz에서 LNA의 이득은 14.577 dB이고 S11와 S22는 각각 -17.39 dB와 -21.843 dB이다. 또한, NFmin은 0.595 dB, NF는 0.617 dB이다.

그림 2에서 LNA의 매칭 회로를 TSMC 공정의 RLC 소자로 변환하여 그림 5에 제시하였다.

이 때 LNA를 제작하여 측정하기 위해 입출력 매칭 회로의 일부를 wirebonding 인덕터로 구성하였다. Degeneration 인덕터의 인덕턴스가 작기 때문에 wirebonding 인덕터로 구성하였다.

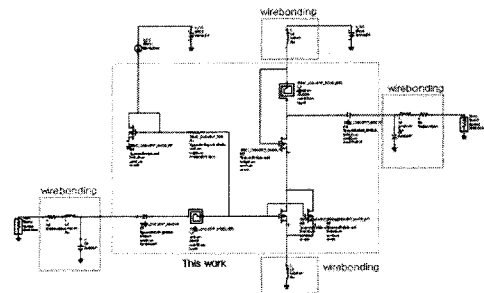


그림 5. TSMC 0.18um공정 LNA의 회로도.

Fig. 5. Schematic of LNA based on TSMC 0.18um.

그림 6과 7에 TSMC 공정의 LNA의 결과를 나타내었다.

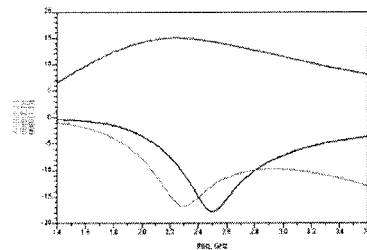


그림 6. TSMC 공정 LNA의 S-parameter.

Fig. 6. S-parameter of LNA based on TSMC 0.18um.

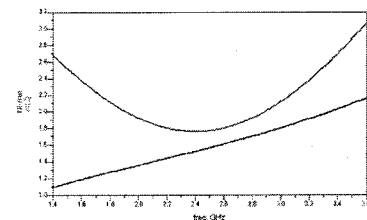


그림 7. TSMC 공정 LNA의 Noise figure.

Fig. 7. Noise figure of LNA based on TSMC 0.18um.

그림 6과 7에서 LNA의 이득은 14.486 dB, S11은 -16.958 dB와 S22는 -13.959 dB이다. 또한, NFmin은 1.542 dB, NF는 1.762 dB임을 확인 하였다. 이상적인 수동 소자를 사용할 때에 비해 NF는 나빠지는 것을 확인 할 수 있었다.

이때 LNA의 입력 매칭 회로에 사용된 인덕터는 선로 폭은 9um와 내경은 78um로 4.5턴의 인덕터로 인덕턴스는 7.054 nH이다.

2. Patterned Ground Shield

본 연구에서는 외상전류 손실을 감소시키면서 유전체 손실을 최소화시키기 위해 차폐 도체면에 slot을 만든 PGS의 설계 인자를 다구찌법(Taguchi's method)을 이용하여 인덕터의 Q-factor를 향상시킬 수 있는 설계 인자의 특성에 대해 연구하였다.

2.1. Taguchi's Method

나선형 인덕터의 Q-factor 향상을 위해 적용하는 PGS는 일반적으로 Oxide 층과 substrate의 경계면에 삽입한다[7].

본 연구에서 사용되는 PGS 구조 설계 인자를 그림 8과 같이 PGS의 삽입 위치인 나선형 PGS의 위치(A)와 나선형 인덕터에 의한 image current를 감소시키기 위한 slot 간격(B) 및 나선형 인덕터에서 형성되는 전기장을 차단시키기 위한 strip 넓이(C)와 함께 중앙 strip 넓이(D)로 인자를 결정하여 다구찌법을 이용하여 PGS 구조에 대해 연구하였다.

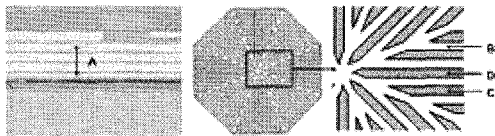


그림 8. PGS 설계 인자.
Fig. 8. Design parameter of PGS.

각 설계인자는 각 세가지 수준 수를 갖도록 하였으며 고려된 설계 인자 및 수준 수에 따라 수행되어야 할 최소 실험 회수 조합을 L9(3⁴)형 직교배열표를 사용하였다. 모의 시험 조합에 따라 2.45 GHz의 주파수에서 산출된 Q-factor로 정의된 특성 치에 대한 SN비를 계산하였다. 표 1에 설계 인자와 수준 수를 제시하였다.

$$SN_{LB} = -10 \log \left(\frac{1}{n} \sum_{i=1}^n \frac{1}{y^2} \right) \quad (6)$$

표 1. 설계 인자 및 수준 수(단위 um)
Table 1. Defined design parameter and level(unit um).

Factor level	Variable A PGS 위치	Variable B Slot 간격	Variable C Strip 넓이	Variable D 중앙 Strip 넓이
1	Layer 1	12	2	2
2	Layer 2	15	4	4
3	Layer 3	18	6	6

각 설계 인자가 특성치에 미치는 영향을 쉽게 분석하기 위해 LNA의 입력 매칭 회로의 인덕터의 SN비와 백분 기여도를 그림 9~10에 제시하였다.

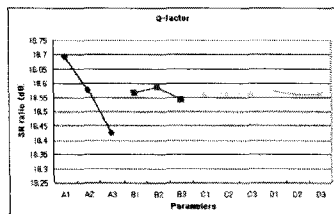


그림 9. Q-factor의 민감도
Fig. 9. Sensitivity of Q-factor

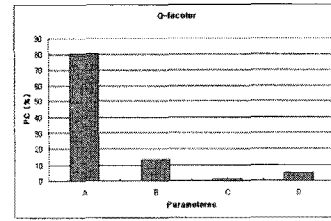


그림 10. Q-factor의 백분기여율
Fig. 10. Percentage contribution of Q-factor

그림 10을 통해 A-parameter가 Q-factor에 많은 영향을 미치는 것을 확인 할 수 있다. 민감도와 백분 기여율을 통해 PGS의 인자별 수준을 결정하면 A1 B2 C1 D1이다.

다구찌 법을 이용하여 찾은 PGS의 구조를 인덕터에 삽입하면 인덕턴스는 6.983 nH 이고 Q-factor는 8.503의 시뮬레이션 결과를 얻었다.

3. PGS 인덕터 적용 LNA 시뮬레이션

PGS를 적용한 인덕터의 결과를 ADS 프로그램을 이용하여 LNA에 적용하여 시뮬레이션을 하였다.

PGS가 없는 인덕터인 NGS의 인덕턴스와 Q-factor는 각각 6.985 nH와 8.236으로 LNA에 적용하여 시뮬레이션 결과를 그림 11~12에 나타내었다.

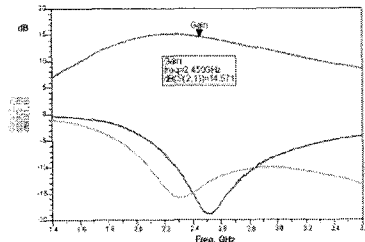


그림 11. NGS 적용 LNA의 S-parameter.
Fig. 11. S-parameter of the LNA. with NGS

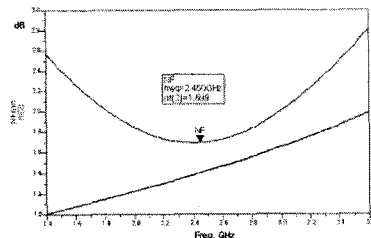


그림 12. NGS 적용 LNA의 Noise Figure.
Fig. 12. Noise Figure of the LNA. with NGS

NGS를 적용한 LNA의 이득이 14.571 dB일 때 S11과 S22는 각각 -17.458 dB와 -13.88 dB이다. 또한, NF는 1.699 dB이며 NFmin은 1.405 dB 이다. TSMC 공정의 LNA와 NGS 결과를 적용한 LNA의 이득이 같을 경우 NF는 1.699 dB로 같다.

이에 PGS의 시뮬레이션 결과를 적용한 LNA에 대한 시뮬레이션 결과를 그림 13과 14에 나타내었다.

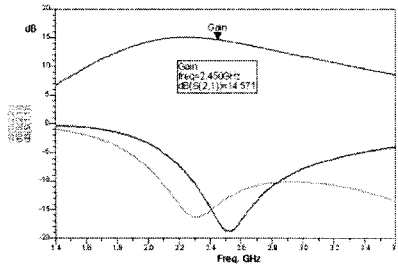


그림 13. PGS 적용 LNA의 S-parameter.
Fig. 13. S-parameter of the LNA. with PGS

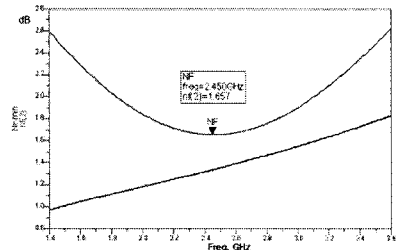


그림 14. PGS 적용 LNA의 Noise Figure.
Fig. 14. Noise Figure of the LNA. with PGS

PGS를 적용하여 14.571 dB의 이득을 갖는 LNA의 S11과 S22는 각각 -16.985 dB와 -14.142 dB이다. 이때 NFmin은 1.337 dB이고 NF는 1.657 dB의 결과를 얻었다.

III. 결론

본 연구에서 다구찌법을 이용하여 인덕터의 Q-factor를 향상 시킬 수 있는 PGS의 최적 구조를 찾았다. 설정한 인자를 통해 Q-factor를 높이기 위해서는 PGS의 도체 면적이 적을 수록 좋다. PGS 적용 인덕터의 EM 시뮬레이션의 결과를 Circuit 시뮬레이션에 적용하여 LNA의 같은 이득을 얻기 위해 Vgs를 조절하여 NGS의 LNA와 PGS의 LNA를 비교하여 PGS 인덕터를 적용할 때 Noise Figure가 낮아 지는 것을 확인 하였다. 비록 NF가 미세하게 감소하지만 인덕터의 Q-factor가 향상되면 LNA의 NF가 낮아지는 것을 확인 할 수 있었다. 이에 인덕터의 Q-factor를 보다 향상 시킬 수 있는 PGS에 대해 연구가 필요할 것으로 사료된다.

참고문헌

- [1] D.K. Shaeffer, "A 1.5-V, 1.5-GHz CMOS low noise amplifier," IEEE J. Solid-State Circuits, vol. 32, pp. 745-759, May 1997.
- [2] Pietro Andreani, "Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier," IEEE Trans. Circuits and Systems, vol. 48, pp. 835-841, Sep. 2001.
- [3] S.Y. Liang, "Modeling and comparison of different micro-machined three-dimensional inductors," IEEE Radio and Wireless Conference, pp. 277-280 Aug. 2002.
- [4] J.N. Burghartz, "Microwave inductors and capacitors in standard multilevel interconnect silicon technology," IEEE Trans. MTT, vol.44, No.1, Jan. 1996.
- [5] C.P. Yue, "Physical modeling of spiral inductors on silicon," IEEE Trans. on Electron Devices, vol.47, No.3, Mar. 2000.
- [6] K.B. Ashby, "High Q inductors for wireless applications in a

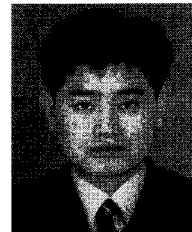
complementary silicon bipolar process," IEEE J. Solid-State Circuit, vol. 31. No.1, Jan. 1996.

- [7] C.P. Yue, "On-chip spiral inductors with patterned ground shields for Si-based RF IC's," IEEE J. Solid-State Circuits, vol.33, No.5, May 1998.
- [8] H.A. Haus et al., "Representation of noise in linear two ports", Proc. IRE, vol.48, pp.69-74, Jan, 1960.



고 재 형

2004년 중앙대학교 전자전기공학부 공학사. 2006년~현재 중앙대학교 전자전기공학부 석사과정 중. 관심분야 : RF 소자, RFIC 응용회로.



김 동 훈

1992년 서울대학교 전기공학 공학사. 1994년 서울대학교 전기공학 공학 석사. 1998년 서울대학교 전기공학 공학 박사. 2001~2002 성균관대학교 공과대학 연구교수. 2004~현재 경북대학교 전자전기컴퓨터학부 전임 강사. 관심분야 : 전자기 응용 소자 및 최적설계, 전자장 수치해석, 생체전자기학



김 형 석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학박사 1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야 : 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC 응용 회로, 전력 IT