

CMOS Switch를 이용한 무선PAN 모뎀 구현용 전류메모리소자의 Clock Feedthrough 대책에 관한 연구

A Study on Clock Feedthrough Compensation of Current Memory Device using CMOS switch for wireless PAN MODEM Improvement

조하나¹ · 이충훈¹ · 김근오¹ · 이광희¹ · 조승일¹ · 박계각² · 김성권[©] · 조주필³ · 차재상⁴
Hana Jo, Chunghoon Lee, Keun-O Kim, Kwang-Hee Lee, Seung-Il Cho, Gye-Kack Park,
Seong-Gweon Kim, Juphil Cho and Jaesang Cha

¹목포해양대학교 대학원 해양전자통신공학과

E-mail : iris41777ya@mmu.ac.kr

²목포해양대학교 해상운송시스템학부

E-mail : gkpark@mmu.ac.kr

[©]목포해양대학교 대학원 해양전자통신공학과

E-mail : skkim12632@mmu.ac.kr

³군산대학교 공과대학 전자정보공학부

E-mail : stefano@kunsan.ac.kr

⁴서울산업대학교 매체공학과

E-mail : chajs@snut.ac.kr

요 약

최근 무선통신용 LSI는 배터리 수명과 관련하여, 저전력 동작이 중요시되고 있다. 따라서 Digital CMOS 신호 처리와 더불어 동작 가능한 SI (Switched-Current) circuit를 이용하는 Current-mode 신호처리가 주목받고 있다. 그러나 SI circuit의 기본인 Current Memory는 Charge Injection에 의한 Clock Feedthrough라는 문제점을 갖고 있기 때문에, 전류 전달에 있어서 오차를 발생시킨다. 본 논문에서는 Current Memory의 문제점인 Clock Feedthrough의 해결방안으로 CMOS Switch의 연결을 검토하였고, 0.25 μ m CMOS process로 Current Memory를 제작하기 위하여 Memory MOS와 CMOS Switch의 적절한 Width값의 관계를 도출하였다. 0.25 μ m CMOS process에서 Memory MOS와 CMOS Switch의 Width의 관계는 simulation 결과를 통하여 확인하였으며, MOS transistor의 관계를 분명히 하여, 설계의 지침을 제공한다.

Key Words : Switched-Current circuit, Current Memory, Charge Injection, Clock Feedthrough, CMOS Switch

1. 서 론

유비쿼터스 (Ubiquitous) 시대를 맞이한 현대 사회는 음성, 사진, 동영상 등의 멀티미디어 통신과 고속 데이터 통신에 대한 수요가 증가함에 따라 다양한 무선통신 방식이 출현하고 있다. 즉, 무선통신의 가장 큰 쟁점은 어떠한 상황에서도 통신의 지속성과 이동성이 보장받을 수 있어야 한다는 것이다. 따라서 최근 무선통신용 LSI (Large Scale Integrated Circuit)는 배터리 수명과 관련하여, 저전력 동작이 중요시되고 있기 때문에 Analog Sampled-Data 신호 처리를 위한 SI (Switched-Current) circuit이 주목되었다.

SI circuit은 Voltage Operational Amplifier로 동작하는 SC (Switched-Capacitor) circuit에 반대되는 Current Mirror를 사용함으로써 저전력 공급 전압이 요구된다는 장점이 있다.

또한 최근 무선 PAN(Person Area Network)을 포함한 많은 광대역 유무선 통신 응용분야에서 전류모드 신호처리를 이용한 다양한 디바이스의 개발이 진행되고 있

다. 이는 Current-mode 신호처리를 하기 때문에 SI circuit의 기본회로인 Current Memory를 필요로 한다. [1]

그러나 SI circuit의 기본 device인 Current Memory는 transistor의 mismatch와 비선형 동작으로 Charge Injection에 의해 Clock Feedthrough의 문제점을 갖고 있고, 따라서 Memory MOS 사이의 전류 전달특성에 있어서 오차를 발생시키는 단점을 갖고 있다.

현재 Clock Feedthrough의 해결방안으로 (1) dummy switch 또는 CMOS switch의 사용 (2) clock subphase의 사용 (3) virtual-ground node에서의 switch 동작 등의 방법이 제안되고 있다.

본 논문에서는 저전력 동작 가능한 무선 PAN (Person Area Network)용 모뎀의 성능을 향상시키기 위하여 연구 진행되는 SI circuit의 기본소자인 Current Memory의 문제점 Clock Feedthrough의 해결방안으로 CMOS Switch의 연결을 검토하였다. 또한 0.25 μ m CMOS process로 Current Memory를 제작하기 위하여 Memory MOS와 CMOS Switch의 적절한 Width값의 관계를 도출하여 설계방법의 지침을 제공하고자 한다.

감사의 글 : 본 연구내용의 일부는 2008년도 정부 (과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임.
(No. R01-2006-000-11183-0)

2. SI(Switched-Current) Circuit

SI circuit은 Sampled-Data 동작 (Signal Ratio와 Signal Delay)을 이용하여 current를 처리한다[2].

그림 1은 SI circuit에서 이용하는 Simple Current Mirror이다. 그림 1(a)과 같이 두 MOS transistor (M_1 , M_2)의 Width가 같고, 두 MOS transistor의 source와 gate 양단에 걸리는 전압 V_{gs} 가 같을 때, 두 M_1 , M_2 에 흐르는 전류는 같다.

MOS transistor의 전류식은 다음과 같다.

$$I = (k'/2)(W/L)(V_{gs} - V_{th})^2 \quad (1)$$

i_{out} (output AC signal current), i_{in} (input AC signal current), V_{th} (threshold voltage), W/L (device aspect ratio), k' (transconductance parameter)라고 한다. 식 (1)에서 볼 수 있듯이 전류는 W (MOS의 Width)에 의해 결정된다. 예를 들면 그림 1(b)에서 M_1 , M_2 의 Width ratio를 2:1로, M_1 과 M_2 의 V_{gs} 를 같게 설정하였을 때, M_1 과 M_2 에 흐르는 전류는 2:1이 된다. 따라서 Signal Ratio는 M_1 과 M_2 의 Width Ratio에 따라 결정됨을 알 수 있다.

Signal Delay는 Current Memory의 track-and-hold circuit에 의해 구할 수 있다[2]. 그림 2는 Current Memory의 동작원리이다. 먼저 SW1이 ON(Clock phase ϕ_1) 되는 Track mode [그림 2(a)]에서는 Memory MOS (M_1)에 input signal i_{in} 과 전류원에서 흐르는 전류 I 가 합해진 전류 $I+i_{in}$ 이 흐르고, M_1 의 Gate와 Source 사이의 기생 capacitor C_{gs} 에 전류 $I+i_{in}$ 이 흐를 수 있는 V_{gs} 를 저장한다. 이 때, output signal은 input signal i_{in} 과 크기가 같은 $i_{out} = -i_{in}$ 이 흐른다. 다음 SW1과 SW2를 모두 OFF한 Hold mode [그림 2(b)]일 때는 SW1이 OFF가 되었기 때문에 input signal i_{in} 은 흐르지 못하고, 전류원의 전류 I 만 M_1 에 흐르게 된다. 하지만 M_1 의 기생 capacitor C_{gs} 는 전류 $I+i_{in}$ 이 흐를 수 있는 V_{gs} 를 유지한다. 지연시간이 흐른 후 [그림 2(c)], SW1이 OFF가 되어 있는 상태에서 SW2를 ON(Clock phase ϕ_2)하면, 기생 capacitor C_{gs} 에 유지되고 있는 V_{gs} 에 의해 Track mode의 output signal이 흐르게 된다. 즉, input signal i_{in} 과

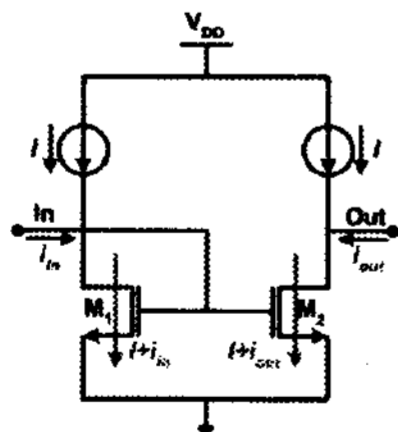


그림 1(a). Simple Current Mirror
Fig 1(a). Simple Current Mirror

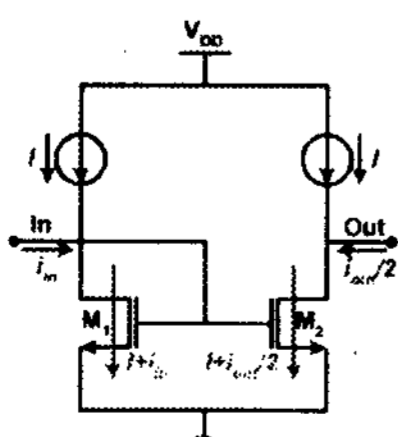


그림 1(b). Gate Width-Ratioed Current Mirror의 Signal Ratio
Fig 1(b). Signal Ration of Gate Width-Ratioed Current Mirror

같은 전류를 다음 단에서 끌어당기게 된다. 따라서 M_1 은 지연시간동안에도 입력받은 신호를 저장하고 있다가 출력시키는 동작을 한다.

하지만 Current Memory는 Switch로부터 Charge injection에 의해 Clock Feedthrough라는 문제점을 갖게 된다. 다음은 Clock Feedthrough의 해결방안인 CMOS Switch의 연결을 검토하였다.

3. Current Memory에서의 Clock Feedthrough와 해결방안

3.1 Clock Feedthrough

Clock Feedthrough는 Memory 연결된 Switch가 OFF 되었을 때, MOS의 capacitive node에 저장된 전하가 Switch의 capacitor로 누설되는 현상이다[2]. 그림 3(a)은 Current Memory의 Clock Feedthrough를 나타낸 것이다. M_m 은 Memory MOS이고, M_s 는 Memory MOS의 gate에 연결되어 있는 Switch MOS (SW1), C_{gs} 는 M_m 의 기생 capacitor, C_{gd} 는 M_s 의 기생 capacitor이다. M_s 가 ON ($V_{clk} : High$)이 되면 Current Memory는 Track mode로 동작한다. M_s 가 OFF ($V_{clk} : Low$)가 되면 그림

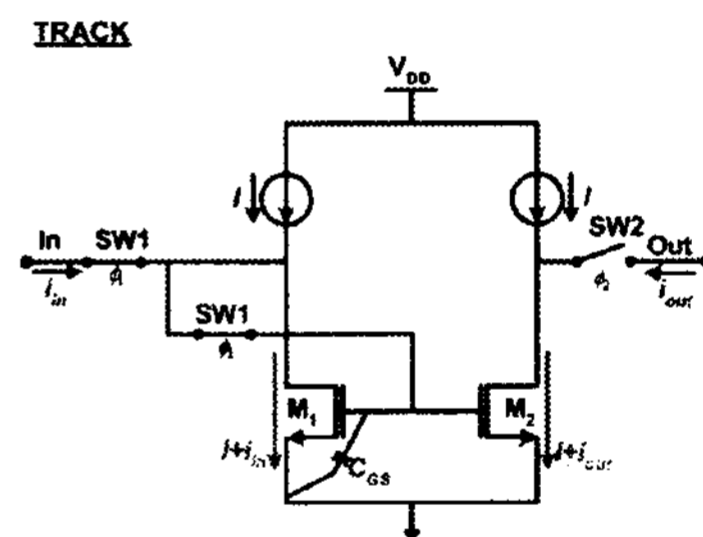


그림 2(a). Current Memory의 Track mode
Fig 2(a). Track mode in Current Memory

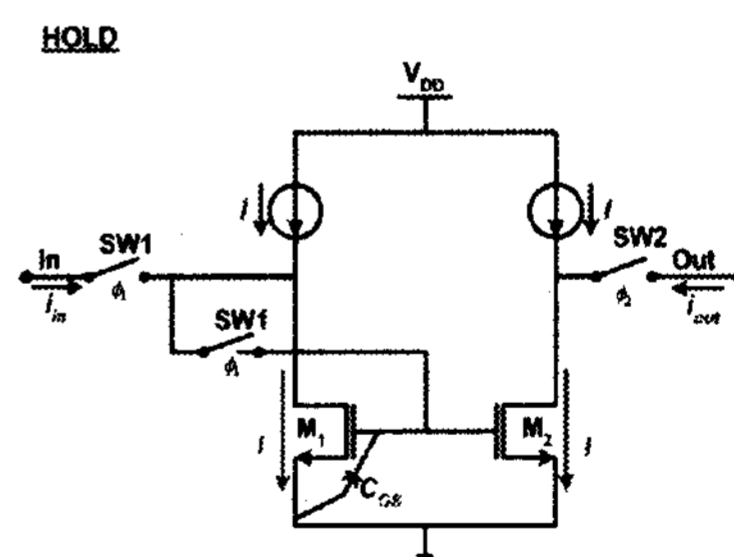


그림 2(b). Current Memory의 Hold mode
Fig 2(b). Hold mode in Current Memory

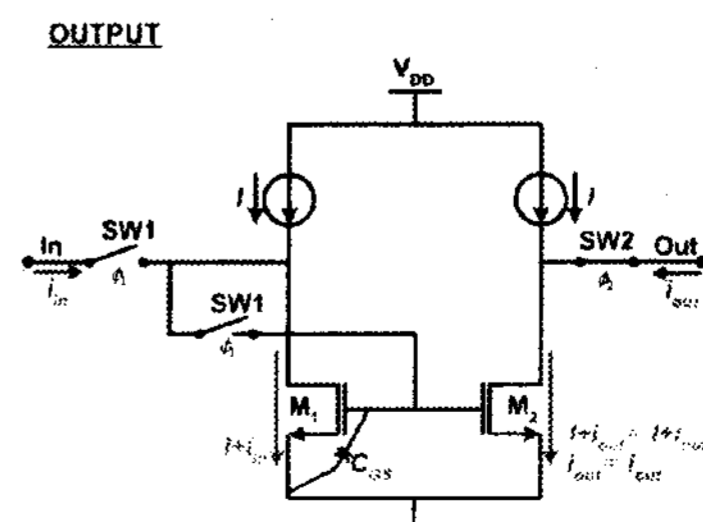


그림 2(c). Current Memory의 Output mode
Fig 2(c). Output mode in Current Memory

3(b)와 같이 C_{gd} 는 Ground에 연결된 것과 같기 때문에 C_{gs} 와 병렬 연결된 것처럼 동작하게 된다. 따라서 M_s 가 ON일 때, input signal이 흐를 수 있도록 걸어준 V_{gs} 에 의해 input signal만큼의 전하를 C_{gs} 에 저장하고 있어야 하지만, C_{gd} 에 의해 누설되는 현상이 발생한다. 즉, capacitive node의 전하는 항상 일정하지만, C_{gs} 와 C_{gd} 가 병렬 연결되어 있기 때문에, C_{gd} 의 영향으로 M_m 의 전압 V_{gs} 가 V_{gs}' 로 변동하게 된다 [식 (2)]. 식 (3)처럼 V_{gs} 가 $C_{gs}/(C_{gs}+C_{gd})$ 만큼 변동하게 되는 것이다. 따라서 input signal을 지연시간동안 저장할 수 없는 문제점이 발생한다 [식 (4)].

$$Q = C_{gs} \cdot V_{gs} = (C_{gs} + C_{gd}) \cdot V_{gs}' \quad (2)$$

$$V_{gs}' = \frac{C_{gs}}{C_{gs} + C_{gd}} \cdot V_{gs} \quad (3)$$

$$I_{out} = (k'/2)(W/L)(V_{gs}')^2 \quad (4)$$

3.2 Clock Feedthrough의 해결방안

Clock Feedthrough는 Switch의 기생 capacitor에 의해 Memory MOS의 gate와 source 사이의 전압 V_{gs} 를 변동시키는 문제점을 가지고 있다. 따라서 이를 해결하는 방법인 CMOS Switch의 연결을 검토하였으며, 본 논문에서는 Memory MOS와 CMOS Switch의 Width의 관계를 도출하고자 하였다. 그림 4(a)는 CMOS Switch를 연결한 Current Memory로 NMOS로 된 Switch를 대신하여 NMOS (M_2)와 PMOS (M_3)로 구성된 CMOS Switch를 연결함으로써, Switch MOS (M_s)가 전하를 끌어당기는 현상을 방지하도록 하였다. 따라서 그림 4(b)와 같이 M_2 의 capacitor로 누설되는 전하를 M_3 의 전하가 상쇄시켜서 Memory MOS (M_1)의 기생 capacitor의 전하를 유지

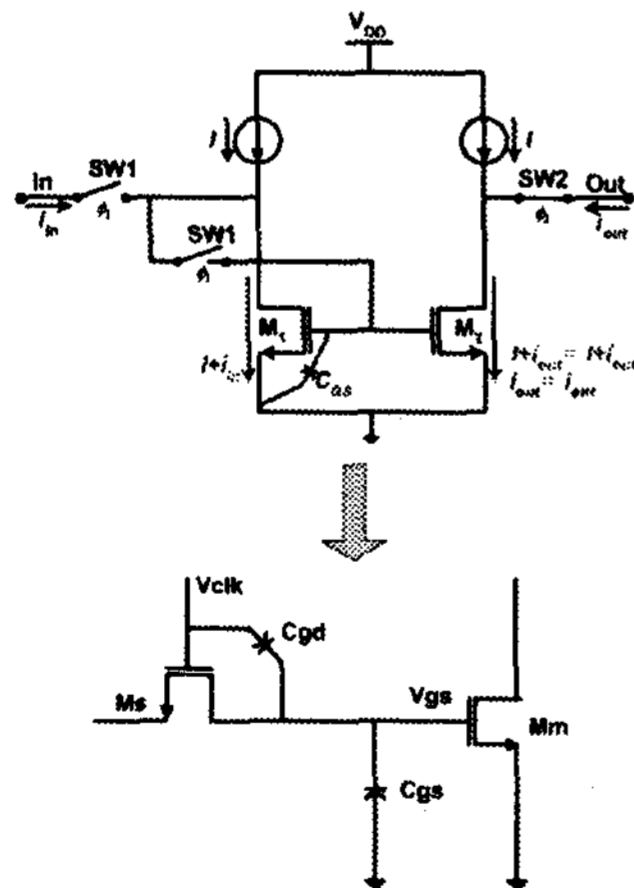


그림 3(a). Switch1이 OFF될 때, 발생하는 Clock Feedthrough
Fig 3(a). Occurent Clock Feedthrough (Switch1 is OFF)

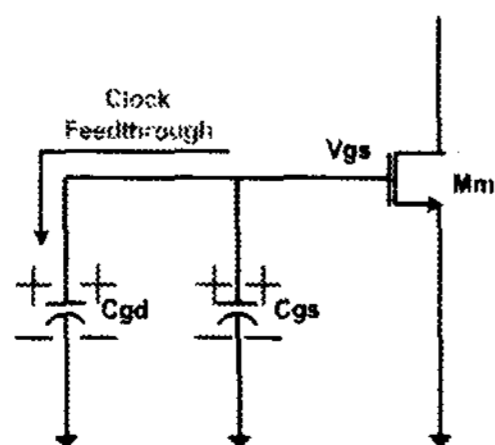


그림 3(b). Clock Feedthrough
Fig 3(b). Clock Feedthrough

한다.

본 논문에서는 Clock Feedthrough의 해결을 위하여 CMOS Switch의 연결을 제시하였고, 이를 0.25 μ m CMOS process로 Current Memory를 제작하기 위하여 Memory MOS와 CMOS Switch의 적절한 Width값의 관계를 도출하고자 한다.

4. 최적의 CMOS Switch MOS와 Memory MOS의 Width 관계 도출

본 논문에서는 Clock Feedthrough의 해결을 위해 CMOS Switch의 연결을 검토하였다. 그림 5는 CMOS Switch를 연결한 Current Memory의 schematic이다.

먼저 CMOS Switch를 연결한 Current Memory의 simulation은 Memory MOS (M_1)과 CMOS Switch (M_2, M_3)의 Width 관계를 도출하기 위하여, M_1 을 고정시키고, M_2 를 2 μ m~10 μ m까지 변동시키면서 output signal이 input signal과 동일한 경우의 M_3 의 Width 값을 결정하였다. 또한 M_1 을 10 μ m~50 μ m로 변동시키면서 위의 과정을 반복하여 simulation을 하였다. 그 결과 M_1 이 20 μ m 이상일 때의 M_2 와 M_3 의 Width 관계는 다음 표 1과 같다. 그림 6에서 보는 것과 같이 M_2 와 M_3 의 Width는 비례 관계를 나타내고, 그 관계식을 다음과 같이 도출할 수 있었다.

$$M_3 = 0.97 * M_2 + 6.4 \quad (5)$$

따라서 Memory MOS의 Width가 20 μ m 이상일 때, CMOS Switch의 NMOS (M_2)와 PMOS (M_3)의 Width 관계는 식 (5)와 같이 정의할 수 있음을 확인하였다.

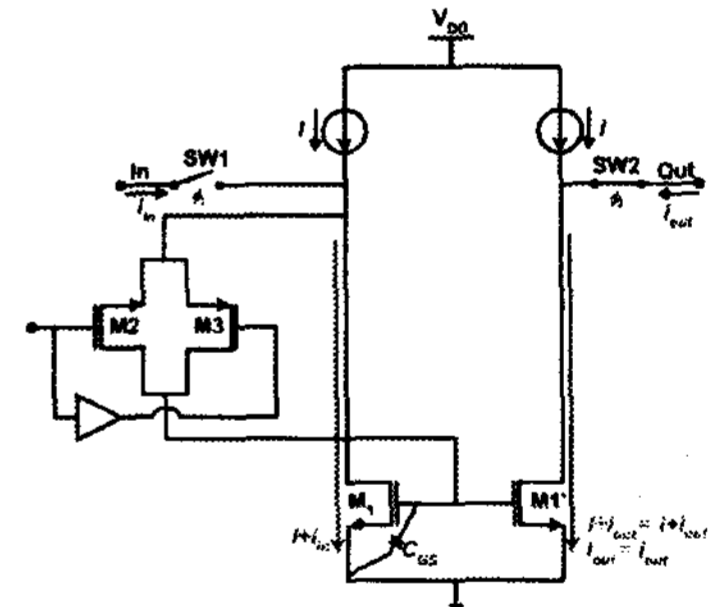


그림 4(a). CMOS Switch를 연결한 Current Memory
Fig 4(a). Current Memory that connect CMOS Switch

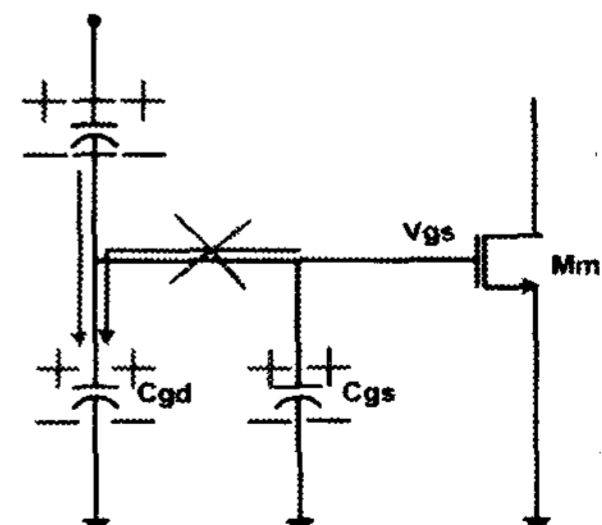


그림 4(b) Clock Feedthrough의 해결을 위한 Current Memory
Fig 4(b). Current Memory for solution of Clock Feedthrough

5. 결 론

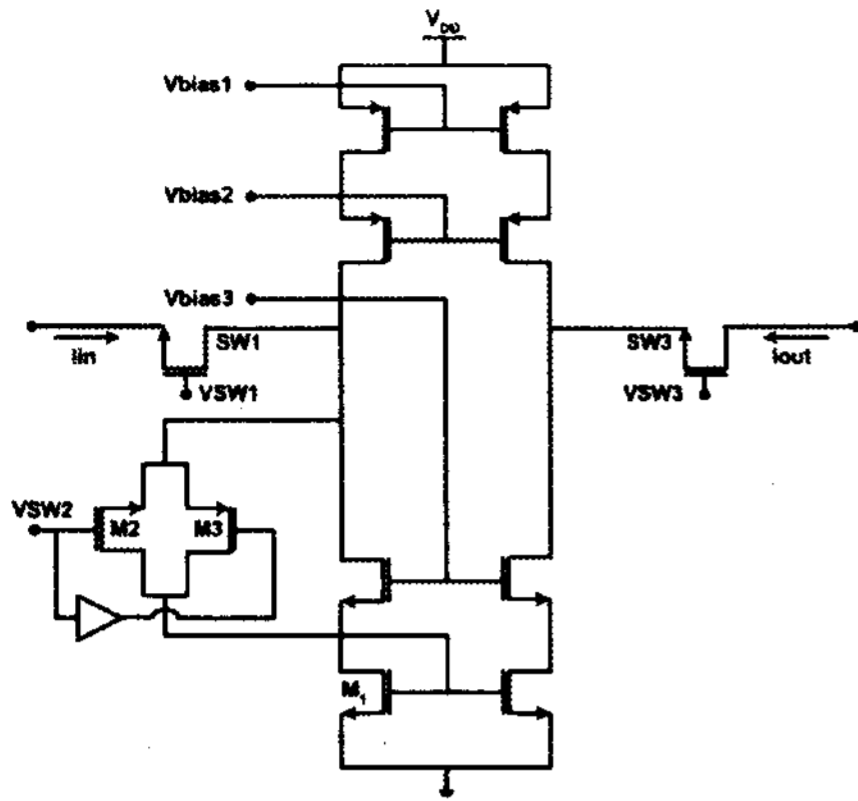


그림 5. CMOS Switch를 연결한 Current Memory의 schematic

Fig 5. Schematic of Current Memory that connect CMOS Switch

표 1. CMOS Switch(M_2 와 M_3)의 Width 관계 (M_1 이 20um 이상일 때)

Table 1. Width relations with CMOS Switch (between M_2 and M_3) (M_1 has been above 20um)

M_2	M_3
2	8.342857143
3	9.311428571
4	10.26714286
5	11.24142857
6	12.22857143
7	13.33714286
8	14.27714286
9	15.19571429
10	16.13714286

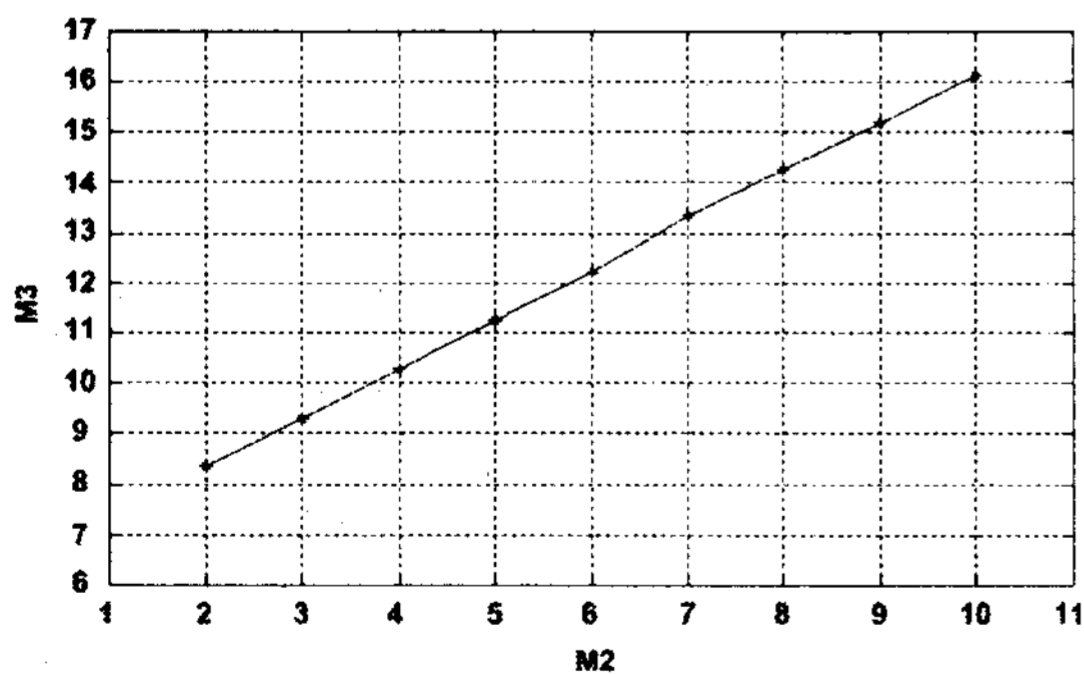


그림 6. CMOS Switch(M_2 와 M_3)의 Width 관계 (M_1 이 20um 이상일 때)

Fig 6. Width relations with CMOS Switch(between M_2 and M_3) (M_1 has been above 20um)

유비쿼터스 (Ubiquitous) 시대를 맞이한 현대 사회는 무선 PAN(Person Area Network) 등의 다양한 무선통신 방식이 출현함에 따라 무선통신용 LSI는 배터리 수명과 관련하여, 저전력 동작을 중요시되고 있다. 따라서 Digital CMOS 신호처리와 더불어 동작 가능한 SI (Switched-Current) circuit를 이용하는 Current-mode 신호처리가 주목받고 있다. 그러나 SI circuit의 기본인 Current Memory는 Charge Injection에 의한 Clock Feedthrough라는 문제점을 갖고 있기 때문에, 전류 전달에 있어서 오차를 발생시킨다. 본 논문에서는 Current Memory의 문제점인 Clock Feedthrough의 해결방안으로 CMOS Switch의 연결을 검토하였고, 0.25um CMOS process로 Current Memory를 제작하기 위하여 Memory MOS와 CMOS Switch의 적절한 Width값의 관계를 도출하고자 하였다. Simulation 결과, Memory MOS와 CMOS Switch의 관계는 Memory MOS의 Width가 20um 이상일 때, Memory MOS는 더 이상 Width를 결정함에 있어서 영향을 주지 않음을 확인하였다. 또한 CMOS Switch의 NMOS (M_2)와 PMOS (M_3)는 비례 관계를 갖고 있으며, $M_3 = 0.97 * M_2 + 6.4$ 의 관계로 정의됨을 확인하였다. 이 때 정의된 MOS transistor의 관계는 설계의 지침을 제공하는데 유용할 것이다.

참 고 문 헌

[1] Seong-Kweon Kim, "Low-power Single-Chip Current-to-Voltage Converter for Wireless OFDM Terminal Modem," 퍼지 및 지능시스템학회 논문지 2007, Vol. 17, No. 4, pp. 569-574
 [2] Ganesh Kumar Balachandran and Phillip E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.37, NO.10, OCTOBER 2002.
 [2] H. C. Yang, T. F. Fiez, and D. J. Allstot, "Current-feedthrough effects and cancellation techniques in switched-current circuits," in Proc. IEEE Int. Symp. Circuits and Systems, Vol. II, May 1990, pp. 3186-3188.
 [3] G. K. Balachandran and P. E. Allen, "A fully differential switched-current memory cell with low charge-injection error," IEE Proc. Circuits, Devices, Syst., vol.148, no. 3, pp. 157-164, June 2001.