

에폭시계 본딩 필름의 공정조건에 따른 미세 패턴 형성에 관한 연구

김승택, 정연경, 박세훈, 유명재, 박성대, 이우성

전자부품연구원 전자소재 패키징센터

Study of Epoxy Bonding Film Process Condition on Micro-pattern Formation

Seung-Taek Kim, Yeon-Kyung Jung, Sae-Hoon Park, Myong-Jae Yoo, Seong-Dea Park, Woo-Sung Lee

Korea Electronics Technology Institute, Electronic Materials & Packaging Research Center

Abstract : 본 논문에서는 미세 패턴을 구현하기 위해 폴리머 소재의 조성에 따른 공정의 영향에 대해서 연구를 하였다. 제작된 본딩 필름은 난연계 에폭시수지와 고내열 특성을 위해서 경화제, 조화 성분 폴리머를 이용하였다. 또한, CTE 값을 향상하기 위해서 필러로서 SiO₂ 분말을 이용하였다. 조성물은 혼합하여 슬러리를 만들고, 테일 캐스터를 이용하여 필름을 제작하였다. 제작된 필름은 150 및 160도의 온도에서 가열 가압하여 경화하였다. 제작된 수지는 유전율 3.2의 유전율과 loss tan 6값이 0.015값을 나타내었다. 또한, 제작된 본딩 필름의 조화특성 연구를 위해서 경화조건, 스웰링 조건, 디스미어 시간에 따른 공정 변화의 영향에 대해 고찰하였으며 제작된 시편의 조도는 SEM으로 관찰하여 조화성분 함량에 따른 최적 조건을 선정하였다.

Key Words : Bonding -Film, Peel Test, Desmear, DSC, Sweller, tape Casting

1. 서 론

높은 주파수 영역과 전자부품들의 고기능화, 고속화, 경박 단소화의 요구로 인해 보다 정밀하고 특성이 우수한 재료 및 기술이 사용되어 고밀도 미세 회로 패턴 구현을 위한 공정기술 개발이 많이 연구되고 있다. 신호속도가 증가될 때 유전 손실은 증가되므로, 낮은 유전 상수와 유전 손실을 만족시키는 소재가 필요하며 이러한 circuit의 패턴 형성 공정은 에칭형, 도금형, 페이스트형의 소재들로 구분 할 수 있으나, 미세회로 구현에서 일반적인 인쇄형 페이스트는 미세패턴 형성이 어려우며, Etching에 의해 Pattern 역시 미세 패턴을 형성하기엔 어려움을 나타낸다. 미세 Pattern 도금법은 동박이 없이 Pattern을 도금법으로 내총부터 미세 Pattern 형성하여 접착에 의해 다층화하여 30μm이하의 패턴을 구현이 가능하나 이런 패턴도금용 소재들은 일부 소수의 일본 업체에서만 상용화되어있는 실정이다.

본 연구에서는 에폭시계 수지와 산무수를 계를 사용하여 Tape casting으로 film을 제작한 Bonding Film을 이용하여, 실험을 진행하였으며, 구리 층과의 접착력을 향상시키기 위한 요소인자들은 실험을 통해 검증하고 최적화 시켰다.

2. 실 험

실험은 다음과 같은 순서로 진행하였다. 교반기에 고상수지를 용제에 녹여 액상으로 만들어 실란 처리한 SiO₂ filler를 투입 30분간 분산을 시킨다. 분산시킨 용매를 경화제와 시나네이트 에스테르 수지에 5분간 교반 시킨 후, 촉매를 추가하여 10분간 다시 교반하여 혼합시킨다. 만들어진 에폭시 Slurry를 30분간 진공 탈포 시킨 후 건조 온

도 75°C에서 분당 0.5m의 속도로 Tape Casting을 하여 약40μm 두께의 Film 형태로 Bonding Film을 제조하였다. 이렇게 나온 Bonding Film을 Lamination 하여, 유전율 및 유전 손실을 측정하였으며, 패턴형성을 위한 시편을 제작하기 위해, 만들어진 Bonding Film을 조도를 형성시킨 FR4 PCB에 부착, 110°C Roll Lamination 한 후, 각각의 온도조건에서 Precure 시켰다. Precure 온도조건은 DSC로 측정하여 선별하였다. 경화 후 Bonding Film의 표면 조도처리를 위해 60°C의 Sweller를 거쳐 80°C Deasmer 처리는 표1과 같이 온도조건과 Sweller 및 Desmear 시간을 조절하며 실험을 진행하였으며, 처리된 표면 상태를 조도 측정장비를 이용하여 조도가 형성된 시편의 Ra값과 미세구조 확인을 위해 SEM을 이용하여 관찰하였다. 도금 층을 형성시키기 위해 Deasmear 후 프리립, 촉매, 환원을 거쳐 무전해 도금을 올린 후 25~30μm 전해도금을 올려 Precure 경화 온도보다 높은 190°C에서 1시간동안 재경화 후 Bonding Film과 도금의 접착성을 확인하기 위해 Peel Test를 진행하였으며, 추후에 패턴을 형성하였다.

3. 결과 및 검토

Bonding Film을 Lamination하여 유전율과 유전손실값을 측정한 결과 3.2의 유전율과 0.015의 유전 손실을 얻을 수 있었다. Bonding Film의 Precure 조건은 DSC에서 각 온도별 조건별 단위 면적 및 온도상승 시간별 조건을 알아보았으며, 그림 1에서와 같이 150°C 근처에서 발열 peak이 발생하는 것을 알 수 있었으며 Precure의 시간과 경화 온도를 증가 시킬수록 발열 peak 온도가 상승하였으며, 총 발열량도 감소할 수 있는 것을 알 수 있었다.

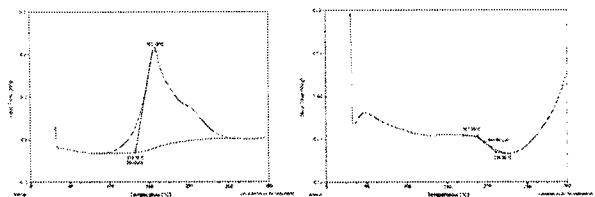


그림 1. 경화 온도 조건 DSC

공정 최적화를 하기위해 minitab을 이용하여 DoE를 실시하였다. DoE는 표1과 같다. 절연소재와 도금으로 증착된 구리층과의 접착력에 미치는 인자를 분석한 결과 디스미어전 공정인 precuring 시간이 가장 중요한 인자로 나타났으며, 디스미어 시간 및 precuring온도가 그 다음 주요 인자로 분석되었다. 공정최적화 구간을 아래 그림과 같이 표시하였다. precure 시간이 중요도를 보이는 이유는 일부 경화가 진행된 폴리머 소재가 무전해 구리 도금 층이 형성된 후에 완전 경화되면서 접착력이 증가되기 때문이다.

표1. 절연층 처리공정 최적화 실험 조건

Precure Time	Precure Temp	swell Time	Desmear Time	peel strength (kg/cm)
15	150	10	30	5.16
15	160	5	30	5.33
30	160	10	30	4.47
30	150	10	15	3.96
30	160	5	15	4.13
15	160	10	15	5.08
15	150	5	15	4.39
30	150	5	30	4.81

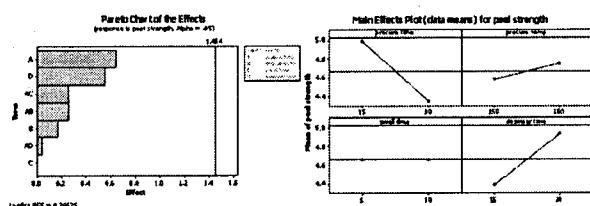


그림 2. 인자중요도와 파레토 차트

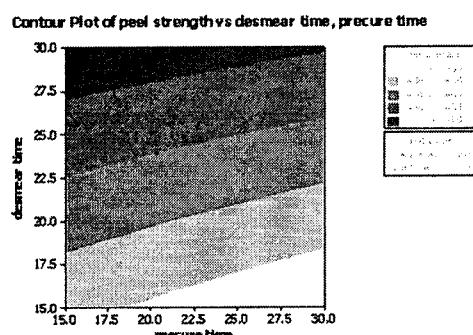


그림 3. 공정 최적화 구간

Desmear후 에칭된 Bonding Film의 미세 구조를 SEM 사진으로 그림 4에 나타내었다. 초기 Film 형태에서 Desmear 처리 후의 변화는 Film 표면이 에칭으로 인해 조직도 처리됨으로써 확연히 구분되어진다.

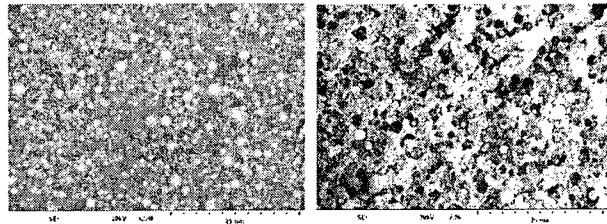


그림 4. 제조된 Film의 미세구조.

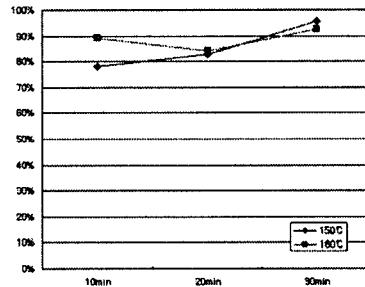


그림 5. precuring 시간 및 온도에 따른 경화 진행도

4. 결 론

본 연구에서는 에폭시계 수지로 제작한 Bonding Film을 이용하여, 공정 변화의 영향에 대해 최적화된 공정조건을 찾아보았다. 먼저 경화 온도 및 시간에 따른 조건을 찾았으며, Sweller와 Desmear 시간에 따른 조도형성의 편차를 알아보았으며, 최종적으로 Peel Strength값을 측정하여 제작된 Bonding Film의 접착성을 확인하여 보았다.

Peel Strength값을 시험 설계법으로 인자 중요도를 보았을 경우, Precure 시간이 많은 영향을 주었으며, 그 다음으로 Precure 온도가 영향을 주었다. 상호인자 분석 결과로는 Precure Time 짧아지고, Desmear 시간이 길어질수록 Peel Strength값이 좋아졌다.

결과적으로 표면에 형성된 Ra값보다는 Precure Time과 Precure Temp 조건이 Peel Strength값에 많은 영향을 주는 것을 알 수 있었다.

Precuring 시간 및 온도에 따른 소재의 경화 정도가 80% 일시 높은 Peel Strength 값을 나타냈으며, 90%이상 경화가 진행될수록 Peel Strength값이 낮게 나타났다.

감사의 글

본 연구는 지식경제부 부품소재 개발 사업의 연구비 지원에 의한 것입니다.

참고 문헌

- [1] G. N. Howatt, R. G. Breckenridge, and J. M. Brownlow, "Fabrication of thin ceramic sheets for capacitors", J. Am. Ceram. Soc., Vol. 30, p. 237, 1947
- [2] Chien-Wei Chien, Li-Cheng Shen, Tao-Chih Chang,, "Chip Embedded Wafer Level Packaging Technology for Stacked RF-SiP Application", 2007 Electronic Components and Technology Conference, p. 3