

## n-GaAs의 V/III족 비율에 따른 오믹 저항 연구

김인성<sup>1,2</sup>, 김상택<sup>1</sup>, 김선훈<sup>1</sup>, 기현철<sup>1</sup>, 고향주<sup>1</sup>, 김희중<sup>1</sup>, 전경남<sup>2</sup>, 김효진<sup>1\*</sup>

한국광기술원<sup>1</sup>, 광주대학교<sup>2</sup>

### A study on the Ohmic contact resistance as function of V/III ratio of n-GaAs

In-Sung Kim, Sang-Taek Kim, Seon-Hoon Kim, Hyun-Chul Ki, Hang-Ju Ko, Hwe-Jong Kim, Gyeong-Nam Jun, Hyo-Jin Kim  
Korea Photonics Technology Institute, Gwangju University

**Abstract :** Electrical properties of Pt/Ti/Au/Pt contacts to n-GaAs were characterized as the V/III ratio of GaAs grown by metalorganic chemical vapor deposition were 25, 50, and 100, respectively. The samples have been annealed during 30sec at 350 and 450°C in rapid thermal annealing, and those specific contact resistance investigated by using transmission line method. According to experimental results, the specific contact resistance between p-metal and GaAs was decreased as the V/III ratio was lower. These results indicate that Si doping concentration of GaAs increased as the vacancy of V-series of GaAs was high.

**Key Words :** n-GaAs, Ohmic resistance, rapid thermal annealing

### 1. 서 론

반도체 소자 기술의 발달과 더불어 V/III족 화합물을 이용하는 능동 소자 및 광소자 개발에서 에너지 장벽에 의하여 전자 이동이 자유롭지 못하는 이유 중 하나가 Ohmic Resistance가 주목되어 왔다. 반도체 소자의 성능은 Ohmic Resistance의 비율에 따라 결정된다고 해도 과언은 아닐 것이다. 일반적으로 GaAs와 금속이 접촉 되면 금속의 종류와 상관없이 0.6~0.9eV의 에너지 장벽이 형성된다.<sup>[1]</sup>

전자는 이 에너지 장벽을 넘기 위해서 전자 분포수가 더 많이 존재하여야 하며 이 현상을 해결하기 위해 GaAs 표면에 이온 주입으로 도핑농도를 증가시켜 공핍영역의 두께를 감소하는 방법으로 전자가 에너지 장벽을 이동할 수 있는 방법이 있다. n-GaAs의 성장 시 최대 도핑 농도가 약  $5 \times 10^{18} \text{cm}^{-3}$  이하로 제한되어 있다고 알려져 있으나<sup>[2]</sup> n-Si Wafer에 n-GaAs가 증착되어 있는 시료에 Contact 금속을 박막 증착하여 금속 열처리 공정(RTA)을 이용하면 Contact 금속이 GaAs 표면에 최대한 도핑 되어 에너지 장벽에 상관없이 전자의 이동이 자유로워 질 것이다.

Ohkawa의 보고서에 의하면 금속 열처리 공정(RTA)이 접촉 저항 특성을 향상 시키고, 합금 표면 특성을 개선 시켜준다고 보고된 바 있다.<sup>[3]</sup>

본 연구에서는 유기 금속 TMGA와 AsH<sub>3</sub>의 화합물의 비율에 따른 n-GaAs의 V/III족 Ohmic Resistance를 연구하고자 Axitron MOCVD를 이용하여 n-Si Wafer에 n-GaAs를 성장하여 Ohmic Resistance를 조사하였다.

로 성장하였다. MOCVD 운영 시 AIX 200/4RF Reactor의 성장 압력은 650mbar이었고, 성장 온도는 650.1°C였다. n-GaAs 화합물이 증착 완료된 시료를 TLM(Transmission Line Method) 전극 제작을 위해 Photolithography 공정을 하였다. HMDS와 AZ2035 Negative PR을 Spin Coater의 3000RPM 공정 후 110°C의 Hot Plater에서 Soft Baking을 하였다. Mask Exposure 후 시료를 95°C에서 다시 한 번 Baking하였다.

시료의 자외선 노출 시간은 25sec로 하였으며 MIF 300 용액에 침지한 Develop 시간은 50sec로 공정하였다. 그 후 증류수로 5분간 Rinse 공정 후 질소 건조하였다. 포토레지스터 공정에 의해 Lift Off 공정이 완료된 시료를 E-beam System을 이용해 Pt/Ti/Au/Pt를 300 Å/200 Å/100 Å/1000 Å 증착하였다. 금속 증착이 끝난 시료의 잔류 PR을 제거하고자 150°C의 아세톤 용액에서 시료를 5분간 침지한 후 아세톤을 강한 압력으로 분무하여 잔류 PR을 제거하고 증류수에서 5분간 Rinse 공정 후 질소기체로 건조하였다. 그리고 Develop 공정에서 제거 되지 않은 잔류 PR을 Plasma Ashing 공정으로 제거할 수 있었다. 공정이 완료된 3개의 시료를 금속 열처리 공정(RTA)으로 350°C와 450°C에서 30sec 동안 각각 열처리 공정을 하였다. 그 후 2Probe Point로 I-V 측정을 하였고, 인가전압은 -3V~+3V를 인가하여 I-V Curve Linear 영역에서 dV/dI 기울기로 저항치를 계산하였다. 측정된 저항치는 TLM(Transmission Line Method) 패턴의 간격 L에 따라 이론적으로 선형으로 증가하며 그 관계식을 식-1에 표기 하였다.

### 2. 실험

본 연구에서는 AIX 200/4RF Reactor에서 n-Si Wafer의 3개의 시료에 n-GaAs의 V/III족 화합물을 25, 50, 100 비율

$$R_{mens} = 2R_c + \frac{R_{sheet}}{W} L \quad \text{식-1}$$

$R_c$  : 두 금속 패턴과 n-GaAs층의 접촉저항

$R_{sheet}$  : TLM(Transmission Line Method) 패턴의 면 저항

$W$  : TLM(Transmission Line Method) 패턴의 폭

$L$  : TLM(Transmission Line Method) 패턴의 간격

\* e-mail : hjk@kopti.re.kr

### 3. 결과 및 토론

본 연구에서 사용한 TLM(Transmission Line Method) 패턴 사이의 간격(L)은 10, 20, 30, 40, 50, 60, 80um이며, 패턴의 폭(W)은 200um이다.

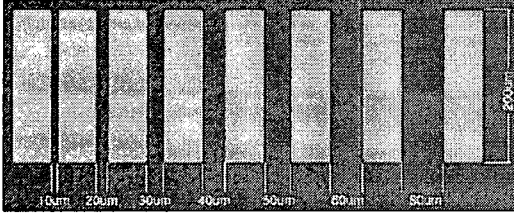


그림 1. Pt/Ti/Au/Pt 금속이 증착된 TLM(Transmission Line Method) 패턴

시료의 I-V 특성 그래프에 대하여 RTA 온도를 구분하여 dV/di의 기울기의 저항 계산을 그림 2,3에 차례대로 나타내었다.

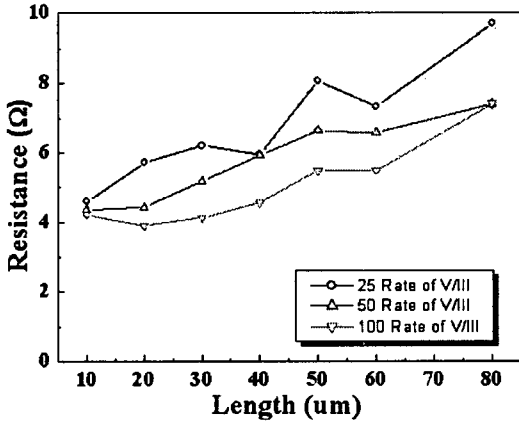


그림 2. RTA 350°C에 따른 V/III족 화합물 dV/di 저항 특성

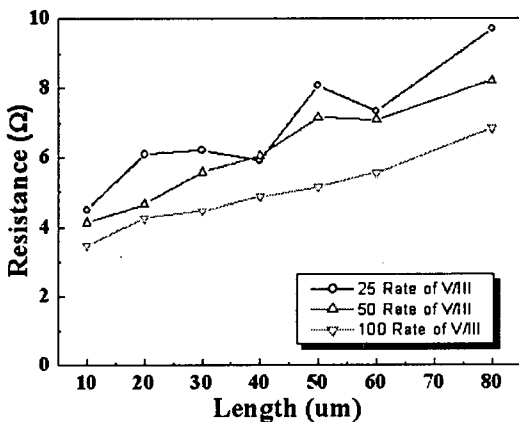


그림 3. RTA 450°C에 따른 V/III족 화합물의 dV/di 저항 특성

n-GaAs의 V/III족 화합물의 25, 50, 100 비율 성장에서 패턴의 간격(L)에 따라 변화되는 저항 특성을 그래프에서 잘 보여주고 있으며, RTA 온도 450°C와 그리고 n-GaAs 25비율로 성장한 시료가 Ohmic Contact에서 가장 우수한 실험 데이터를 나타내었다. 식-2에 계산한 특수 접촉 저항을 그림 4.에 도시

하였다. 식-1에 관하여 특수 접촉 저항은 y에 의한 1차 항수를 패드의 이동 길이  $L_T$ 에 의해 정의하였고, 면 저항  $\rho_s$ 는 1차 항수에서 x절편에 해당한다. 그래서 특수 접촉 저항의 관계식을 식-2에 표기하였다.

$$\rho_c = L_T^2 \times \rho_s$$

식-2

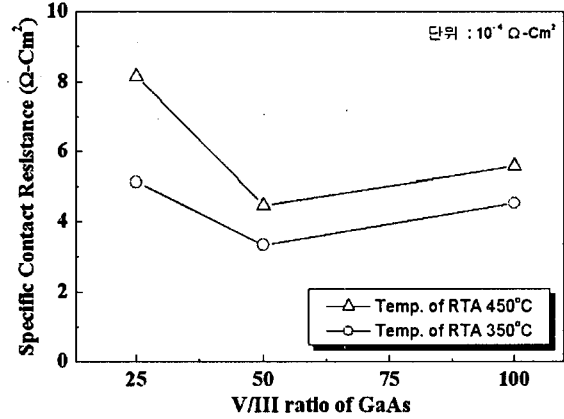


그림 4. n-GaAs의 V/III족 비율 특수 접촉 저항

### 4. 결론

본 연구에서는 n-GaAs의 V/III족 비율에 따른 성장 조건과 금속 열처리 공정(RTA)에 대한 실험 조건을 주어 3개의 시료에 대한 데이터를 분석하였다. 450°C에서 금속 열처리 한 시료들이 공통적으로 350°C에 비해 낮은 저항 특성을 보였다. 이는 열처리 온도 상승에 따라 반도체 계면에 접촉되어 있던 금속이 열처리 온도에 의해 활발한 도핑이 일어나 낮은 저항 특성이 관찰된 것으로 사료된다.

금속과 반도체간의 이상적인 접합에서는 페르미 준위가 일치한다.<sup>[4]</sup> 그러나 반도체에서 금속으로 전자가 전도 될 때 에너지 장벽에 의해 Ohmic Contact이 형성된다. 금속과 반도체 접합에서 에너지 장벽이 없다면 I-V특성 그래프에서도 일직선 그래프가 출력될 것이다.

일반적으로 대부분의 금속이 GaAs반도체와 접합할 때 0.6-0.9eV에너지 장벽이 형성된다. 또한 열처리 공정의 온도가 상승함에 따라 GaAs와 금속층의 접합면이 충분한 반응을 하게 되어 에너지 장벽에 의한 영향을 거의 받지 않는 것으로 판단된다.

### 참고 문헌

1. A. Piotrowska and E. kaminska, Thin Solid Films, P. 193-194, 511(1990)
2. M. Ogawa, J. Appl. Phys, P. 51(1980)
3. Shinji Ohkawa, JJAP. 14. P. 1071(1975)
4. Solid State Electronic Devices P. 187-189(1995)