

열처리에 따른 SOI 기판에서의 전기전도특성의 이상 거동

조원주

광운대학교 전자재료공학과

Abnormal behaviors in electrical conductions of SOI substrate by thermal annealing temperature

Won-Ju Cho

Department of Electronic materials engineering Kwangwoon Univ., Seoul, Korea

Abstract : The effects annealing conditions on the electrical conductions of SOI substrate were studied. The reversible change of resistance and carrier concentration in accordance with the annealing temperature were observed for the first time in SOI substrate. The thermal donors due to interstitial oxygen atoms contribute the change of resistance and carrier concentration. Finally, we show that the furnace annealing at 500°C at final heat treatment stage is effective for eliminate the thermal donor effects in SOI substrate.

Key Words : SOI substrate, electrical conduction, oxygen, thermal donor

1. Introduction

나노 스케일 반도체 소자의 테라비트급 집적화를 위해서는 누설 전류 및 문턱치 전압이 낮아야 하며, 소자의 subthreshold slope을 이론적인 한계치인 ~60 mV/dec로 줄여야 한다. SOI (Silicon-on-insulator) 기판을 이용한 집적회로 구조의 경우에는 기판과 소자, 그리고 소자와 소자가 전기적으로 완전히 분리된 구조로서 전기적 절연 특성이 매우 뛰어나고, 접합 면적의 감소에 따른 기생용량의 감소와 소자의 고집적화, 고속화, 저전력화를 동시에 실현할 수 있다. 한편, SOI 기판을 이용한 CMOS 회로의 제작을 위해서는 산화, 확산 및 각종 박막의 증착에 필요한 다양한 조건의 열처리를 거치게 되는데, 최종적으로 신뢰성 및 재현성 높은 SOI CMOS소자를 제작하기 위해서는 열공정이 SOI 기판의 특성에 미치는 영향에 대한 이해가 필수적이며, 열처리에 의한 SOI 기판의 전기적 특성 변화를 이해함으로써 제작하는 소자의 전기적 특성을 예측하고 개선책을 마련할 필요성이 있다.

2. Experiments

열처리에 따른 SOI 기판에서의 전기전도특성을 평가하기 위하여 Pseudo-MOSFET을 제작하였다 [1]. 각 기판은 상부 실리콘 층에 그림 1과 같이 패터닝 공정으로 액티브를 형성하였다. 액티브를 형성하기 위하여 패턴 이외의 상부 실리콘 부분을 식각할 때는 습식각 방법(HNO₃:H₂O:49%HF=100:40:3, E/R~10nm/s)을 이용하였다. 그리고, 금속탐침을 접촉시키기 직전에 SPM 세정과 BOE wet-dip를 이용하여 시료 표면에 존재하는 자연 산화막 및 오염을 제거하여 소자의 전기적 특성을 측정하였다. 또한, 일부 시료는 Hall measurement를 이용하여 열처리에 따른 SOI 기판에서의 전도 타입 및 기판의 저항 변화를 평가하였다.

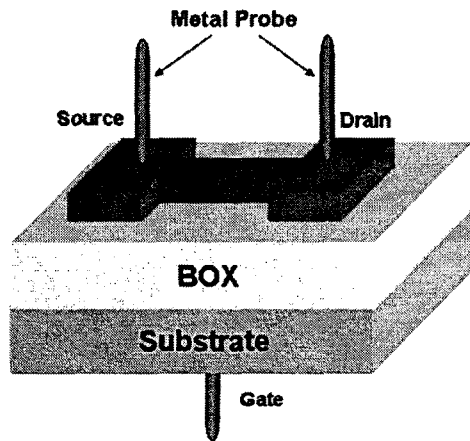


Figure 1. Pseudo-MOSFET의 구조 및 전압 인가 방법

3. Results and Discussion

그림 2는 열처리 furnace 온도에 따른 Pseudo-MOSFET의 동작 특성을 나타낸다 (열처리 시간: 30 분). 그림에서 볼 수 있듯이 Furnace 열처리 온도가 700°C까지는 초기상태와 비교하여 subthreshold 특성이나 플랫폼 전압의 변화가 거의 없다. 그러나 750°C 이상의 열처리에서는 온도의 증가에 따라서 subthreshold 곡선이 좌측으로 움직이고, 900°C에서는 플랫폼 전압이 크게 변화하였다. 이 같은 플랫폼 전압의 변화는 계면포획준위의 변화보다 열처리 온도에 따른 산화막 고정 전하와 밀접한 관련이 있을 것으로 예상된다. 또한, 800°C 이상의 열처리에서는 초기상태 및 750°C 이하의 열처리 시료에서 나타났던 subthreshold curve의 왜곡 (hump) 현상이 사라짐을 볼 수 있는데, 이는 고온의 열처리에 의하여 계면의 스트레스가 완화되면서 계면포획준위가 개선된 효과로 생각된다.

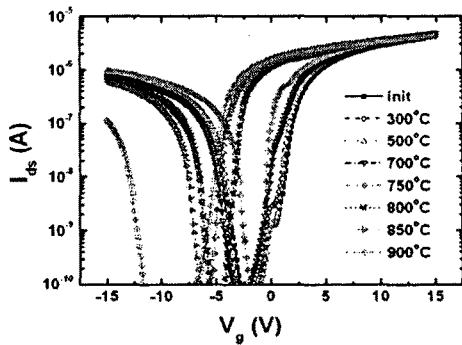


Figure 2. Furnace 열처리 온도에 따른 pseudo-MOSFET의 I_{ds} - V_g 특성.

그림 3은 RTA 또는 furnace 열처리 온도에 따른 SOI 상부 실리콘의 전기적 특성의 변화를 분석한 결과를 나타낸다. Hall measurement 방법을 이용하여 각각의 온도에서 열처리를 실시한 시료들을 이용하여, 상부 실리콘층의 면저항과 캐리어 농도를 정량적으로 평가하였다. 흥미로운 사실은 600°C 이상의 열처리 범위에서는 면저항의 변화와 캐리어 농도의 변화가 열처리 방식에 따라서 달라지며, 서로 상반되는 결과를 보인다는 점이며, SOI 기판에서 이와 같은 저항의 변화는 최초의 연구 결과이다. 즉, RTA는 열처리 온도가 증가하면, 상부 실리콘층의 면저항이 증가하고 전도 캐리어가 감소하지만, furnace 열처리에서는 열처리 온도가 증가하면, 상부 실리콘층의 면저항이 감소하고 전도 캐리어가 증가한다.

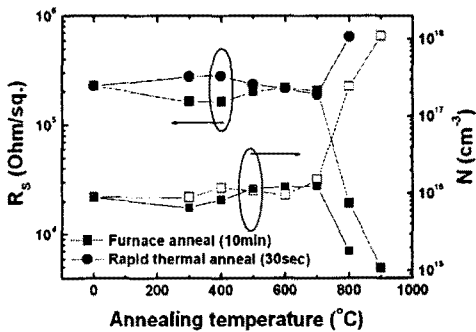


Figure 3. RTA 및 Furnace 열처리 온도에 따른 SOI 기판의 저항 및 기판 농도 변화.

이 같은 현상은 계면포획준위 및 산화막 고정전하의 영향, 그리고 SOI 채널 내에 캐리어의 전도 타입의 역전 효과 등이 원인으로 생각될 수 있다. 먼저, RTA를 실시하는 경우에는 고온에서 다량으로 발생한 계면포획준위에 캐리어가 트랩되면서 채널의 전도 캐리어가 감소하여 저항이 증가하지만, furnace 열처리의 경우에는 계면포획준위가 감소하기 때문에 계면포획준위 및 산화막 고정전하의 영향으로는 설명하기 어렵다. 한편, 벌크 실리콘의 경우에는 300-500°C 정도에서 장시간 열처리 공정을 실시하는 경우, 실리콘 결정 내에 존재하는 격자간 산소 원자에 기인한 thermal donor가 발생하는 것으로 알려져 있다 [2]. 단결정

실리콘 ingot을 성장시키는 석영 도가니에서 산소가 용출되어 실리콘 결정 내에 들어가게 되고, 농도는 실리콘 ingot의 도펀트 농도보다 매우 높다. 이중 일부는 실리콘 ingot을 성장시키는 동안 단결정이 300-500°C 부근에서 정체됨으로 산소가 전기적으로 donor의 작용을 하는 특성을 띠게 되며, 단결정의 원래 저항을 및 전도 타입을 변화시킨다. 이 thermal donor의 제거 방법으로는 웨이퍼를 불활성 가스 중에서 700°C에서 열처리한 다음, 300-500°C의 체재시간을 매우 작게 하기 위해 급냉하면 된다. 일반적으로 furnace보다는 열처리 시간의 단축 효율성 때문에 초단위 시간의 RTA가 많이 사용되고 있다.

그림 4는 furnace 열처리 온도의 변화에 따른 SOI 기판의 저항 및 기판 농도 변화를 나타낸다. 열처리 온도가 900°C, 500°C, 900°C, 500°C로 순차적으로 변화함에 따라서 저항 및 SOI 기판 도핑 농도가 가역적으로 일어나고 있다. 이와 같은 특성은 열처리에 따라서 산소 원자가 내어놓은 전자 농도의 변화와 깊은 관계를 가지는 것으로 보이며, 최종적으로 500°C의 열처리를 추가함으로써 전기적 특성이 개선되는 것을 알 수 있다.

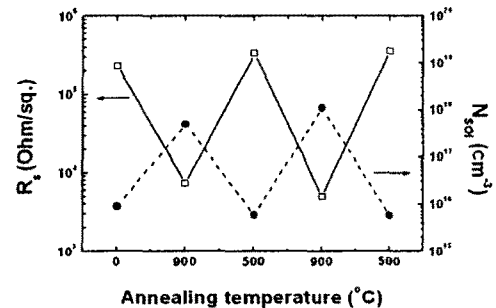


Figure 4. Furnace 열처리 온도의 변화에 따른 SOI 기판의 저항 및 기판 농도의 가역적 변화.

4. Conclusions

열처리 조건에 따라서 SOI 기판의 저항 및 기판 농도 변화를 확인하였다. 이 변화는 열처리 온도에 따라서 가역적으로 일어나며, 실리콘에 포함된 산소 원자에 의한 thermal donor와 깊은 관계를 가진다. 이와 같은 저항 및 기판 농도의 변화는 최종적으로 500°C에서 열처리하면 해결되었다.

References

- [1] Won-Ju Cho et al., Appl. Phys. Lett., 90, 143509 (2007).
- [2] Om Prakash et al., Mat. Sci Eng., B52, 180 (1998)

Acknowledgement

This work was supported by the National Program for 0.1-Terabit Non-Volatile Memory Device development, sponsored by the Korean Ministry of Knowledge Economy.