

Si₃N₄ trap layer의 두께에 따른 charge trap 특성

정영호, 김관수, 박근호, 김민수, *정종완, 정홍배, 조원주
 광운대학교, 세종대학교*

Charge trap characteristics with Si₃N₄ trap layer thickness

Myung-Ho Jung, Kwan-Su Kim, Goon-Ho Park, Min-Soo Kim, *Jongwan Jung, Hong-Bae Jung, Won-Ju Cho.
 Kwangwoon Univ., *Sejong Univ.

Abstract : The charge trapping and tunnelling characteristics with various thickness of Si₃N₄ layer were investigated for application of TBE (Tunnel Barrier Engineered) non-volatile memory. We confirmed that the critical thickness of no charge trapping was existed with decreasing Si₃N₄ thickness. Also, the charge trap centroid x and charge trap density were extracted by using CCS (Constant Current Stress) method. Through the optimized thickness of Si₃N₄ layer, it can be improve the performance of non-volatile memory.

Key Words : Si₃N₄, charge trap, centroid

1. 서론

기존의 floating gate type의 메모리 소자는 집적화됨에 따라 gate coupling과 gate leakage등과 같은 문제점이 발생하고 있다. 반면, SONOS type의 비휘발성 메모리 소자는 이러한 단점을 극복할 수 있으며, 차세대 기술인 3D 적층에도 적용이 가능하다는 장점을 가지고 있다. [1], [2] 하지만 SONOS type의 비휘발성 메모리 소자 또한 고집적화에 따른 data retention과 program/erase특성 사이의 피할 수 없는 trade-off문제점을 가지고 있다. 이를 극복하기 위해 최근에는 high-k물질과 low-k물질을 적층한 tunnel oxide에 관한 연구가 많이 진행되고 있다. 그 중 열처리에 안정적이며 trap층으로도 많이 사용되고 있는 Si₃N₄를 이용한 적층 구조의 tunnel oxide가 주목을 받고 있다.

본 논문에서는 Si₃N₄층의 두께에 따른 charge trap특성을 연구하였으며, 이를 바탕으로 비휘발성 메모리 소자의 trap층과 tunnel oxide에 적용하기 위한 최적의 Si₃N₄층의 두께에 대해 연구하였다.

2. 실험

Si₃N₄층의 두께에 따른 charge trap특성을 평가하기 위해 MOS-capacitor를 제작하였다. 그림 1은 본 연구에서 제작한 MOS-capacitor의 구조와 공정과정을 나타내고 있다.

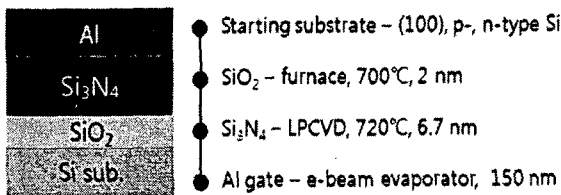


그림 1. MOS-capacitor의 구조 및 공정과정.

먼저 세정과정을 거친 (100), p-, n-type bulk Si기판위에

furnace를 이용, 700°C에서 2 nm의 SiO₂층을 성장 시켰다. 그 후 LPCVD (Low Pressure Chemical Vapor Deposition)를 이용하여 6.7 nm의 Si₃N₄층을 720°C에서 증착하였다. 이때 두께에 따른 Si₃N₄층의 charge trap 특성을 평가하기 위해 Si₃N₄층을 6, 5, 4, 3, 2 nm로 식각하였다. Si₃N₄층의 식각 공정은 BOE (H₂O : HF = 30 : 1)를 이용하였다. BOE를 이용한 Si₃N₄의 식각 시 etch rate는 6 Å/min이었으며, ellipsometer를 이용한 두께 측정 결과 거의 오차가 없음을 확인 하였다. 마지막으로 e-beam evaporator를 이용하여 150 nm의 Al을 증착한 후, photo-lithography공정을 통하여 310 × 230 μm²의 전극을 형성 하였다. 전기적 특성 및 분석에는 HP4156B와 HP4284A장비를 이용하였다.

3. 결과 및 검토

그림 2는 제작된 MOS-capacitor의 I-V 특성을 나타내고 있다. Si₃N₄층의 두께가 얇아짐에 따라 터널링 전류가 증가하는 것을 확인할 수 있다. 특히 Si₃N₄층의 두께가 5 nm에서 4 nm로 감소할 때 터널링 전류가 크게 증가하는 것을 확인할 수 있다.

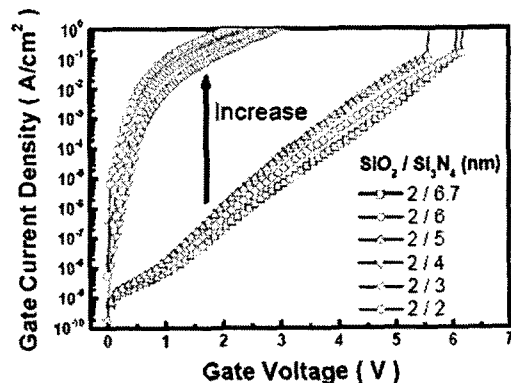


그림 2. Si₃N₄층의 두께에 따른 MOS-capacitor의 I-V특성.

그림 3은 제작된 MOS-capacitor의 C-V 측정을 통한 memory window 특성을 나타내고 있다. +5 V에서 -5 V의 전압을 인가했을 때의 hysteresis곡선을 통하여 charge trap 특성을 평가하였다. 그림 2의 I-V특성과 마찬가지로 Si₃N₄층의 두께가 5 nm에서 4 nm로 감소할 때 memory window가 급격하게 감소하였으며, 이를 통하여, Si₃N₄층의 두께가 4 nm이하에서는 charge trap 현상이 거의 발생하지 않는 것을 알 수 있다.

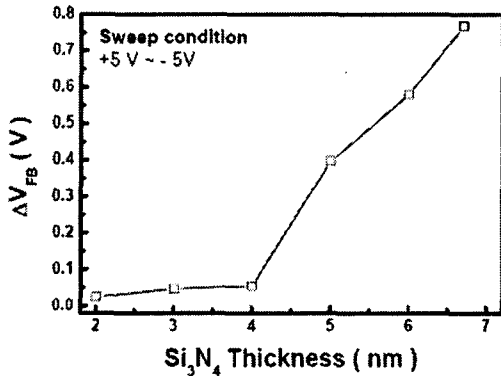


그림 3. Si₃N₄층의 두께에 따른 MOS-capacitor의 memory window 특성.

그림 4는 Si₃N₄층의 두께에 따른 MOS-capacitor의 CCS (Constant Current Stress) 특성을 나타내고 있다. 10 μA/cm²의 일정한 stress를 인가하였으며, 이 때 shift하는 전압으로 Si₃N₄층의 charge trap 특성을 확인할 수 있다. CCS 특성에서도 Si₃N₄층의 두께가 감소함에 따라 voltage shift가 감소하였으며 I-V, C-V특성과 마찬가지로 Si₃N₄층의 두께가 5 nm에서 4 nm로 감소할 때, voltage shift가 급격하게 감소하며 charge trap이 발생하지 않는 것을 알 수 있다.

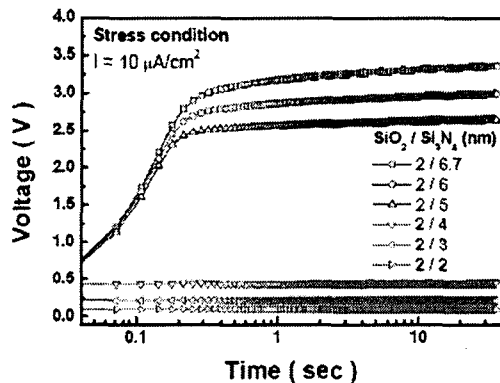


그림 4. Si₃N₄층의 두께에 따른 MOS-capacitor의 CCS 특성.

그림 5는 Si₃N₄층의 두께에 따른 MOS-capacitor의 charge trap centroid (X_{cent})를 나타내고 있다. X_{cent} 는 gate전극으로부터의 거리이며 다음과 같은 식 (1)을 통하여 추출하였다. 이 때 t_{stack} 은 절연막의 두께이며, ΔV_g^+ 와 ΔV_g^- 는 CCS

측정을 통한 voltage shift의 변화량을 나타낸다. [3]

$$X_{cent} = \frac{t_{stack}}{1 - (\Delta V_g^- / \Delta V_g^+)} \quad (1)$$

Si₃N₄층의 두께가 감소함에 따라 X_{cent} 역시 감소하는 것을 알 수 있으며, 그 위치가 SiO₂층과 Si₃N₄층의 계면에 가까워지는 것을 알 수 있다. 특히 Si₃N₄층의 두께가 4 nm일 때 X_{cent} 는 3.33 nm로 SiO₂층과 Si₃N₄층의 계면에 거의 근접해 있는 것을 알 수 있다. 따라서 Si₃N₄의 두께가 4 nm이하에서는 SiO₂층과 Si₃N₄층의 계면에 존재하는 trap만이 전체 절연막의 trap에 관여한다는 것을 알 수 있으며, 이로써 Si₃N₄층의 두께가 5 nm에서 4 nm로 감소할 때 급격하게 증가하는 터널링 전류와 급격하게 감소하는 C-V memory window 현상을 설명할 수 있다.

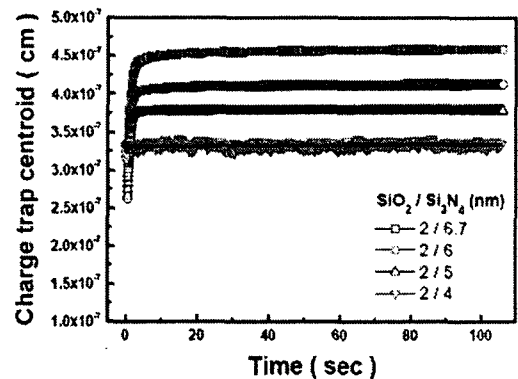


그림 5. Si₃N₄층의 두께에 따른 charge trap centroid 특성.

4. 결론

Si₃N₄층의 두께에 따른 charge trap 특성을 연구하였다. Si₃N₄의 두께가 감소함에 따라 급격하게 터널링 전류가 증가하며, charge trap이 발생하지 않는 특성을 확인하였다. 이는 Si₃N₄의 두께의 감소에 따른 X_{cent} 의 위치가 SiO₂층과 Si₃N₄의 계면에 가까워지며, 일정 두께 이하에서는 SiO₂층과 Si₃N₄의 계면에 존재하는 trap이 전체 절연막의 trap에 관여하기 때문이다. 본 연구를 통해 비휘발성 메모리 소자의 trap층과 터널링 절연막으로 적용되는 Si₃N₄층을 최적화할 수 있으며, 소자의 고성능화를 달성할 수 있다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] J. H. Park et al., IEDM Tech. Dig., 873 (2004).
- [2] K. Kim, IEDM Tech Dig., 323 (2005).
- [3] M. K. Bera and C. K. Maiti, Materials Science in Semiconductor Processing 9, 909 (2006).