

# 플레티늄-실리사이드를 이용한 쇼트키 장벽 다결정 박막 트랜지스터트랜지스터

신진욱, 최철중\*, 정홍배, 정종완\*\*, 조원주  
광운대학교, \*전북대학교, \*\*세종대학교

## Schottky barrier polycrystalline silicon thin film transistor by using platinum-silicided source and drain

Jin-Wook Shin, Chel-Jong Choi\*, Hong-Bay Chung, Jong-Wan Jung\*\* and Won-Ju Cho  
Kwangwoon Univ, \*Chonbuk Univ, and Sejong Univ\*\*

**Abstract :** Schottky barrier thin film transistors (SB-TFT) on polycrystalline silicon(poly-Si) are fabricated by platinum silicided source/drain for p-type SB-TFT. High quality poly-Si film were obtained by crystallizing the amorphous Si film with excimer laser annealing (ELA) or solid phase crystallization (SPC) method. The fabricated poly-Si SB-TFTs showed low leakage current level and a large on/off current ratio larger than  $10^5$ . Significant improvement of electrical characteristics were obtained by the additional forming gas annealing in 2 %  $H_2/N_2$  ambient, which is attributed to the termination of dangling bond at the poly-Si grain boundaries as well as the reduction of interface trap states at gate oxide/poly-Si channel.

**Key Words :** poly-Si Schottky barrier TFT, Pt-silicide, excimer-laser annealing, solid phase crystallization

### 1. 서론

소스와 드레인을 불순물 도핑 대신 금속을 이용하여 형성시킨 Schottky Barrier MOSFET(SB-MOSFET)은 공정 단순하고, 낮은 면저항을 가지고 있으며 500°C 이하의 저온에서 소스/드레인 형성이 가능하다는 장점이 있다. 따라서, 고온 공정에 취약한 고유전 (high-k) 물질의 게이트 절연막 및 금속 게이트 사용함에 있어서 용이한 특성 가지고 있다. 또한, SB-MOSFET은 낮은 누설 전류와 낮은 기생저항으로 인하여 소자 축소화에 큰 장점을 갖는다.[1]. 한편, poly-Si wafer를 이용한 반도체 소자는 단결정 실리콘인 bulk 및 silicon-on-insulator (SOI) wafer를 이용한 소자에 비하여 다소 성능이 저하되는 측면이 있으나, 제작비용의 감소 및 대면적 단위의 소자 제작이 가능하고, 3 차원 집적회로의 실현 및 디스플레이 소자에도 적용을 할 수 있기 때문에 많은 연구가 수행되고 있다.[2]

본 연구에서는 system-on-glass (SOG) 위에 디스플레이 및 메모리 소자의 집적화 위하여 poly-Si 박막 위에 플레티늄(Pt)을 이용하여 저온에서 소스와 드레인을 silicide를 형성시킨 P-type SB-TFT를 제작하여 소자의 성능을 평가하였고, 전기적 특성을 개선하기 위한 방법을 연구하였다.

### 2. 실험

Poly-Si의 제작을 위해서 P형 (100) 단결정 실리콘 기판을 열산화하여 150 nm 두께의 매몰 산화막을 형성하고, 그 위에 비정질 실리콘을 LPCVD (low pressure chemical vapor deposition)을 사용하여 증착하였다. 비정질 실리콘의 결정화를 위해 ELA 또는 SPC 방법으로 결정화 하였다. ELA는 400 mJ/cm<sup>2</sup>의 에너지로 열처리를 진행하였고, SPC는 600°C에서 24 시간 열처리로 진행되었다. SB-TFT 소자

의 제작은 그림 1과 같이 진행되었다.

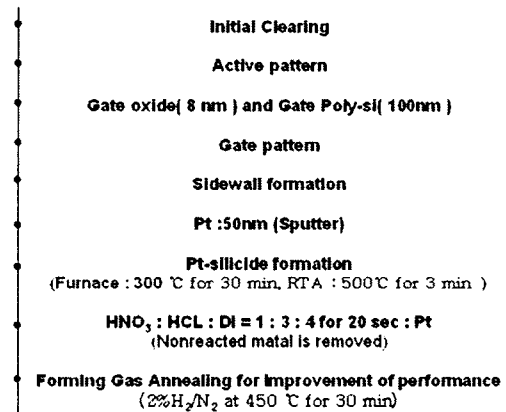
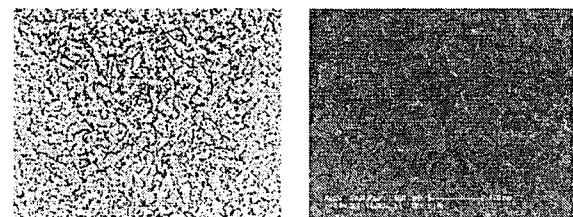


그림 1. Poly-Si SB-TFT 제작 공정

### 3. 결과 및 검토

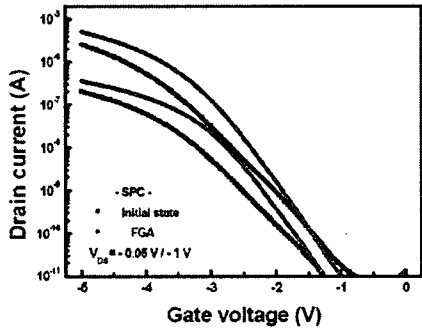
그림 2는 ELA와 SPC 방법에 의해 결정화된 poly-Si 박막을 Secco 식각 처리 후의 전자 현미경 (SEM) 관찰 결과를



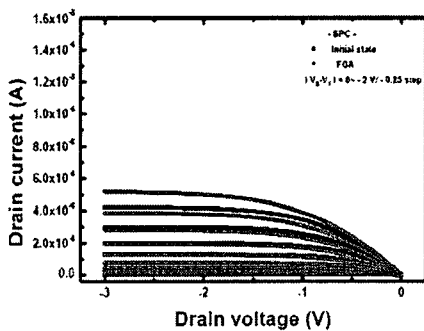
(a) (b)

그림 2. 결정 경계의 secco 식각 후의 poly-Si 의 SEM image; (a) SPC, (b) ELA

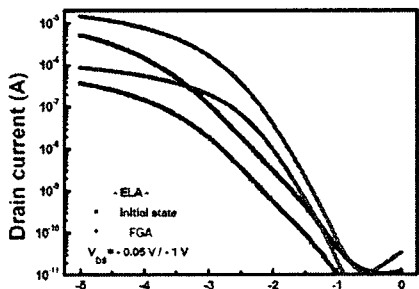
보여준다. SPC 방법과 비교하여 ELA 방법으로 결정화된 poly-Si이 보다 결정립이 크게 형성된 것을 확인할 수 있다. ELA 결정화는 낮은 온도에서 진행되기 때문에 결정핵의 형성을 억제하여 결정화시 SPC 결정화 보다 큰 결정립을 형성시킬 있기 때문이다.



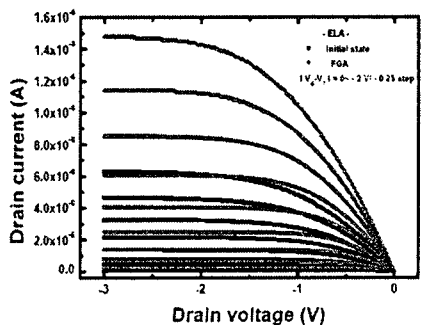
(a)  $I_D$ - $V_G$  특성 곡선 : SPC 결정화



(b)  $I_D$ - $V_D$  특성 곡선 : SPC 결정화



(c)  $I_D$ - $V_G$  특성 곡선 : ELA 결정화



(d)  $I_D$ - $V_D$  특성 곡선 : ELA 결정화

그림 3. SB-TFT의 열처리 전후의 I-V 특성

그림 3은 SB-TFT의 열처리 전과 후의 전기적 특성을 보여준다.  $10^3$ 의 높은 On/Off current ratio와 낮은 누설 전류를 확인할 수가 있다.

표 1은 후속 열처리 공정에 의한 SB-TFT의 전기적인 특성 개선 효과를 Subthreshold swing (SS)과 threshold voltage ( $V_{th}$ )로 나타내고 있다. 2 %  $H_2/N_2$  분위기에서  $450^\circ C$ , 30분간의 후속 열처리 공정 (FGA: Forming gas annealing)은 poly-Si grain boundary에 존재하는 포획준위 및 채널과 게이트 산화막 사이의 계면에 존재하는 포획준위를 효과적으로 감소시켜 줌으로써 전기적 특성이 개선된다.

	SB-PTFT (ELA)		SB-PTFT (SPC)	
	Initial	FGA	Initial	FGA
$V_{th}(V)$	-3.24	-2.3	-2.96	-2.63
SS (mV/dec)	590	304	659	416

표 1. SB-TFT의 전기적 특성

#### 4. 결론

본 실험에서는 poly-Si 기판을 이용하여 SB-TFT 소자를 제작 및 전기적 특성을 평가하였다. Pt-silicide을 이용하여 제작한 P-type의 SB-TFT은 작은 누설전류와 높은 On/Off current ratio를 갖는 것을 확인할 수 있었다. 또한, 후속 열처리 공정을 통하여 소자의 내에 존재하는 포획 준위를 줄여줌으로써 SB-TFT의 전기적 특성을 향상시켰다. 결과적으로 SB-TFT를 디스플레이 및 메모리 소자가 직립화된 SOG에 매우 유망한 소자라는 것을 확인할 수 있었다.

#### 감사의 글

이 논문은 2008년도 정부재원(교육인적자원부 학술연구 조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2007-331-D00253).

#### 참고 문헌

- [1] Wataru Saitoh et al., "Analysis of short-channel Schottky source and drain metal-oxide-semiconductor field-effect transistor on silicon-on-insulator substrate and demonstration of sub-50-nm n-type devices with metal gate", Jpn. J. Appl. Phys, vol 31, p.6226, 1999
- [2] Soon-young Oh et al., "Three-dimensionally stacked poly-Si TFT CMOS inverter with high quality laser crystallized channel on Si substrate." Solid-state Electronics 52, p.372, 2008
- [3] John M. Larson et al., "Overview and status of Metal S/D Schottky-Barrier MOSFET Technology." IEEE Trans. Electron Devices, vol 53, No5, p.1048, 2006