

# Tunnel Barrier Engineering (TBE)를 통한 HfO<sub>2</sub> Charge Trap Flash (CTF)

## Memory의 Erasing 특성 향상

김관수, 정명호, 박군호, 정종완\*, 정홍배, 조원주  
 광운대학교 전자재료공학과, 세종대학교 나노신소재공학부\*

### Erasing Characteristics Improvement in HfO<sub>2</sub> Charge Trap Flash (CTF) through Tunnel Barrier Engineering (TBE)

Kwan-Su Kim, Goon-Ho Park, Myung-Ho Jung, Jongwan Jung\*, Hongbay Chung and Won-Ju Cho  
 Department of Electronic materials engineering, Kwangwoon Univ.  
 Department of Nano Science and Technology, Sejong Univ.\*

**Abstract :** The memory characteristics of charge trap flash (CTF) with HfO<sub>2</sub> charge trap layer were investigated. Especially, we focused on the effects of tunnel barrier engineering consisted of SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (ONO) stack or Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> (NON) stack. The programming and erasing characteristics were significantly enhanced by using ONO or NON tunnel barrier. These improvement are due to the increase of tunneling current by using engineered tunnel barrier. As a result, the engineered tunnel barrier is a promising technique for non-volatile flash memory applications.

**Key Words :** VARIOT, tunnel barrier engineering, non-volatile memory,

#### 1. 서 론

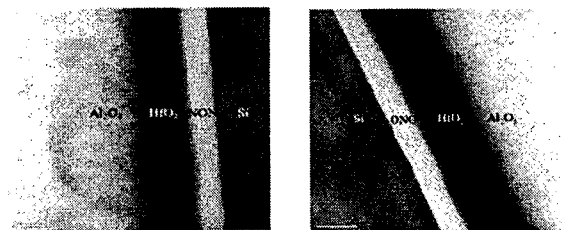
Charge Trap Flash (CTF) memory 는 sub-50 nm NAND type floating-gate flash memory에서 gate coupling 효과를 억제할 수 있는 장점을 가지고 있다. 특히, high-k를 charge trap layer로 이용한 CTF는 저온 공정이 가능하다는 장점을 가지고 있어 많은 관심을 가지고 있다. 그러나 programming/erasing 특성의 개선에서는 tunnel oxide의 두께가 6 nm 이하로 감소시키지 못한다는 단점을 가지고 있다. 최근 programming/erasing 특성 향상을 위해 적층형 tunnel barrier를 이용하는 tunnel barrier engineering 기술이 큰 관심을 가지고 있다. 적층형 tunnel barrier는 VARIOT barrier와 CRESTED barrier 두 가지 구조가 있다. VARIOT 은 high/low/high 구조의 bandgap을 가지며, CRESTED는 low/high/low 구조의 bandgap을 가진다. [1,2]

따라서 본 논문에서는 HfO<sub>2</sub>를 charge trap layer로 이용한 CTF memory capacitor의 전기적 특성을 관찰하였다. 특히, SiO<sub>2</sub>와 Si<sub>3</sub>N<sub>4</sub>를 이용하여 형성한 VARIOT/CRESTED barrier를 이용하여 HfO<sub>2</sub> CTF memory capacitor의 programming/erasing 특성을 관찰하였다.

#### 2. 실험

밴드 갭 엔지니어링을 통한 고성능의 플래시 메모리 소자의 제작을 위해 HfO<sub>2</sub>를 이용한 CTF memory capacitor를 제작하였다. tunnel barrier는 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (ONO) 구조의 VARIOT 구조와 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> (NON) 구조의 CRESTED barrier를 형성하였다. ONO 구조는 2 nm의 열산화막과 LPCVD로 증착된 2.2 nm의 Si<sub>3</sub>N<sub>4</sub>, 3.1 nm의 SiO<sub>2</sub> 로 구성

되어있다. 그리고 NON 구조는 LPCVD 공정을 이용하여 2.2 nm 두께의 Si<sub>3</sub>N<sub>4</sub>, 3.1 nm의 SiO<sub>2</sub>, 1.8 nm의 Si<sub>3</sub>N<sub>4</sub>로 형성하였다. Charge trap layer와 blocking layer는 300 °C에서 ALD를 이용하여 HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>를 각각 7 nm, 15 nm 증착하였다. Gate 전극으로는 electron-beam evaporator를 이용하여 Al을 150 nm 증착시켰다. 그림 1.은 bandgap engineered CTF memory capacitor의 TEM image를 나타내고 있다. SiO<sub>2</sub>와 Si<sub>3</sub>N<sub>4</sub>는 비정질 상태여서 서로 구분이 힘들지만, HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub> layer는 우수한 계면상태를 가짐을 볼 수 있다.



(a) ONO tunnel barrier (b) NON tunnel barrier  
 그림 1. TBE-CTF memory capacitor의 TEM image

#### 3. 결과 및 고찰

그림 2.는 VARIOT/CRESTED barrier를 가지는 HfO<sub>2</sub> CTF memory의 band diagram을 나타내고 있다. Engineered tunnel barrier의 경우 programming (dash line) 상태에서는 voltage에 대한 sensitivity가 증가하여 낮은 전압에서 높은 tunneling current 특성을 가지게 된다. 따라서 memory device의 programming/erasing 특성의 향상을 기대 할 수 있다. 또한, flat-band (solid line) 상태에서는 tunnel barrier의 물리적인 두께가 증가하게 되어 긴 data 보존시간을 얻을 수 있다.

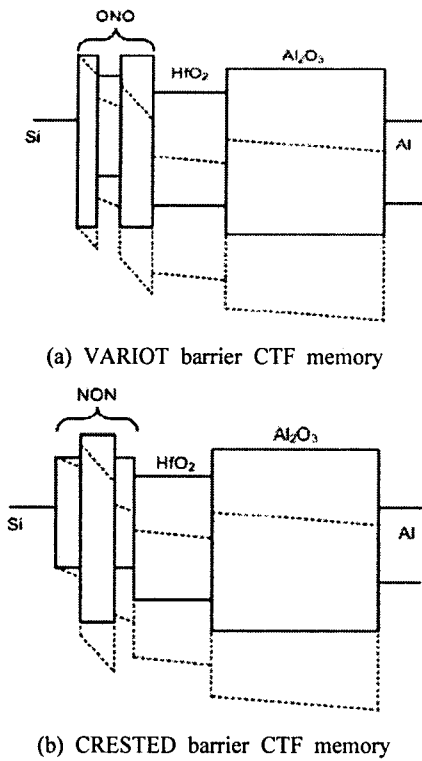


그림 2. VARIOT/CRESTED barrier를 이용한 CTF memory의 band diagram; program (dash), flat-band (solid)

그림 3은 VARIOT/CRESTED barrier의 tunneling current 특성을 나타내고 있다. Engineered tunnel barrier의 경우 SiO<sub>2</sub> single layer 보다 높은 tunneling current 특성을 가짐을 볼 수 있다. 특히, VARIOT/CRESTED barrier의 경우 -2 V 에서 약 10<sup>2</sup> 정도의 tunneling current 특성의 향상을 볼 수 있다. 이 같은 tunneling current의 향상은 high-k를 이용한 CTF memory의 programming/erasing 특성을 개선 할 수 있다는 것을 나타내고 있다.

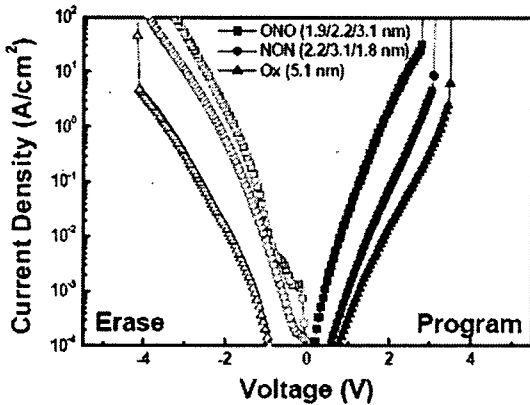


그림 3. VARIOT/CRESTED barrier의 tunneling current 특성.

그림 4은 1 ms 의 stress time에서 HfO<sub>2</sub> layer를 charge trap layer로 이용한 CTF memory capacitor의 programming /erasing 특성을 나타내고 있다. SiO<sub>2</sub> single tunnel barrier의 경우 1 ms, ±12 V에서 우수한 programming 특성을 가짐을

보이지만, erasing이 되지 않는 문제를 볼 수 있다. 그러나 VARIOT/CRESTED barrier의 경우 single layer 보다 높은 programming 특성을 가짐을 볼 수 있으며, 특히 erasing 특성이 상당히 개선 된 것을 볼 수 있으며, ±12 V, 1 ms에서 각각 1.2 V, 0.9 V의 memory window를 가짐을 볼 수 있다.

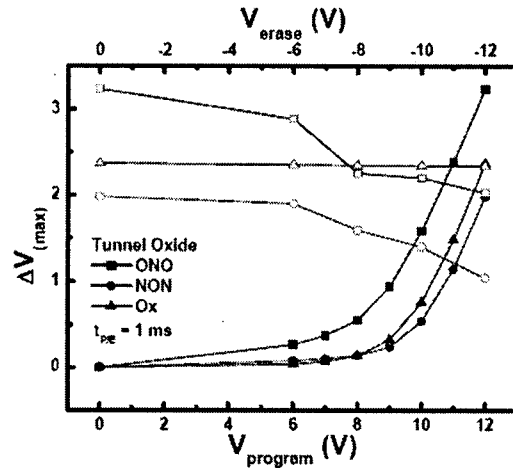


그림 4. VARIOT/CRESTED tunnel barrier를 가지는 HfO<sub>2</sub> CTF의 program/erase 특성.

#### 4. 결론

본 연구에서는 VARIOT/CRESTED barrier를 가지는 HfO<sub>2</sub> CTF memory capacitor의 programming/erasing 특성을 살펴본 것이다. Engineered tunnel barrier는 SiO<sub>2</sub> single layer 보다 높은 tunneling current 특성을 가지며, programming/erasing 특성을 개선시킴을 볼 수 있다. 따라서 VARIOT/CRESTED 구조를 가지는 engineered tunnel barrier는 차세대 비휘발성 메모리의 물리적 한계를 극복 할 수 있는 기술이라 판단 된다.

#### Acknowledgement

This work was supported by the National Program for 0.1-Terabit Non-Volatile Memory Device development, sponsored by the Korean Ministry of Knowledge Economy.

#### 참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices", Appl. Phys. Lett., Vol.73, pp.2137, 1998
- [2] B.Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, " VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices.", IEEE Electron Device Lett., Vol.24, pp.99, 2003