

철도신호를 위한 단일칩 개발에 관한 연구

The Research of System-On-Chip Design for Railway Signal System

박주열* 김효상** 이준환*** 김봉택**** 정기석*****
Park, Joo-Yul Kim, Hyo-Sang Lee, Joon-Hwan Kim, Bong-Taek Chung, Ki-Seok

ABSTRACT

As the railway transportation is getting faster and its operation speed has increased rapidly, its signal control has been complicated. For real time signal processing it is very important to prohibit any critical error from causing the system to malfunction. Therefore, handling complicated signals effectively while maintaining fault-tolerance capability is highly expected in modern railway transportation industry. In this paper, we suggest an SoC (System-on-Chip) design method to integrate these complicated signal controlling mechanism with fault tolerant capability in a single chip. We propose an SoC solution which contains a high performance 32-bit embedded processor, digital filters and a PWM unit inside a single chip to implement ATO's, ATC's, ATP's and ATS's digital signal-processing units. We achieve an enhanced reliability against the calculation error by adding fault tolerance features to ensure the stability of each module.

1. 서 론

오늘날, 철도신호는 철도의 고속화가 이루어지고 운행 횟수가 증가함에 따라 광범위하고 매우 복잡한 양상을 띠게 되게 되었다. 신호의 종류가 다양해지고 복잡해짐에 따라 신호를 처리하기 위한 부품의 수가 많아지고 장치의 복잡도도 증가하고 있으며, 또한 신호처리에 있어서 연산의 오류나 오작동을 방지하기 위한 기술의 연구가 주목을 받고 있다. 이와 같이 신호 시스템이 대형화 되고 복잡도가 증가됨에 따라 소프트웨어와 하드웨어를 함께 이용한 IP (Intellectual Property) 기반의 SoC (System-on-Chip) 설계가 보편화 되고 있다.

오늘날의 철도 신호는 고성능의 디지털신호처리 능력을 요구하고 있으며, 디지털신호처리 알고리즘들은 점점 더 그 복잡도가 높아져 가고 있는 추세이다. 이에 따라 디지털신호처리 유닛의 디자인에서 결함이 발생할 확률도 높아져 가고 있다. 이는 철도와 같이 복잡한 제어논리와 섬세한 기기들로 시스템이 구성된 경우 사소한 고장이나 오작동이 대형 사고를 유발할 수 있다는 점에서 신뢰성과 안전성 문

* 한양대학교 일반대학원 전자컴퓨터통신공학과, 석사과정

살롬엔지니어링(주), 주임연구원, 기업회원

E-mail : radarpark@naver.com

TEL : (02)2293-2123 FAX : (02)2220-1886

** 살롬엔지니어링(주), 연구원, 기업회원

*** 살롬엔지니어링(주), 선임연구원, 기업회원

**** 살롬엔지니어링(주), 회장, 기업회원

***** 한양대학교 미디어통신공학과, 교수

본 논문은 지식경제부의 시스템 직접 반도체 기반 기술 개발 사업과 서울시 산학연 협력사업 지원. 그리고, 2007년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임.(No.R01-2007-000-20891-0)

제가 심각하게 대두되고 있는 이유가 된다. 우리나라도 마이크로컴퓨터를 이용한 열차집중제어장치와 전자연동장치의 확대설치 등 자동화, 전자화를 위한 설비개량과 전산화 및 신뢰성 안전성 기술 도입에 총력을 기울이고 있다. 그러나 1996년에 발생했던 강동역 오진로 진입사고는 선로 전환 장치의 잘못된 제어로직에 그 원인이 있었던 것으로 발표 되었다.[1]

본 논문은 이러한 다양한 철도 신호를 효율적으로 안전하게 처리하기 위한 단일 칩 설계 구현 방법에 대해 제안한다. 본 논문에서는 ATO, ATC, ATP, ATS의 디지털 신호처리 부분을 하나의 칩으로 설계하기 위하여 고성능 32 bit 임베디드 프로세서와 디지털 필터 그리고 PWM 모듈을 하나의 칩으로 구현 하였으며 각 모듈을 AMBA 버스를 통해 서로 연결 하였다. 이를 통하여 설계의 유연성을 높일 수 있었으며 설비의 크기를 간소화 할 수 있었다. 또한 각 모듈의 안정성을 확보하기 위한 Fault tolerance기능을 추가하여 연산오류에 대한 안정성을 확보하였다.

2. 본 론

2.1 국내 차상신호

(1) 개요

속도명령은 차상에 전송하는 ATC 설비와 열차의 역간 운행 자동운전 및 정차장 구내에서 정위치정차, 출입문 자동개폐 등을 위한 ATO 설비, 선로에서의 열차운행상황을 자동감시 및 제어하는 ALS 설비 등으로 분류하기도 하며, 또한 설비의 설치에 따라 지상설비와 차상설비, 기기실 설비, 사령실 설비 등으로 구분한다. 본선을 운행하는 열차는 지상신호 대신 ATC에 의한 차상신호로 운전하고, 종단역과 연동역에는 지상에 입환신호기를 설치하여 열차의 입환운전 및 회차운전에 사용하도록 설계 되었다.

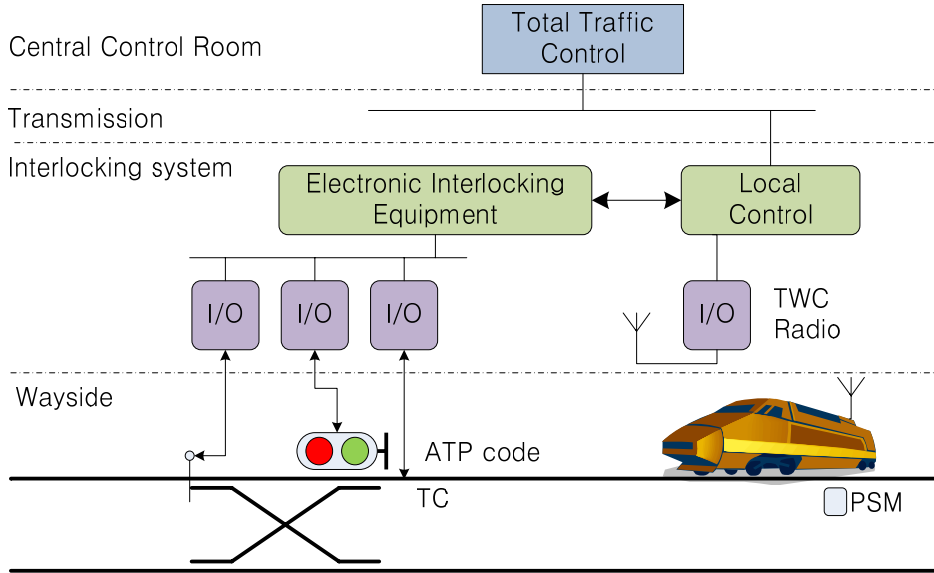


그림 1. 차상 신호 시스템 구성도

(2) 시스템 구성

차상신호는 그림 1과 같이 사령설비와 기기실설비, 현장설비 등의 ATC 지상설비 및 차상설비 등과 함께 DTS, TWC, PSM, 궤도회로 등의 설비로 구성되어 있다. 중앙제어실(TTC)에서는 운행 다이아리 생성 및 선로취급 명령의 전송 및 실행, 열차번호의 처리표시, 정차시간 제어, 운용자명령 처리, 표시 및 경고, 운행전략 선택 등의 기능을 수행한다. 또한 신호 사령실에 설치된 CDTS와 각 신호기기실에 설치된 LDTS를 통하여 TTC/LCC에서 ATO 및 EIE로 모든 정보를 전송한다. 신호기기실에는 열차이동 허가 및 명령처리, 신호기와 전철기의 제어, 열차 정보의 선택, 기기상태의 경고 및 표시, 유지보수 시스템 총괄 등의 기능을 수행하는 전자연동장치와, 진로 취급, 운용자 명령처리, 표시 및 경고, TTC

와 통신 두절시 정차시간 제어, 운행전략 선택 등의 기능을 수행하는 역 제어콘솔(LCC)이 있다. 또한 열차검지 및 최고속도, 목표속도, 목표거리, 경사도 등을 텔레그램으로 전송하는 궤도회로장치(TC)와 전철기나 신호기, 진로표시기, 궤도회로장치 등을 구동시키는 현장기기제어기(OC) 등의 현장설비가 있다.

열차에는 연동장치에서 보내오는 정보 판독과 속도감시, 출입문 제어 등의 기능을 수행하는 ATP장치와 열차의 역간 운행과 정위치 정차, 출입문 개폐 등의 기능을 수행하는 ATO장치가 장착되어 있으며, 이와 같은 ATP 및 ATO 시스템의 상호 동작을 통하여 ATC 기능을 구현하고 있다. [2]

2.2 단일칩(System-on-Chip) 설계

(1) 디지털 필터

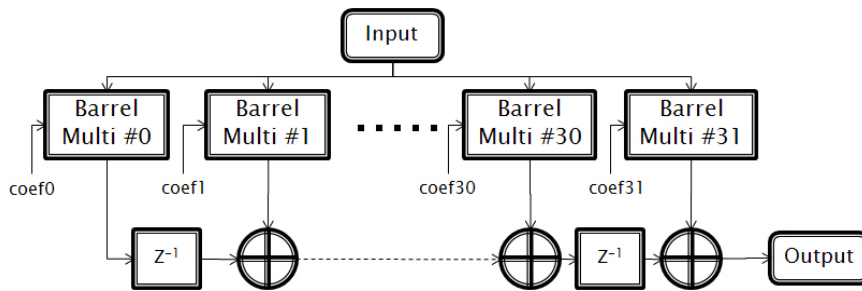


그림 2. 배럴 쉬프트 기반 32탭 FIR 필터

차상으로 전달되는 각각의 신호를 검출하기 위해서는 디지털 Band Pass Filter를 이용하게 된다. 우리는 이러한 디지털 필터를 설계하여 고성능 프로세서와 함께 단일 칩으로 설계 하는 작업을 하였다.

차상 신호를 검출하기 위한 Band Pass Filter는 그림 2와 같이 32-tap FIR 필터를 사용 하였으며, 위 FIR 필터를 수식으로 표현하면 다음과 같다.

$$Y(n) = X(n)a(0) + X(n-1)a(1) + \dots + X(n-31)a(31)$$

곱셈기를 대신하여 곱셈연산을 수행하는 "Barrel Multi" 블록의 내부 블록도는 아래 그림 3과 같다. 배럴 시프터는 한 주기에 원하는 비트만큼 시프트가 가능한 회로이다. 따라서 배럴 시프터로 구성된 "Barrel-Multi" 블록은 한 주기 안에 곱셈연산의 결과를 출력해 낼 수 있다. 그림 3을 보면 "Barrel-Multi" 블록이 어떻게 Barrel Shifter를 이용하여 곱셈연산을 수행하는지를 알 수 있다. 먼저 입력된 데이터는 각각 세 개의 배럴 시프터로 입력되어 같이 입력되는 계수(coefficient) 데이터에 따라 시프트 연산을 수행한다. 배럴 시프터를 통하여 시프트 된 결과는 덧셈과 뺄셈을 거쳐 최종결과물을 출력한다. 출력된 데이터는 앞서 설명한대로 누산기로 입력되어 진다. 이때 Data와 함께 입력되어 지는 Coefficient 데이터는 FIR 필터에서 수행하려는 함수에 따른 계수값을 시프터에서 사용할 수 있도록 설계시에 미리 계산하여 둔 데이터이다. "Coef" 입력에는 각각의 배럴 시프터에서 수행하여야 할 시프트 횟수에 대한 데이터 뿐 아니라 시프트 연산된 결과를 더하거나 빼는 연산 수행에 대한 제어 정보도 담고 있다. 시프트 연산 후에 수행되는 덧셈 및 뺄셈 연산도 한정된 시프터를 이용하여 최적의 결과를 얻어낼 수 있도록 설계 단계에서 미리 계산되어진다. [3] 샘플링 주파수와 컷오프 주파수를 정하여 각 탭의 계수 값을 소프트웨어 적으로 변경 할 수 있도록 설계 하여, 각 차상 신호의 주파수가 변경되어도 사용가능하도록 하였다.

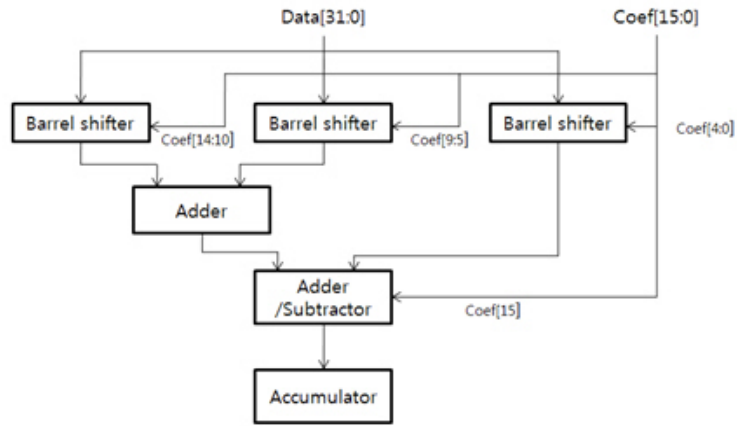


그림 3. 다중 배럴 쉬프트와 덧셈기를 같은 곱셈 블록

(2) Fault Tolerance를 위한 제안된 구조

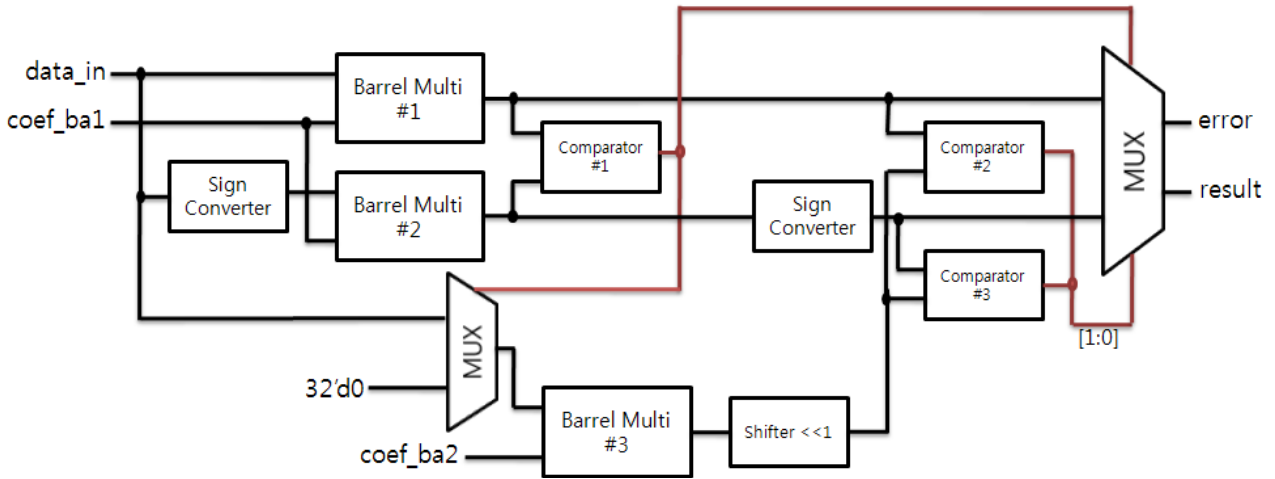


그림 4. Fault tolerance를 위한 제안된 구조

본 논문에서 제안하고자하는 결함 포용성(fault tolerance) 구조는 그림 4와 같다. 결함 포용성 기능을 위해 "Barrel-Multi" 블록이 총 세 개가 사용된다. 본래 결함 포용성 기능을 사용하지 않는다면 하나만 사용되는 블록이지만 에러를 검출하고 에러가 검출되면 올바른 값을 찾기 위해 2개의 "Barrel-Multi" 블록이 추가되었다. 하지만 "Barrel-Multi" 블록이 배럴 시프터를 사용하여 저전력으로 곱셈 연산을 수행하는 블록이기 때문에 결함 포용성을 위해 2개의 추가 "Barrel-Multi" 블록이 사용되었어도, Fault Tolerance 기능이 없는 곱셈기를 사용하여 구현된 MAC 보다 전력소비나 회로크기 면에서 향상된 성능을 보이고 있다. 또한 정상모드일 때는 "Barrel-Multi" #1과 #2만이 사용되며, 두 "Barrel-Multi" 블록의 연산 결과에 따라 에러가 검출되면 "Barrel-Multi" #3이 동작하여 #1과 #2로부터 얻어진 결과와 비교되어 세 개의 결과 중 두 개의 결과가 동일할 경우에만 그 결과를 출력한다. 만약 세 개의 결과가 모두 다를 경우에는 복구할 수 없는 에러로 판단하여 error 신호를 출력하게 된다. 이렇게 결함 포용성 구조는 에러에 대해 어느 정도 융통성을 발휘할 수도 있다. 만약 검출된 에러에 대해 일정 수준의 오차를 허용한다면 그 오차 범위는 위 블록도의 Comparator #2와 #3을 통하여 조절할 수 있다.

본 논문에서 제안하는 알고리즘에서 사용되는 "Barrel-Multi" 모듈은 모두 똑같은 블록으로 설계되어 진다. 하지만, 결함 포용성이 있는 회로가 에러가 발생하는 상황에서도 정상적으로 동작함을 보장해 주기 위해서는 같은 결과를 얻는 연산일 지라도 다양한 방법을 통하여 그 결과를 얻고 서로 비교되어

야 한다. 따라서 본 논문에서는 동일한 연산 블록을 사용할 지라도 그 입력 데이터를 다양하게 만들어 동일한 결과를 얻으며 서로 다른 동작을 할 수 있도록 하고 있다. 기본적으로 "Barrel-Multi" 블록은 곱셈 연산을 수행하는 블록이기에 곱셈의 수학적 정의에 따라 다양한 형태로 식을 변형 시킬 수 있다. 이렇게 다양한 방법으로 동일한 연산 결과를 얻을 수 있는 여러 회로 설계 방법을 취함으로써 보다 큰 회로의 신뢰성 향상을 얻었다.

(3) Bus 설계

일반적인 AMBA 버스 시스템은 Advanced High-performance Bus (AHB)와 Advanced Peripheral Bus (APB)로 구성된다. AHB는 고속의 데이터 송수신을 위해 설계 되어 마이크로프로세서와 같은 고성능 모듈간의 연결에 사용되며, APB는 전송속도가 느린 장치들의 인터페이스에 사용된다. ARM 프로세서 기반의 SoC는 다양한 IP들과 전용 모듈로 설계 되며, AMBA AHB 또는 APB 버스 규격에 맞게 설계된 IP를 사용함으로써 설계 시간 단축 및 신뢰도를 증대 시킬 수 있다. [4]

우리는 그림 5와 같이 ARM사의 고성능 32비트 프로세서와 5개의 Band Pass Filter 그리고 Pulse Width Modulation 블록을 AHB 버스를 통해 연결 하였으며, 다중의 IP와 접속하기 위하여 멀티플렉서를 설계하여 ARM CPU에서 각각의 모듈과 통신 할 수 있도록 설계 하였다.

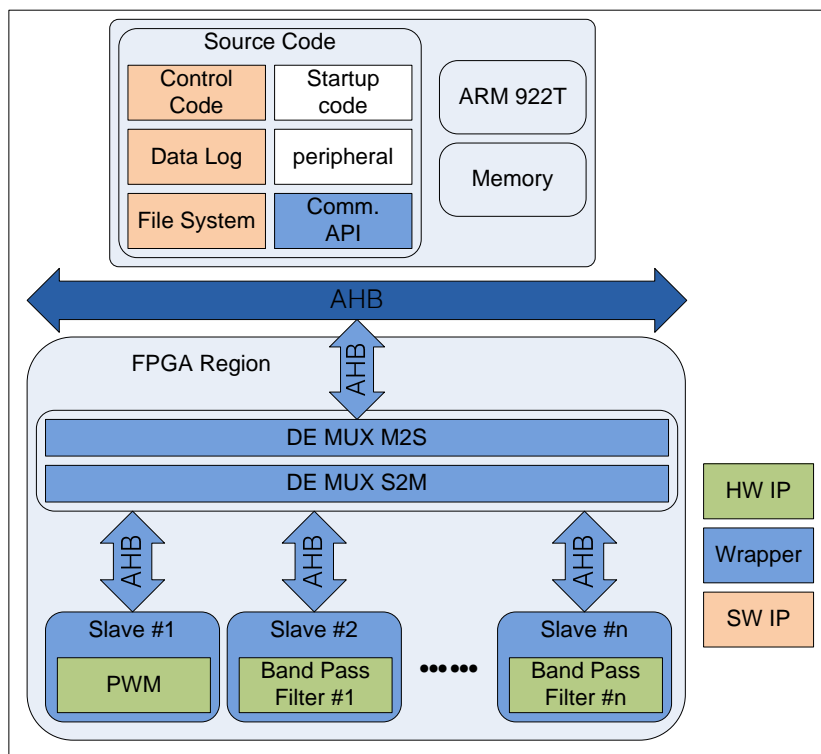


그림 5. 전체 시스템의 블록 다이어그램

3. 실험

3.1 실험환경

우리의 작업은 Pentium IV 3.0 GHz with 2048MB Main Memory 진행 하였으며, 테스트 플랫폼은 Altera사의 Excalibur칩(ARM922T와 1M Gate FPGA Device를 내장)을 내장하고 있는 한백전자의 Expert2를 이용하였으며, Embedded Compiler는 ADS (ARM Developer Suite) V 1.2를 사용하였다.[5]

3.2 IP 검증

우리는 Verilog 코드로 작성된 ATC와 ATO등 각 주파수별 Band Pass Filter의 성능과 AMBA Bus의 연결의 정상 여부를 확인하기 위한 작업을 하였다. 먼저 Bus Function Model을[8] 이용하여 각 IP의 Wrapper가 정상적으로 작성되어 CPU Core와 통신이 정확히 이루어지는지 확인 하였다.그림 6은 ARM Core와 각 IP의 동작 유무를 확인하기 위한 시뮬레이션화면 모습이다.

우리는 또한 합성한 결과를 FPGA에 다운로드 하고 ARM 프로세서 상에 Linux Kernel 2.4를 포팅하여 테스트를 진행 하였으며, 각각의 하드웨어 모듈과의 통신을 위해 "mmap()" 함수를 이용하여 각 하드웨어 모듈과 통신이 가능한 API를 생성 하여 테스트를 진행 하였다. 그림 7은 Linux Kernel 상에서 작업 중인 화면을 저장한 것이다.

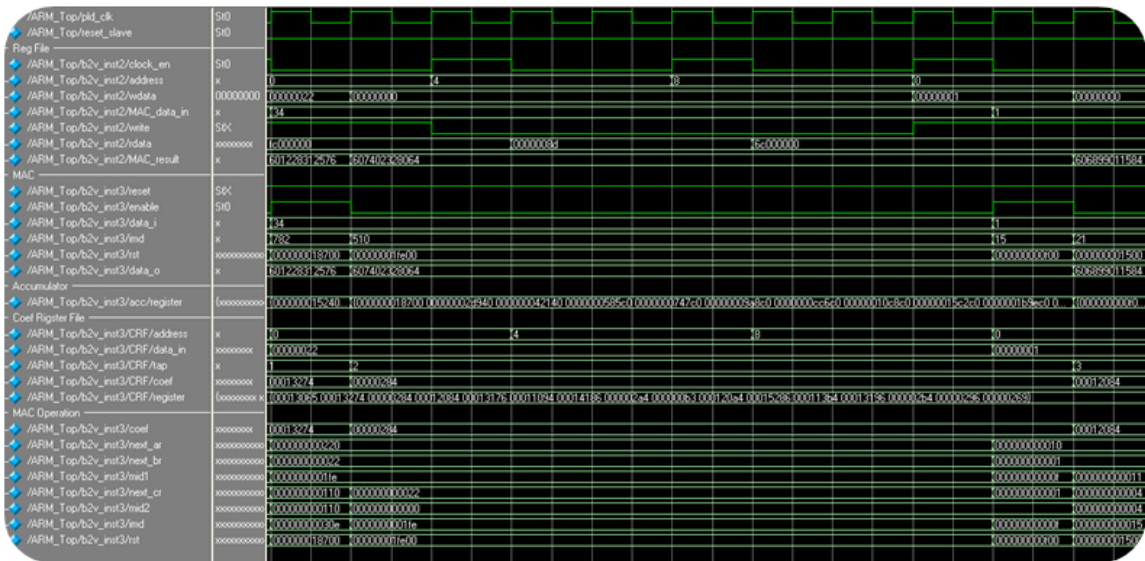


그림 6. Bus Function Model 시뮬레이션 화면

```
//=====
// IP 1: FIR Filter
// IP 2: FIR Filter
// SHALOM Project Test Tool Ver 1.0
// Date 2008.04.19
//=====

1. FIR Filter 1Khz Setting (IP 1)
2. FIR Filter 10Khz Setting (IP 1)
3. FIR Filter 100Khz Setting (IP 1)
4. FIR Filter 1000Khz Setting (IP 1)

Please Number ? 3

Test Generator Length : 100000

// Detction
1, 2, 3, ..
```

그림 7. FIR 필터 검증 화면

참고문헌

1. 김종기(2001), “철도신호시스템 소프트웨어 신뢰성 기술동향”, 한국경영과학회/대한산업공학회 춘계 공동학술대회. pp.434-437
2. 이영훈(2002), “부산지하철 2호선 신호시스템”, 한국철도기술.

3. Young-Geun Lee(2007), "Design of Low Power MAC Operator with Dual Precision Mode", RTCSA, pp.309-318
4. ARM, "AMBA Specification (Rev 2.0)", IHI 0011A, May 1999 <http://www.arm.com>
5. ALTERA, "Excalibur Devices Hardware Reference Manual", Version 3.1, Nov. 2002 <http://www.altera.com>