

블루투스 베이스밴드의 효율적인 FEC 설계

문상국

목원대학교 전자공학과

Design of Efficient FEC for Bluetooth Baseband

Sangook Moon

Mokwon University, Department of Electronic Engineering

E-mail : smoon@mokwon.ac.kr

요 약

블루투스 베이스밴드에서는 송신단과 수신단의 데이터의 모뎀 인터페이스와 맞물려 FEC (Forward Error Check)를 수행한다. 잘 설계한 FEC는 데이터 페이로드의 재전송 효율성과 직결되기 때문에 FEC 설계방식이 매우 중요하다. 본 논문에서는 하드웨어의 효율성을 높이고 면적을 줄이기 위하여 1/3와 2/3 방식의 FEC를 설계하였다. 패킷 헤더는 항상 3번 반복 방식의 1/3 rate FEC로 설계하였고 2/3 FEC는 (15, 10) 방식의 축약 해밍코드를 기반으로 하여 각각의 데이터 패킷에 적용하였다. 설계한 하드웨어 FEC는 Verilog HDL로 기술하고 검증하여 자동 합성방식으로 합성하였다. 합성된 하드웨어 FEC는 기준으로 삼는 베이스밴드 마이크로컨트롤러의 동작주파수인 40MHz에서 정상적으로 동작하였다.

ABSTRACT

Bluetooth baseband performs FEC (forward error check) at the interface of transmitter and receiver modem. Well-designed FEC means directly the efficiency of retransmission of the data payload therefore design optimization is very important. In this paper, we designed an optimal 1/3, 2/3 type of FEC. 1/3 FEC, which performs 3 times customary repetition was designed for packet header, and 2/3 FEC was designed for data packets with (15, 10) reduced hamming code. The proposed hardware FEC block was described and verified using Verilog HDL and later to be automatically synthesized. The synthesized FEC block operated at 40Mhz normal clock speed of the target baseband microcontroller.

키워드

무선통신, 베이스밴드, FEC, error check

1. 서 론

블루투스 기술은 작고 저렴한 가격, 저전력 소모로 근거리 송수신기를 소형 이동형 디바이스에 직접 또는 어댑터를 통해 탑재되어 무선 환경을 제공하는 무선 통신 규약 중 하나이며, IEEE 802.15에 표준화되어 있으며 현재 버전 1.2까지 발전하였다. 무선 환경은 세계적으로 이용이 가능한 전역 주파수 대역인 2.4Ghz 밴드를 이용하고 모드에 따라 약 700kbps 까지의 전송 속도를 지원하며 3개의 음성 채널을 지원한다. 또한 이동성을 고려하여 다

양한 전력 소비 모드도 가지고 있다. 도달 거리에 따라서도 지원 가능한 거리를 나누어 각각 다른 모드로 동작할 수 있다. 1994년 에릭슨의 이동통신 그룹에서 휴대폰과 주변기기들간의 소비전력이 적고 가격이 저렴한 무선 인터페이스를 연구하기 시작한 것이 그 시초이다. 현재 블루투스 SIG에 참여하고 있는 회사들은 모토로라, 마이크로소프트, 루슨트테크놀로지, 3COM과 설립 그룹인 에릭슨, 노키아, IBM, 도시바로 구성되어 있다.

블루투스의 구조는 물리층을 규정하는 RF, 호핑 패턴 및 통신 제어를 담당하는 베이스밴드, 패킷의

- 1/3 FEC
- 2/3 FEC
- 데이터를 위한 ARQ

FEC를 사용하는 목적은 데이터를 재전송하는 회수를 최소화하기 위해서이며, 베이스밴드 내에서는 그림 2와 같은 구조에 위치한다. 하지만, 이상적으로 에러가 존재하지 않는 통신채널이라면 FEC는 불필요하게 재전송되는 것을 방지하기 위해서 유연하게 선택되어질 수 있다. 패킷 헤더는 항상 1/3 FEC을 사용하여 매 전송시마다 세 번 전송하여야 한다.

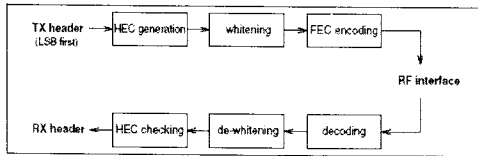


그림 2. 헤더 비트 프로세스
Fig. 2. Header bit process

1. 1/3 FEC

단순히 그림 3와 같이 똑같은 비트를 세 번 전송을 반복하는 FEC를 1/3 FEC이라고 한다.

이는 모든 패킷의 헤더 전송에 매번 사용되며, HV1 패킷의 동기화된 데이터 부분에도 사용된다.

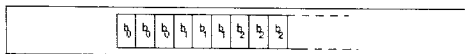


그림 3. 반복-비트 인코딩 방법
Fig. 3. Bit-repetition encoding scheme

2. 2/3 FEC

다른 하나의 FEC 방법은 (15, 10) 축약 해밍코드를 사용하는 방법이다. 블루투스 표준에서 제시하는 생성다항식은 $g(D) = (D+1)(D^4 + D+1)$ 이다. 이 생성다항식을 만족시키기 위한 하드웨어는 그림 4와 같다. 두 개의 스위치가 있어 10비트가 입력된 후 스위치가 바뀌어 15비트를 만드는 방식으로 인코딩을 수행한다.

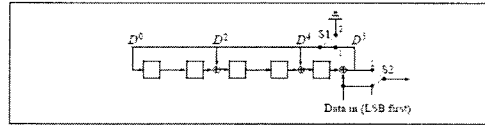


그림 4. (15, 10) 해밍코드를 생성하는 쉬프트 레지스터 블록도
Fig. 4. Shift registers generating the (15, 10) shortened Hamming code

IV. 구현 및 시뮬레이션

FEC 회로는, 블루투스 표준에서 제안하는 생성다항식 $g(D) = (D+1)(D^4 + D+1)$ 을 사용하여 구현하였다 [3].

FEC 회로는 HDL을 사용한 탑다운 설계방식을 사용하였다. 회로 소자의 개수가 많지 않기 때문에, 합성 옵션으로 ungroup 옵션을 사용하여 모든 세부 모듈을 최하위 게이트 레벨로 풀어서 합성하였다. FPGA는 Altera StratixII를 사용하였고, Altera에서 제공하는 QuartusII 자동 합성기를 사용하였다. 시뮬레이션의 최악 조건은 2.3V, 섭씨 100도이다.

검증은 C 프로그램으로 구현한 good model의 FEC 모듈의 출력과 HDL 시뮬레이터에서 발췌한 결과값이 일치하는지를 1만개의 테스트벡터로 확인하였다. 그림 5는 Altera 합성기를 사용하여 회로로 구현된 게이트와 로직 블록의 사용 회수를 나타낸다.

Flow Status	Successful - Wed Oct 15 02:21:16 2008
Quartus II Version	5.0 Build 148 04/26/2005 SJ Full Version
Revision Name	fec23
Top-level Entity Name	fec23
Family	Stratix II
Met timing requirements	Yes
Total ALUTs	6 / 12,460 (< 1 %)
Total registers	5
Total pins	6 / 343 (1 %)
Total virtual pins	0
Total memory bits	0 / 419,328 (0 %)
DSP block 9-bit elements	0 / 96 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)
Device	EP2K10K10K10
Timing Models	Preliminary

그림 5. 합성된 회로의 로직게이트 사용률
Fig. 5. Logic gate usage of the implemented circuit

FPGA 소자로는 StratixII를 사용하였다. 쉬프트 레지스터가 포함되므로 FPGA 내의 레지스터 소자가 사용된 것을 볼 수가 있다. 합성한 회로를 포스트 레이아웃하여 게이트 시뮬레이션을 수행하였다. 시뮬레이션 결과는 그림 6과 같다. 클럭 주기는 타겟 베이스밴드의 40Mhz 주파수를 맞추기 위하여 25ns를 사용하였으며, 2/3 FEC을 위하여 sw 입력을 바꿔가며 시뮬레이션을 수행하였다. FEC 결과 10비트의 입력이 15비트로 출력되는 것을 볼 수가 있다.

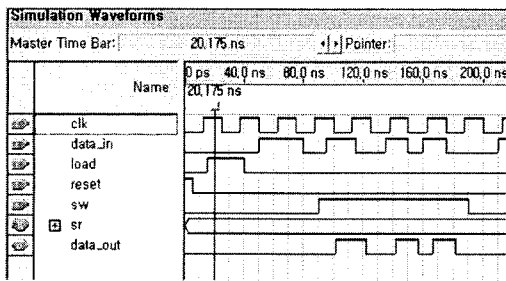


그림 6. 화이트닝 블록의 시뮬레이션 파형
Fig. 6. Simulation waveform of the implemented whitening block

V. 결 론

FEC는 데이터 전송 시 발생할 수 있는 에러를 최소한의 하드웨어 오버헤드를 소비하여 최소화할 수 있는 방식으로, ARQ 방식에 비해 더 많은 수의 잉여 비트를 추가하여 에러 검출과 경우에 따라서는 에러 정정 기능까지 가진다. 이러한 FEC을 구현하기 위해 데이터의 오류 복구를 보장하는 것은 물론 가능한 작은 면적으로 정상적으로 동작해야 한다. 본 논문에서는 헤더 부분으로 1/3 FEC를, 데이터 부분에 2/3 FEC를 적용하여 효율적인 데이터의 오류 정정을 수행할 수 있도록 한다. 본 논문에서는 이러한 FEC를 FPGA로 구현하여 칩 레벨의 포스트-레이아웃 레벨에서 시뮬레이션 하여 정상적인 동작을 검증하였다. 구현된 FPGA 상의 2/3 FEC 블록은 타겟 주파수인 40Mhz에서 정상적으로 작동하였다.

참고문헌

- [1] Das, A. et al., "Adaptive link-level error recovery mechanisms in Bluetooth," Personal Wireless Communications, 2000 IEEE International Conference on , 17-20 Dec. 2000 pp. :85~89
- [2] Cheol-Hee Park et. al., "Design and implementation of error control algorithms for Bluetooth system: open-loop and closed-loop algorithms," Consumer Electronics, 2000. ICCE. 2000 Digest of Technical Papers. International Conference on , 13-15 June 2000, pp. 302~303
- [3] <http://www.bluetooth.com>