

MicroTec을 이용한 MOSFET 전송 특성 분석

한지형 · 정학기 · 이재형 · 정동수 · 이종인 · 권오신
군산대학교 전자정보공학부

Analysis of the MOSFET Transport Characteristics using MicroTec Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee · Ohshin Kwon
School of Electronic and Information Eng., Kunsan National University
E-mail : hkjung@kunsan.ac.kr

요 약

본 연구에서는 MicroTec을 이용하여 MOSFET 전송 특성을 분석하였다. MicroTec의 SemSim은 디바이스 시뮬레이터로써 입력 바이어스에 의해 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다. 소자에 대한 스케일링은 정전압 스케일링을 사용하였고, 채널의 길이는 100nm, 50nm, 25nm 로 변화하면서 비교 분석하였다. MicroTec의 이동도 모델중 Lombardi, Constant, Yamaguchi 모델을 선택하여 이동도 모델을 비교하였다. 전류-전압 특성 곡선을 비교하였을 때 Lombardi 모델과 Yamaguchi 모델보다 Constant 모델에서 결과값이 높게 나타나는 것을 알 수 있었다. 또한 MicroTec의 유용성을 조사하여 시뮬레이터로서 적합함과 나노구조 소자의 스케일링 이론의 적합함을 보았다.

I. 서 론

1930년에 FET(field effect transistor)의 기본 개념이 도입된 이후 집적회로들의 일부분이 되어졌고, 현재 전자산업에 있어서 가장 중요한 소자가 되었다. 그리고 지난 20년 동안 CMOS(complementary metal oxide semiconductor) 기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 기본적인 물리적 한계에 도달하게 되었는데, 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고, 최근 MOS 소자들이 50nm이하로 작아짐에 따라 전류-전압 특성의 열화 및 기생 커패시턴스에 의한 성능 감쇠 등이 나타나게 되었다. 소스와 드레인 접합깊이가 얇아지면 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 된다. 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레인 접합부근에서 전계가 높아지게 되어 핫 캐리어 효과(hot carrier effect)가 일어난다[1][2]. 채널길이가 작아짐에 따라, 바이어스 전압을 비례해서 줄일 수 있는 것이 아니다. 그래서 접합전계들은 더 커지게 된다. 전계가 증가함에 따라 에벌런치 항복이

나 펀치스루(punch through) 효과들이 더 심하게 된다. 게다가 소자의 기하학적 구조와 규모가 축소됨에 따라 기생효과 및 2차효과들이 더 뚜렷이 나타나고 항복효과들이 증가한다. 항복효과를 감소시키는 한 가지 방법은 드레인과 소스 접합의 전계를 감소시켜 주는 것이다. 이것은 저농도 도핑을 함으로써 얻을 수가 있다.

II. 스케일링 이론

초기 집적회로에서 VLSI의 칩 속에 많은 트랜지스터를 넣으려면 트랜지스터의 크기를 줄여야 한다. 같은 면적의 반도체에 많은 소자를 집적시킴으로써, 큰 시스템을 작게 만들 수 있고, 또한 현대의 시스템에서 저가격이 되는 근본 이유이다. 이것이 트랜지스터 크기를 줄여야 하는 가장 큰 이유이다. 그러나 더 중요한 것은 동작속도 측면이다. 트랜지스터의 크기가 작아진다는 것은 소스와 드레인 간의 거리가 줄어든다는 의미이고, 이 짧아진 거리는 캐리어가 통과하는 시간이 줄어들기 때문이다. 또 크기가 작아진 만큼 기생 저항과 기생 용량 또한 줄어들므로 같은 전류 수준에서 동작하는 회로의 동작이 빨라지게 된다. 그러나 이와 같은 단순한 소형화에는

물리적인 제약 조건이 따른다. 우선 소스와 드레인 사이가 너무 가까워지면서 펀치스루 현상이 일어날 수 있으므로 기판의 도핑 농도를 높이는 것이 요구된다. 또한 주어진 동작 전압에서 산화막의 두께가 너무 얇아지면 항복이 일어나므로, 산화막이 너무 낮은 두께를 갖지 않도록 하는 것이 요구된다. 이러한 스켈링에 대한 이론은 이미 1970년대 초에 정립되었다. 1973년 Dennard는 정전계 스켈링 이론의 기초 모델을 제시하였다. 5 μ m 소자를 1 μ m 소자로 스켈링 하여 비교하였다. 이것은 디바이스의 중요한 파라미터들이 주어진 조건에 맞게 스켈링되면 MOS 디바이스의 특성과, 기본적인 동작특성이 유지될 수 있다는 것을 보여주고 있다[3][4].

정전계 스켈링을 사용하면 표면에 대해서 수직인 방향을 포함하는 모든 물리적인 규격과 디바이스 전압, 집적도들을 적용해서 스켈링 인자를 얻어진다. 그 이후 회로 설계와의 호환을 위해 전력 공급 전압이 소자크기보다 덜 축소되는 실제 상황을 고려하는 두 가지 접근방식 즉, 정전압 스켈링과 의사 정전압 스켈링이 제한되기도 하였다. 또한 수직 스켈링, 평면 스켈링 등 몇 가지 접근방법이 제안되기도 하였다.[5] 본 논문에서는 정전압 스켈링 방법을 사용하였다. 채널의 길이가 100nm일때를 기준으로 채널이 길이가 50nm일때 스케일링 인수를 2로, 25nm일때는 스케일링 인수를 4로 선택하였다. 스케일링 규칙에 의해서 도핑의 농도는 $N_{A,D} \times S^2$ 으로 값을 변경하였고, 게이트 산화막 두께는 $\frac{t_{ox}}{S}$ 로 변경하였다. 스케일링 이론을 사용한 각 파라미터 값의 변화는 표 1에 나타내었다.

표 1. 채널길이에 따른 도핑농도와 산화층의 두께

채널길이		100nm	50nm	25nm
도핑 농도 (/cm ³)	Drain	6.25×10 ¹⁴	2.5×10 ¹⁵	1×10 ¹⁶
	Source	6.25×10 ¹⁴	2.5×10 ¹⁵	1×10 ¹⁶
	Ldd	1.1×10 ¹²	4.4×10 ¹²	9.9×10 ¹²
산화막 두께(μ m)		0.01	0.005	0.003

III. 시뮬레이션 방법 및 결과

MOSFET의 채널 영역에 고 전계가 인가되면 반도체와 절연체 사이에 캐리어들이 강하게 서로 작용하며, 캐리어는 표면 음향(Acoustic) 양자 산란과 표면 거칠음(Roughness) 산란이 지배적이게 된다. 이러한 작용에 의해서 이동도의 저하가 발생하게 된다. MicroTec 의 3가지 이동도 모델을 사용하여 전류-전압 특성 곡선을 비교하였다. 각 모델의 파라미터는 표에 요약하였으며 사용되어진 파라미터 데이터는 MicroTec의 기본값을 사용하였다.

표2. Constant 모델 파라미터

Symbol	Default	Units
$\mu_{n,0}$	1000	cm ² /V · s
$\mu_{p,0}$	500	cm ² /V · s

표3. Yamaguchi 모델 파라미터

Symbol	Default	Units
μ_{n0}	1.4×10 ³	cm ² /Vs
S_n	350	none
N_{rn}	3×10 ¹⁶	cm ⁻³
α_n	1.54×10 ⁻⁵	cm/V
v_{sn}	1.036×10 ⁷	cm/s
G_n	8.8	none
v_{cn}	4.9×10 ⁶	cm/s
μ_{p0}	480	cm ² /V · s
S_p	81	none
N_{rp}	4×10 ¹⁶	cm ⁻³
α_p	5.35×10 ⁻⁵	cm/V
v_{sp}	1.2×10 ⁷	cm/s
G_p	1.6	none
v_{cp}	2.928×10 ⁶	cm/s

Yamaguchi 식은 다음과 같다.

$$\mu_n(N, E_i, E_t) = \mu_1(N, E_i) \left\{ 1 + \frac{\left(\frac{\mu_1 E_t}{v_c} \right)}{G + \left(\frac{\mu_1 E_t}{v_c} \right) + \left(\frac{\mu_1 E_t}{v_s} \right)^2} \right\}^{-1/2} \quad (1)$$

$$\mu_1(N, E_i) = \mu_0 \left(1 + \frac{N}{N_r + \frac{N}{S}} \right)^{-1} (1 + \alpha |E_i|)^{-1/2} \quad (2)$$

표4. Lombardi 모델 파라미터

Symbol	Default	Units
B	9.93×10^7	cm/s
C_o	8.84×10^5	none
θ	3.17×10^{-2}	none
μ	44.9	$\text{cm}^2/\text{V} \cdot \text{s}$
μ_{max}	470	$\text{cm}^2/\text{V} \cdot \text{s}$
μ_1	29	$\text{cm}^2/\text{V} \cdot \text{s}$
C_r	2.23×10^{17}	cm^{-3}
C_s	6.10×10^{20}	cm^{-3}
P_c	9.23×10^{16}	cm/s
α	0.719	none
β	2.0	none
γ	2.2	none
δ	2.05×10^{14}	V/s
β_{sat}	1.0	none
V_{sat}	1.07×10^7	cm/s

Lombardi 모델은 두 개의 방정식으로 구성되어 있다. 첫 번째는 표면 비대칭 양자 산란에 의해 캐리어 이동도가 제한된다.

$$\mu_{ac}(E_t, T) = \left(B \frac{T}{E_t} + \frac{C_o N^\theta}{E_t^{1/3}} \right) \quad (3)$$

$$\mu_b(N, T) = \mu_0 + \frac{\mu_{\text{max}}(T) - \mu_0}{1 + \left(\frac{N}{C_r}\right)^\alpha} - \frac{\mu_1}{1 + \left(\frac{C_s}{N}\right)^\beta} \quad (4)$$

$$\mu_{\text{max}}(T) = \mu_{\text{max}} \left(\frac{T}{300} \right)^{-\tau}$$

두 번째는 표면 거친 산란에 의해서 캐리어 이동도를 제한하는 것이다.

$$\mu_{sr} = \frac{\delta}{E_t^2} \quad (5)$$

IV. 시뮬레이션 결과

그림 1은 채널길이가 100nm, 50nm, 25nm 일 때의 포텐셜 분포이다. 그림에서 알 수 있듯이 드레인 영역에서 포텐셜 분포가 증가하고 있는 것을 볼 수 있다. 채널 길이가 짧아짐에 따라 포텐셜 분포가 크게 나타나는 것을 알 수 있다. 채널 길이가 100nm에서 25nm로 짧아지면서 드레인 과 소스의 도핑농도를 $6.25 \times 10^{14}/\text{cm}^3$ 에서 $1 \times 10^{16}/\text{cm}^3$ 로 증가 시켰고, LDD의 도핑농도도 $1.1 \times 10^{12}/\text{cm}^3$ 에서 $9.9 \times 10^{12}/\text{cm}^3$ 로 증가시켰다.

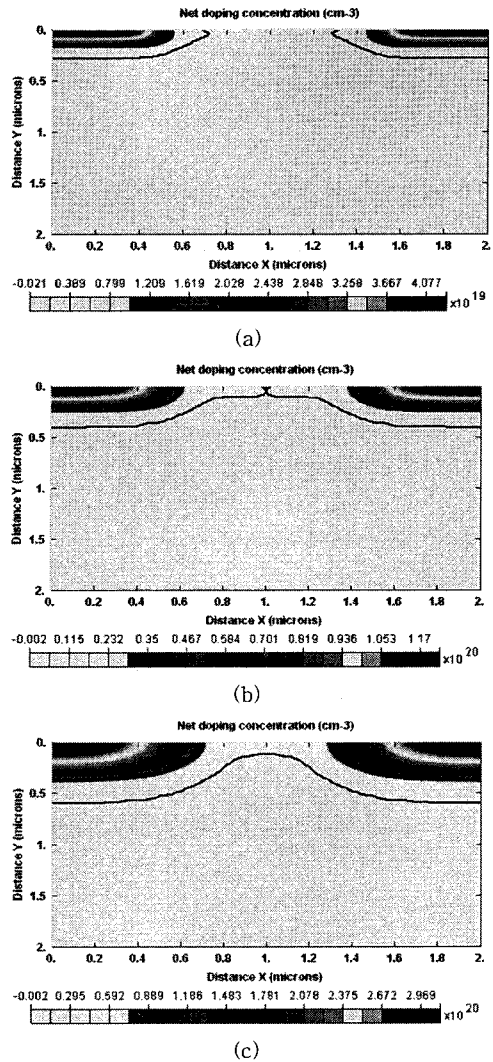
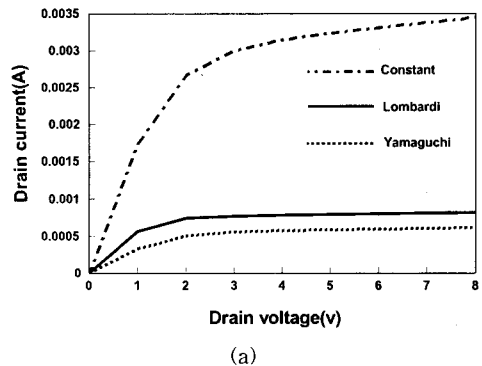


그림 1. 포텐셜 분포

(a) 채널길이가=100nm, (b) 50nm, (c) 25nm



(a)

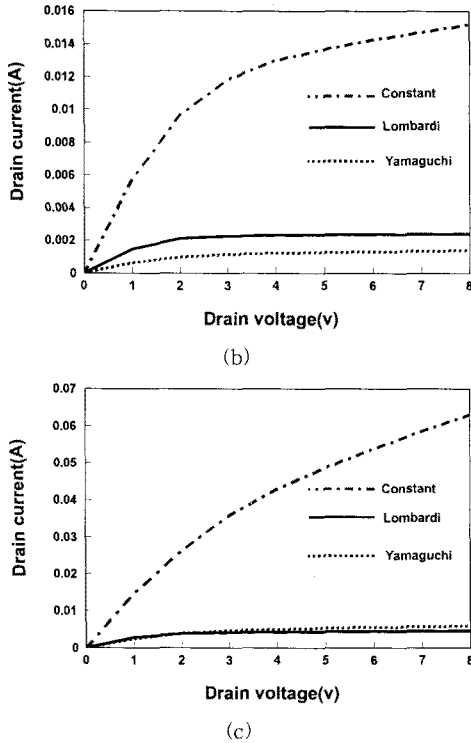


그림 2. 전압-전류 특성 곡선
(a) 채널길이=100nm, (b) 50nm, (c) 25nm

그림 2는 채널 길이에 따른 이동도 모델의 전압-전류 특성 곡선이다. 사용한 바이어스로는 소스는 0V, 기판 0V, 드레인은 0V에서 1V씩 증가하여 8V까지 증가시켰으며 게이트는 3V를 사용하였다. 채널의 길이가 짧아 질수록 드레인에 흐르는 전류가 증가함을 알 수 있었고, Constant 모델의 경우 다른 두 모델에 비해 출력값이 높게 나타남을 볼 수 있다. Lombardi 모델과 Yamaguchi 모델은 채널의 길이가 100nm 일 때는 전류의 크기가 어느정도 차이가 있지만 25nm 일 때는 거의 일치하는 것을 알 수 있었다. 정확한 실험 데이터와 비교 할 수 없으므로 어떤 이동도 모델이 정확하다고 말할 수 없으며, 단지 Constant 모델이 Lombardi 모델과 Yamaguchi 모델 값보다 더 큰 출력값을 나타남을 알 수 있었다.

V. 결 론

본 연구에서는 MicroTec을 이용하여 MOSFET 전송 특성을 분석하였다. 채널의 길이를 100nm에서 25nm로 변화시키기 위하여 정전압 스케일링을 사용하였고, MicroTec의 3가지 이동도 모델을 비교하였다. 채널의 길이가 짧아 질수록 드레인에 흐르는 전류가 증가함을 알 수 있었고, MicroTec의 3가지 이동도 모델중 Constant 모델이 Lombardi 모델과 Yamaguchi 모델보다 출력값이 더 높게 나타남을 볼 수 있었다. 채널의 길이가 25nm일 때 Lombardi 모델과 Yamaguchi 모델의 출력값이 거의 일치하게 나타내어짐을 볼 수 있었다.

참 고 문 헌

- [1] Seong-Dong Kim, Chel-min park and Jason C. S. Woo, advanced Model Analysis of series Resistance for CMOS Scaling Into Nanometer Regime-part I : Theoretical Derivation, IEEE Trans. Electron Dev., Vol. 49, No.3, March pp. 457-466, 2002.
- [2] 심성택, 임규성, 정학기, "나노 구조 소자 시뮬레이션을 위한 상용 시뮬레이터의 비교 분석", 한국해양정보통신학회논문지, Vol.6, No.1, pp103-108, 2002.
- [3] R. H. Dennard et al. in Semiconductor Silicon Electrochemical Society, (H. R. Huff and R. R. Burgess, eds.), 1973
- [4] R. H. Dennard, F. H. Gaensslen, H. M. Yu, V. L. Rideout, E. Bassons, and A. R. LeBlane, "Design of Ion-implanted MOSFET's with Very Small physical Dimensions", IEEE J. Solid-state circuits, vol. SC-9, No.5, Oct., pp. 256-268, 1974.
- [5] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized Scaling Theory and its application to a 1/4 micrometer MOSFET Design", IEEE Trans Electron Devices, pp. 452-462, 1984