

# LCD 제조 공정 개발

허창우\*

\*목원대학교 전자·공학과

The Development of the Process for LCD Fabrication

Chang-wu Hur\*

\*Dept. of Electronic Engineering, Mokwon Univ.

E-mail : chang@mokwon.ac.kr

## 요 약

본 연구는 LCD 용 비정질 실리콘 박막 트랜지스터의 제조공정에서 가장 중요한 광 식각 공정을 중심으로 전체 공정을 개발하고, 공정의 안정성을 개선하여 소자의 신뢰성을 높이고자 한다. 본 연구의 수소화된 비정질 실리콘 박막 트랜지스터는 Inverted Staggered 형태로 게이트 전극이 하부에 있다. 실험 방법은 게이트전극, 절연층, 전도층, 에치스토퍼 및 포토레지스터층을 연속 증착한다. 스토퍼층을 게이트 전극의 패턴으로 남기고, 그 위에 n<sup>+</sup>-Si:H 층 및 NPR(Negative Photo Resister)을 형성시킨다. 상부 게이트 전극과 반대의 패턴으로 NPR층을 패터닝하여 그것을 마스크로 상부 n<sup>+</sup>-Si:H 층을 식각하고, 남아있는 NPR층을 제거한다. 그 위에 Cr층을 증착한 후 패터닝하여 소오스-드레인 전극을 위한 Cr층을 형성시켜 박막 트랜지스터를 제조한다. 여기서 각 박막의 패터닝은 광 식각 공정으로 각 단위 박막의 특성에 맞는 광식각 공정이 필요하다. 제조한 박막 트랜지스터에서 가장 흔히 발생하는 문제는 주로 광식각공정시 발생하며, PR의 잔존이나 세척 시 얇은 화학막이 표면에 남거나 생겨서 발생되기도 하며, 이는 소자를 파괴시키는 주된 원인이 될 수 있다. 이와 같이 공정에 보다 엄격한 기준의 PR 패터닝, 박막의 식각 그리고 세척 등의 처리공정을 정밀하게 조절하여 소자의 특성을 확실히 개선 할 수 있었다.

## I. 서론

현재 비정질 실리콘은 광전변환 소자 및 대면적 박막소자에 널리 이용되고 있다. 특히 평판디스플레이(flat panel display: FPD) 기술을 선도하고 있는 active matrix LCD 의 스위칭 소자로써 a-Si:H TFT 그리고 contact image sensor, solar cell 등의 재료로써 널리 응용되고 있다.

TFT-LCD를 대형화, 고정세화하면 공정이 복잡해지고 결함이 많이 발생되며 소자의 특성이 저하되는 결과를 초래한다.

TFT의 특성을 개선시키기 위해서는 광 식각 공정을 엄격히 관리하고 검사를 철저히 수행 할 필요가 있다.

본 논문에서는 LCD 용 TFT를 기존의 방식에 비하여 보다 철저한 광식각 공정 및 검사공정을 채택하여 적용함으로써 수소화 된 비정질 실리콘 박막

트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 특성을 개선하고자 한다.

## II. 광 식각 공정

본 연구의 광 식각 공정은 반도체 제조공정에서 미세 pattern 을 형성시키는 작업으로 수  $\mu\text{m}$  의 패턴을 형성할 수 있다는 점에서 중요한 위치를 차지하고 있다. 특히 TFT 제조공정에서는 웨이퍼가 아닌 유리 위에 비정질실리콘을 증착시켜서 반도체 제작을 수행하므로 종래의 반도체 제조공정에 사용되는 광식각 공정 작업은 비정질 반도체제조 공정에 맞게 수정되고, 공정이 개발되어야 한다.

각 증착된 기판 별 광식각 공정 조건은 각 기판의 성질, 즉 기판이 반사율이아 미세 패턴의 정도를 고려하여야 한다. 또한 선택한 마스크 정렬기의 종류

나 포토리지스트의 종류, 두께 그리고 광 조사의 세기 및 광량 등도 각 고정 별 공정조건 수립의 중요한 요소이다. 더욱이 TFT 제조공정은 대면적 유리를 기관으로 사용하기 때문에 정열기의 정확도와 그 해상도는 소자에 큰 영향을 미치게 되며, 소자의 수율에 지대한 관계가 있다.

본 연구의 광식각 공정은 현재 반도체의 광식각 공정 작업을 출발점으로 하여, 각각의 공정 수립을 해 나간 결과이다. 사용된 마스크 정열기는 대면적용 접촉식 및 근접 정열기 이며, 포토리지스트(PR)는 포토티브 PR 이며, 이는 스피ن 코우터로 코우팅 하여 사용하였다.

### III. 각 박막의 패턴

#### 가) ITO 패턴

ITO 는 투명 도전막으로 ITO 가 증착되어 있는 유리를 사용한다. ITO 는 그 면 저항에 따라  $10 \Omega/\square$  및  $100 \Omega/\square$ 의 두 개가 있고 각각의 두께는  $4000 \text{ \AA}$  과  $50 \text{ \AA}$  이다.

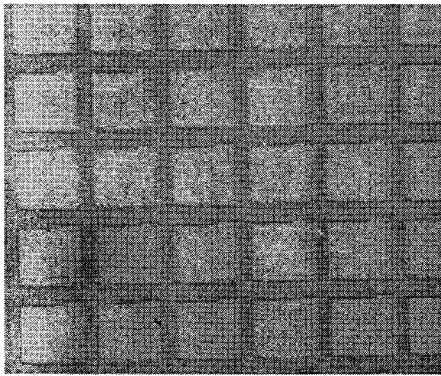


그림1. ITO 패턴 후 TFT array 용 화소 전극의 모습

ITO 위에 포토리지스트는 300 rpm 으로 50초간 프로그램하여 스피ن 코우팅하고 이 PR 의 두께는  $3.0 \mu\text{m}$  정도로 하였다. pre-baking 온도와 시간을 변화시켜가며 패턴의 형상변화를 관찰한 결과  $100^\circ\text{C}$  에서 10분간 한 것이 선명하고 정밀한 패턴을 형성하는 것으로 나타났다. Exposure 의 강도는  $30\text{W}/\text{cm}^2$  로 하였고, 노광시간은 4초로 정하였다. 광식각 공정에 있어서 노광시 빛의 강도와 균일도 그리고 노광시간은 패턴의 정밀도에 큰 영향을 미친다.

#### 나) Cr 전극 형성

증착된 Cr은 두께가  $1500 \text{ \AA}$  정도이며, 포토리지스트의 두께는 3000rpm 으로 회전하여  $3.0 \mu\text{m}$  정도로 한다. Cr은 반사율이 높은 금속이므로 이를 고려하여 노광의 강도를 조정하는 것이 필요하다. 소프트 베이킹은  $100^\circ\text{C}$  에서 10 분으로 하며, 노광시간은  $30\text{mW}/\text{cm}^2$  의 강도로 4초간 노광하면, Cr 게이트를 형성할 수 있다. 포토 리지스트는 양성이며 미세 공정을 위해서는 현상액을 신중히 조절하여야한다. 도한 현상후 하드 베이킹은  $130^\circ\text{C}$  에서 20분간 실시하는데, 이는 습식식각후 포토 리지스트의 strip 용이를 위해서 한다.

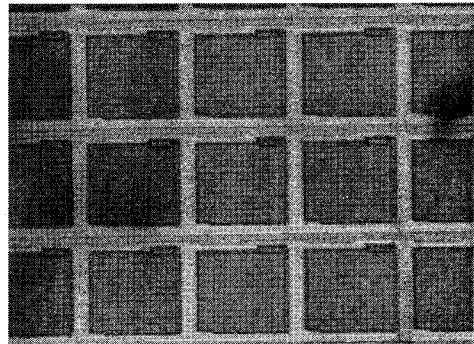


그림2. Cr 전극 형성후 TFT array 용 화소 전극의 모습

#### 다) Etch stopper pattern

ITO 와 Cr 게이트 형성 후 연속 증착된 3개의 비정질층 a-SiN:H/a-Si:H/a-SiN:H 중에서 상부의 비정질 나이트라이드층을 사진 식각하는 공정이다. 이 층은  $1000 \text{ \AA}$  의 두께를 가지며, 적층된 구조이기 때문에 포토 리지스트 도포 후 노광시 높은 강도의 노광이 요구된다. 특히 정렬의 정확성이 필요한데 Cr 게이트 중심부의 etch stopper 는 정렬되어야 하는데 이는 곧, TFT 채널의 길이와 넓이를 결정하는 부분이기 때문이다.  $3.0 \mu\text{m}$ 의 포토 리지스트의 도포와 소프트 베이킹 후  $14 \text{ mW}/\text{cm}^2$  로 10 초간 노광하며 하드 베이킹은  $130^\circ\text{C}$  로 30분간 실시한다.

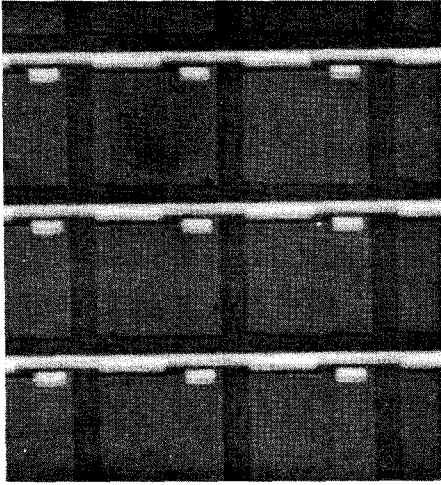


그림3. Etch stopper pattern 후 TFT array 의 게이트 전극의 모습

라) 비정질실리콘 패턴

Etch stopper 패턴 후 n+a-Si:H 증착이 완료된 후 비정질 실리콘층, 즉 a-Si:H 와 n+a-Si:H 층을 동시에 광 식각공정 하는 공정이다.

이 공정은 exposure proximity mode 로 실행하는데 특히 두 층이 5000 Å 이상을 넘어가는 두께를 가지므로 이 위에 3.0 μm의 포토 리지스트가 도포 될 때 그 노광하는 빛의 세기는 강해야한다. 소프트 베이킹은 100°C, 25분으로 하며, 노광 강도는 30mW/cm<sup>2</sup> 로 3초간 실시한다. 하드 베이킹은 130°C 에서 30분간 실시하고 이것을 건 식각공정으로 전달한다.

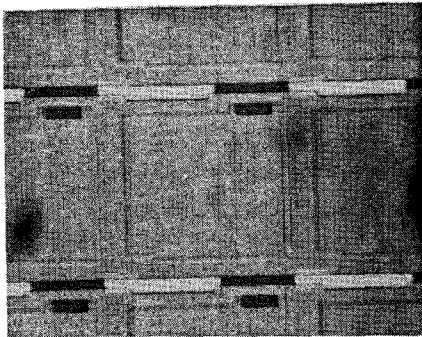


그림4.비정질실리콘 패턴 후 TFT array 의 모습

마) Through-hole 패턴

Through-hole은 화소 단부와 드레인을 연결하는 구멍으로 이 마스크는 다른 마스크와는 달리 Negative mode로 되어있다.

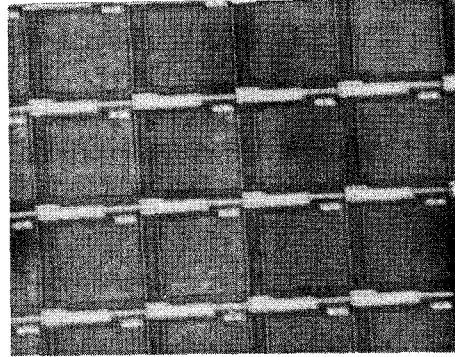


그림5. Through-hole 패턴 후 TFT array 의 모습

화소의 전면을 덮고 있는 비정질 나이트라이드 층에 구멍을 내어 나중에 증착될 Al 층과 contact을 위한 사전 식각공정이다. 양성 포토 리지스트 도포와 소프트 베이킹 후에 30mW/cm<sup>2</sup> 로 10초간 충분히 노광한 후 약간 over development 한다. Through-hole이 확실하게 패턴이 되어야 드레인과의 contact 이 좋아지므로 세심한 주의가 요구된다.

바) Al 패턴

TFT의 소오스와 드레인 부분을 형성하는 사전식각 공정으로 3000 Å 을 패터닝하는 작업이다. 광 식각공정 중 가장 정확한 정렬이 요구되는데 이는 etch stopper 양쪽 부분에 약 1μm 씩 Al 이 위치되어야 하므로 이 정렬은 TFT의 특성화 수율을 좌우한다. 또한 Al 은 반사율이 높은 금속이므로 미세한 패턴의 형성을 위해 노광 강도와 시간은 각각 40mW/cm<sup>2</sup> 로 10초간 노광한다.

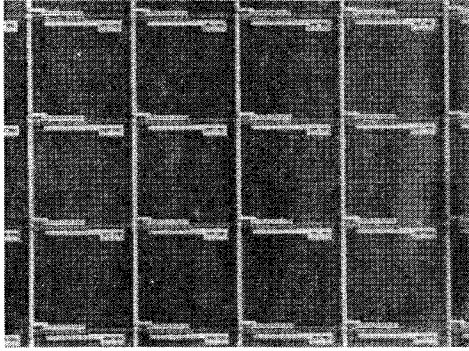


그림6. Al 패턴 후 완성된 TFT array 의 모습

포토 리지스트는 두께와 베이킹 조건은 다른 광 식각공정 조건과 같게 하고, 이는 다음 장에서 실험한 포토 리지스트 두께와 proximity gap 실험의 결과이다. Al 패턴은 소오스와 드레인 전극의 패턴으로써 이러한 Cr 전극 위의 비정질 실리콘 부분에, 특히 etch stopper의 중앙에 정렬되는 정도는 TFT 에 있어 중요하다. 그러므로 이를 위해 Al 의 반사율을 고려하여 포토 리지스트의 두께 및 정렬시 기판과 마스크의 contact 및 proximity mode 에서의 실험이 필요했으며, 이것으로써 최적의 Al 광 식각 공정 조건을 완성할 수 있었다. 다음은 그 실험의 결과이며 그림의 패턴은 resolution pattern 으로 가장 작은 것이 2  $\mu\text{m}$  이다.

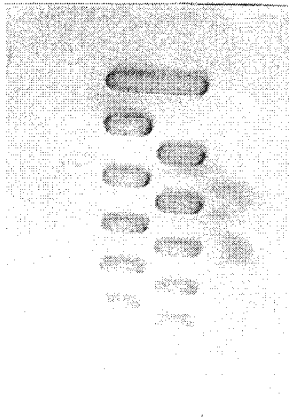


그림7. Resolution pattern

이 결과로 300rpm spinning 조건 (3 $\mu\text{m}$ )으로

contact mode 의 조건으로 한 것이 etch stopper 위에 정확하며 넉넉한 포토리지스트 패턴을 형성하게 되었다. 다음 사진은 전 공정이 완료된 후 각 공정별 resolution pattern 과 alignment key 이다. 이 key는 광 식각공정의 공정정도가 잘되었는지를 나타낸다.

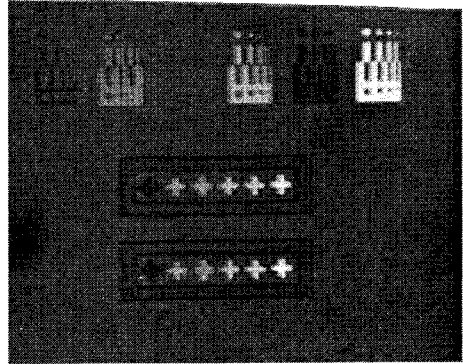


그림8. Resolution pattern 과 alignment key

#### IV. 결론

현재 a-Si:H TFT에 대한 필요성이 LCD 구동용 Transistor ,이미지 Sensor 및 광소자 구동 등에 매우 질실히 요구되며 그 연구가 활발히 진행되고 있다. TFT-LCD를 대형화, 고정세화 하면 공정이 복잡해지고 결함이 많이 발생되며 이로 인해 소자의 특성이 떨어지고 수율이 저하되는 결과를 초래한다.

TFT의 특성 및 수율을 개선시키기 위해서 가장 중요한 공정인 광 식각 공정을 엄격히 관리하고 검사를 철저히 수행 할 필요가 있다.

본 논문에서는 TFT를 기존의 방식에 비하여 보다 철저한 광식각 공정 및 검사공정을 채택하여 적용함으로써 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 수율을 개선하고자 한다.

이렇게 제조한 박막 트랜지스터에서 생기는 문제는 주로 광식각공정시 안정되지 못한 공정 조건 및 PR의 잔존이나 세척 시 얇은 화학막이 표면에 남거나 생겨서 발생되며, 이는 소자를 파괴시키는 주된 원인이 된다. 그러므로 이를 개선하기 위해서는 광 식각 공정을 보다 엄격한 기준으로 공정을 수행하였다. 이와 같이 공정에 보다 엄격한 기준의 조건 과 절차를 확립하여 소자의 특성을 확실히 개선 할 수 있었다.

이상의 실험에서 본 논문에서 사용한 방법으로 a-Si:H TFT를 생산 할 경우 TFT의 특성 및 수율을 개선하여 현재 많은 소자에 이용되고 있는 a-Si:H TFT의 응용폭을 상당히 확대시킬 수 있으리라 생각되며 HDTV의 디스플레이로써 각광을 받고 있는 TFT를 사용한 AM LCD FAX에 사용되고 있는 Contact Image Sensor등에도 적용할 수 있으리라 기대된다.

### 참 고 문 헌

- 1) Chang W. Hur, " Method of Making Thin Film Transistors", United States Patent, Patent No.5,306,653, Apr. 1994.
- 2) J.I. Ryu, S.H. Won, G.J. Jang, C.W. Lee, S.T. Jung and J. Jang, SID'00 Digest, 356~359 (2000).
- 3) Q. Zhu, H. Stiebig, P. Rieve, H. Fischer and M. Bohm, Mat. Res.Soc. Symp. Proc. **336**, 843~848 (1994).
- 4) K. Rosan, IEEE Trans. Electron Devices, **36(12)**, 2923~2927 (1989).
- 5) 이규정,류광렬,허창우, "산화물 반도체 박막 가스센서 어레이의 제조 및 수율 개선", 한국해양정보통신학회 논문지 vol.6,No.2, pp. 315-322, 2002
- 6) 허창우, "강유전성 박막의 형성 및 수소화 된 비정질실리콘과의 접합 특성", 한국해양정보통신학회 논문지 vol.7,No.3, pp. 468-473,2003
- 7) 허창우,이문기,김봉열,"강유전성 PbTiO<sub>3</sub> 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989
- 8) K. Aflatooni, a-Si:H Schottky diode direct detection pixel for large area x-ray imaging, IEEE IEDM, December 7-10, Washington, D.C., 1997.
- 9) H. Ito, T. Suzuki, M. Nobue, Y. Nishihara, Y. Sakai, T. Ozawa and S. Tomiyama," "A-Si:H TFT driven linear image sensor," Mat. Res. Soc. Symp. Proc. **95**, 437~444 (1987).