

임베디드 프로세서의 캐시와 파이프라인 구조 개선 및 저전력 설계

정홍균 · 류광기

한밭대학교 정보통신전문대학원

Cache and Pipeline Architecture Improvement and Low Power Design of Embedded Processor

Hongkyun Jung · Kwangki Ryou

Graduate School of Information and Communication Engineering, Hanbat National University

E-mail : {hkjung, kkryoo}@hanbat.ac.kr

요 약

본 논문에서는 OpenRISC 프로세서의 성능 및 전력 소모 개선을 위해 동적 분기예측 기법, 사원 집합연관 캐시 구조, ODC를 이용한 클럭 게이팅 기법을 제안한다. 동적 분기 예측 기법은 분기 명령에 대해 다음에 실행될 명령에 대한 예측 주소를 지장하는 BTB를 사용하였다. 사원 집합연관 캐시는 네 개의 메모리 블록을 한 개의 캐시 블록에 사상되는 구조로 되어있어 직접사상 캐시에 비해 접근 실패율이 낮다. ODC를 이용한 클럭게이팅 기법은 논리합성 개념인 무관조건의 입출력 ODC 조건을 찾아 클럭 게이팅 로직을 삽입함으로써 동적 소비전력을 줄일 수 있다. 테스트 프로그램을 이용하여 제안한 기법들을 적용한 OpenRISC 프로세서의 성능을 측정된 결과, 기존 프로세서 대비 실행시간이 8.9% 향상 되었고, 삼성 0.18 μ m 라이브러리를 이용하여 동적 전력을 측정된 결과, 기존 프로세서 대비 소비전력을 13.9% 이상 감소하였다.

ABSTRACT

This paper presents a branch prediction algorithm and a 4-way set-associative cache for performance improvement of OpenRISC processor and a clock gating algorithm using ODC (Observability Don't Care) operation for a low-power processor. The branch prediction algorithm has a structure using BTB(Branch Target Buffer) and 4-way set associative cache has lower miss rate than direct-mapped cache. The clock gating algorithm reduces dynamic power consumption. As a result of estimation of performance and dynamic power, the performance of the OpenRISC processor using the proposed algorithm is improved about 8.9% and dynamic power of the processor using samsung 0.18 μ m technology library is reduced by 13.9%.

키워드

클럭 게이팅, BTB 분기예측, 집합연관 캐시, OpenRISC

1. 서 론

최근 수년간 VLSI 회로의 집적도 향상과 반도체 공정기술의 발전으로, 임베디드 프로세서의 성능이 향상되었을 뿐 아니라 이를 응용한 네트워

크, 가전, 이동통신 등 임베디드 시스템에 사용되고 있다. 이러한 시스템의 발전과정에서 다양한 기능과 성능이 시스템에 적용되어 왔으며, 이는 임베디드 프로세서의 발전에 의해서 가능해졌다. 그러나 이러한 프로세서 설계시 성능 향상과 이

로 인한 전력 소모 문제에 대한 고려가 필수적이다. 대부분의 임베디드 프로세서는 정상적인 파이프라인 처리를 위하여 분기 지연을 사용 하지만, 분기 지연으로 인한 파이프라인 처리 지연으로 인해 명령어 낭비가 발생하여 성능을 저해하는 중요 요인이 되고 있다. 시스템이 제공하는 물리적 요인에 제한된 메모리 대역폭에 만족하지 못하는 고성능 마이크로프로세서에서 캐시는 전체의 성능을 좌우하는 가장 기본적인, 그리고 가장 중요한 구성 요소이다. 또한 프로세서의 동적 소비전력의 대부분은 클럭과 데이터패스 관련 회로에서 차지한다. 특히 신호선 가운데 항상 전이가 발생하고 많은 소자와 연결된 클럭에 의한 동적 소비전력을 줄이는 것이 저전력 설계의 핵심이다. 본 논문에서 제안하는 설계 방법은 논리합성 개념인 무관조건의 입출력 ODC 조건을 이용하여 클럭 게이팅 로직을 삽입하는 저전력 설계방법[4]과 BTB를 이용하여 파이프라인 지연을 줄이고 성능을 개선시키는 동적 분기 예측 방법 및 직접사상 캐시의 단점인 높은 접근 실패율을 보완한 사원 집합연관 캐시 구조를 제안한다.

제안하는 저전력 설계 방법과 동적 분기 예측 방법 및 개선된 캐시 구조의 타당성을 검증하기 위해 OpenRISC 프로세서에 적용하였다. 본 논문의 구성은 다음과 같다. 2장에서는 개선된 캐시의 구조에 대해 설명하고, 3장에서는 동적 분기 예측 기법에 대해 설명한다. 4장에서는 ODC 연산을 이용한 클럭 게이팅 기법에 대해 설명하고, 5장에서는 제안한 기법들의 검증 및 성능 평가에 대해 논한다. 마지막으로 6장에서는 본 연구의 결론을 도출한다.

II. 개선된 캐시 구조

개선된 캐시 구조는 사원 집합연관 구조이다. 사원 집합연관캐시는 4개의 메인메모리 블록이 정해진 한 개의 캐시 블록에 사상되는 구조로 되어 있어 직접사상 캐쉬에 비해 접근 실패율이 적다 [1]. 그림 1은 사원 집합연관 캐시 구조를 나타낸다.

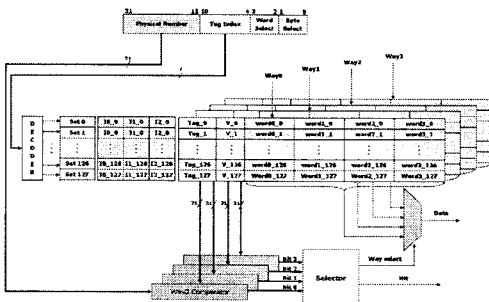


그림 1. 사원 집합연관 캐시의 구조

사원 집합연관 캐시는 크기가 8KB이고 그림 1에서 보는 바와 같이 128개의 라인과 해당라인의 주소 태그와 물리 주소의 태그를 비교하기 위한 비교기, 태그 인덱스를 디코딩하는 디코더, 네 개의 워드를 선택하는 멀티플렉서, Pseudo-LRU 구현기로 구성되어 있다. 한 라인은 캐시의 특징인 공간적 지역성에 의한 네 개의 32비트 데이터, 참조된 주소 태그를 저장하는 21비트 태그, 라인의 유효성을 저장하는 유효비트, 최근에 참조된 집합을 저장하고 있는 3비트 LRU로 구성되어 있다.

사원 집합연관 캐시는 캐시 미스 발생시 사원 집합 중 어느 집합의 라인을 교체해야 하는지 판단해야 한다. 사원 집합연관 캐시는 교체 알고리즘으로 Pseudo-LRU 교체 알고리즘을 사용하였다. Pseudo-LRU 알고리즘은 각 집합별로 LRU 비트를 유지하되, 몇 개의 way를 하나의 군으로 묶어 관리하는 방법이다 [2].

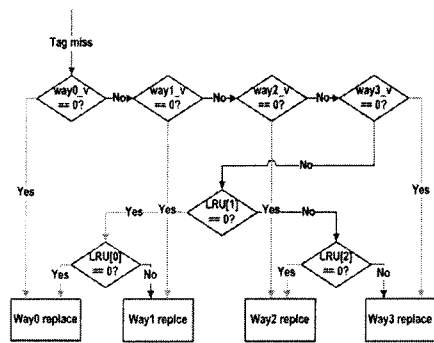


그림 2. Pseudo-LRU 알고리즘에 의한 집합 교체 방식

사원 집합연관 캐시는 그림 2와 같이 캐시 미스 발생시 Pseudo-LRU 알고리즘에 의해 교체 way를 결정한다. 캐시 미스가 발생하면 각 집합의 라인의 유효성을 검사한다. 만약 집합들 중 하나라도 라인이 유효하지 않다면 그 유효하지 않는 집합의 라인을 교체한다. 각 집합의 라인이 유효하다면 Pseudo-LRU 알고리즘에 의해 먼저 LRU비트에서 두 번째 비트(LRU[1])의 값이 '0'인지 검사하여 '0'이면 Way0과 Way1 중 하나를 교체하기 위해 LRU비트에서 첫 번째 비트(LRU[0])의 값이 '0'인지 검사한다. 첫 번째 비트의 값이 '0'이면 Way0의 해당라인을 교체하고, '1'이면 Way1의 해당라인을 교체한다. LRU비트에서 두 번째 비트의 값이 '1'이면 Way2와 Way3 중 하나를 교체하기 위해 LRU비트에서 세 번째 비트(LRU[2])의 값이 '0'인지 검사한다. 세 번째 비트의 값이 '0'이면 Way2의 해당라인을 교체하고, '1'이면 Way3의 해당라인을 교체한다.

III. 동적 분기 예측 기법

제안한 동적 분기 예측 기법은 분기 후 다음에 실행된 명령에 대한 예측 주소를 저장하는 비퍼인 BTB를 사용하였다. 분기 명령어가 수행되면 BTB에 분기 명령어 주소와 목표 주소(Target address)를 저장하고 프로그램 수행 중 같은 주소의 분기 명령어가 다시 수행되면 BTB 엔트리 안에 있는 목표 주소를 사용하여 PC 값을 변경한다. 그림 3은 제안한 동적 분기 예측 기법에서 사용한 BTB 구조이다 [3].

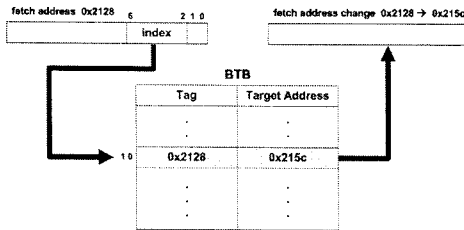


그림 3. BTB 구조

설계된 BTB 모듈 안의 메모리는 현재 32개의 엔트리를 사용하고 있고, 패치 되는 분기 명령어의 주소의 일부분을 주소로 이용하여 저장과 읽기를 수행한다. 분기 예측 동작 흐름은 분기 발생시 컨트롤러의 분기 연산 코드(branch_op)와 PC 제어 유닛의 분기 발생 신호(branch_taken)를 입력받아 모듈 안의 메모리에 분기 명령어 주소와 목표 주소를 저장한 후에 순차적인 명령어 수행 중 같은 주소의 분기 명령어가 발생하면 목표 주소(btb_taget_adree)를 출력하여 PC 값을 대체하고 BTB 사용신호(btb_sel)로 NO-operation이 발생하지 않도록 컨트롤러를 제어한다. 그림 4는 OpenRISC 프로세서에 적용된 BTB의 블록다이어그램이다.

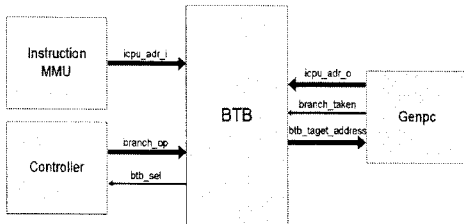


그림 4. BTB 블록다이어그램

IV. ODC 연산을 이용한 클럭 게이팅

시스템에서 동적 전력을 감소시키는데 효과적이고 신뢰할 수 있는 기술은 클럭 게이팅 설계기법이다 [4]. 플립플롭과 레지스터와 같은 순차 회

로들 사이에 클럭의 전송을 차단하는 게이팅 로직을 추가하여 불필요한 스위칭 동작을 제거함으로써 동적 전력 소모를 줄이는 방법이다. ODC 연산을 적용한 모듈은 오퍼랜드 멀티플렉서로서 레지스터 파일에서 두 개의 오퍼랜드를 받아서 산술논리장치(ALU), 로드-스토어 장치(LSU) 등의 모듈에 전달하는 역할을 한다. 그림 6에서 보는 바와 같이 오퍼랜드 멀티플렉서는 선택 신호인 sel_a와 sel_b의 상태에 따라서 실행단계에서 포워드된 데이터(ex_forw), 후기입(write back) 단계에서 포워드된 데이터(wb_forw), 즉시 데이터(simmm), 레지스터 파일에서 전송되는 데이터(rfdataa, rfdatab)중 하나를 선택하여 각각 오퍼랜드 a, 오퍼랜드 b로 출력하는 기능을 한다 [5].

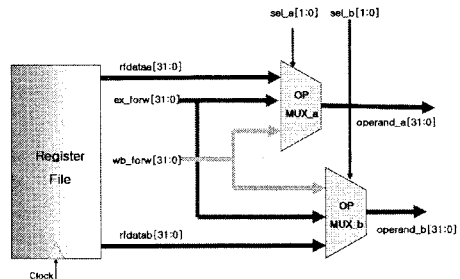


그림 5. 오퍼랜드 멀티플렉서의 구조

ODC 연산을 적용하기 위해서 오퍼랜드 멀티플렉서를 원-핫 멀티플렉서로 수정하였다. 원-핫 멀티플렉서란 선택신호의 비트 수를 입력 데이터의 개수와 같게 하여 선택신호와 입력데이터를 일대일 대응시켜 하나의 비트가 활성화되면 그에 대응하는 입력데이터를 출력하는 기능을 수행하는 데이터 선택 논리회로이다. 수식 (1), (2)는 레지스터 파일에서 입력되는 데이터의 ODC 조건을 보여주며 이를 이용하여 레지스터 파일에 입력되는 클럭과 선택신호를 효율적으로 제어 가능하다. 그림 6은 ODC 연산을 적용한 오퍼랜드 멀티플렉서의 구조를 나타낸다.

- (1) $ODC(rfdataa) = sel_a'$
- (2) $ODC(rfdatab) = sel_b'$

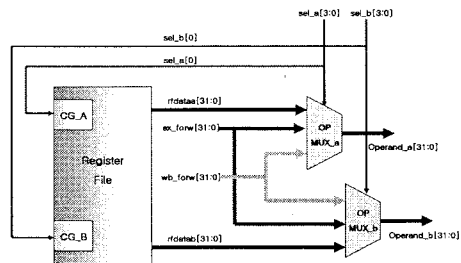


그림 6. ODC 연산을 적용한 오퍼랜드 멀티플렉서 구조

V. 검증 및 성능 평가

제안한 기법들을 검증하기 위해 OpenRISC 프로세서를 사용하였다. OpenRISC 프로세서는 명령어와 메모리 인터페이스가 분리된 하버드 구조와 5단 파이프라인을 채택하며, 메모리 관리 장치와 기본적인 DSP 기능을 지원한다 [6]. 그림 7은 제안된 기법들이 적용된 OpenRISC 프로세서이다.

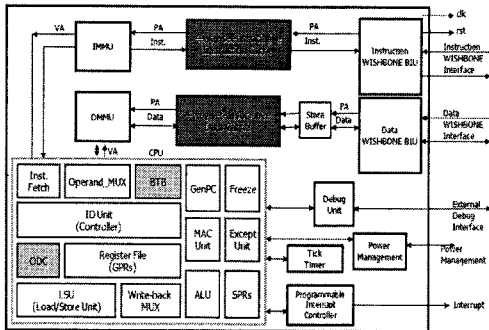


그림 7. 제안한 기법들이 적용된 프로세서 구조

테스트 프로그램을 사용하여 기존의 OpenRISC 프로세서와 제안한 동적 분기 예측 방법, 캐쉬 구조 및 클럭 게이팅 기법을 적용한 프로세서의 성능을 비교하였다. C 소스로 작성된 테스트 프로그램을 크로스 컴파일 하여 실행 이미지 파일을 생성하고, 실행 이미지 파일을 SRAM에 저장하여 프로그램 수행 시간을 비교 하였다. 표 1에서 보는 바와 같이 덧셈 연산과 AC97 코덱을 제어하는 프로그램을 실행한 결과 기존 프로세서에 비해 약 8.9%의 성능 향상을 확인하였다.

표 1. 분기 예측에 따른 프로세서의 성능 비교

테스트 프로그램	OpenRISC 프로세서	제안한 프로세서	성능향상
SUM	110280 ns	104286 ns	5.7 %
AC97	2665021 ns	2446381 ns	8.9 %

제안한 저전력 설계의 동적 전력을 비교하기 위해서 삼성 0.18 μ m 셀 라이브러리를 이용하여 Synopsys사의 Design Compiler와 Power Compiler를 이용하여 각각 로직 합성을 수행하였다. 셀 라이브러리는 기본 셀에 대한 입력 캐패시턴스의 정보를 가지고 있기 때문에 동적 전력소모를 구할 수 있다. 표 2에서 보는 바와 같이 ODC 연산을 이용한 Clock gating 설계기법을 적용한 OpenRISC의 동적 전력이 저전력을 고려하지 않은 OpenRISC에 비해 13.9% 감소한 것을 보여준다.

표 2. 소비전력의 비교

소비전력	OpenRISC 프로세서	제안한 프로세서	차이
셀	28.4339mW	25.0793mW	11.8%
넷 스위칭	10.1973mW	8.1652mW	19.9%
합계	38.6312mW	33.2446mW	13.9%

V. 결론

본 논문에서는 임베디드 프로세서의 성능 향상 및 저전력 설계를 위해 사원 집합연관 캐시, BTB를 이용한 동적 분기예측 기법, ODC를 이용한 클럭 게이팅 기법을 제시한다. 사원 집합연관 캐시는 직접사상 캐시의 단점인 높은 접근 실패율을 보완하고, 동적 분기예측 기법은 파이프라인의 지연을 줄인다. 또한 ODC를 이용한 클럭 게이팅 기법으로 동적 소비전력을 줄인다. 제시한 기법들을 검증하기 위하여 OpenRISC 프로세서에 적용하였고 테스트 응용 프로그램을 이용하여 성능을 측정 한 결과, 기존 프로세서 대비 실행시간이 8.9% 향상 되었고, 삼성 0.18 μ m 셀 라이브러리를 이용하여 동적 전력을 측정 한 결과, 기존 프로세서 대비 소비전력을 13.9% 이상 감소하였다.

참고문헌

- [1] David A. Patterson, John L. Hennessy, Computer Organization and Design 3rd Edition, Morgan Kaufmann Pub, p. 594, 2004
- [2] 이종익, 손승일, 이문기, "캐쉬 메모리에서 True-LRU 알고리즘과 Pseudo-LRU 알고리즘의 성능 비교", 정보과학회논문지 제 23권 제 11호, 1996. 11
- [3] Barry Fagin, Amit Mital, "The Performance of Counter-and Correlation-Based Schemes for Branch Target Buffer", IEEE Trans. Computers, Vol. 44, No. 12, pp.1383~1393, December 1995
- [4] Christian Pignat, Low-Power CMOS Circuits, CRC Pr I Lic, 2006
- [5] Pietro Babighian, Luca Benini, Enrico Macii, "A Scalable Algorithm for RTL Insertion of Gated Clocks Based on ODCs Computation", IEEE Trans. Computer Aided Design of Integrated Circuits and System, Vol. 24, No. 1, pp. 29-42, Jan 2005
- [6] Damjan Lampret, OpenRISC1200 IP Core Specification Revision 0.7, p. 63, 2001