

OpenRISC 기반 멀티미디어 SoC 플랫폼의 ASIC 설계

김신철 · 류광기

한밭대학교 정보통신전문대학원

ASIC Design of OpenRISC-based Multimedia SoC Platform

Sunchul Kim · Kwangki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : suntrekim@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 멀티미디어 SoC 플랫폼의 ASIC 설계에 대해 기술한다. 구현된 플랫폼은 32비트 OpenRISC1200 마이크로프로세서, WISHBONE 온 칩 버스, VGA 제어기, 디버그 인터페이스, SRAM 인터페이스 및 UART로 구성 된다. 32 비트 OpenRISC1200 프로세서는 명령어 버스와 데이터 버스가 분리된 하버드 구조와 5단 파이프라인 구조를 가지고 VGA 제어기는 메모리로부터 읽은 이미지 파일에 대한 데이터를 RGB 값으로 CRT 혹은 LCD에 출력한다. 디버그 인터페이스는 플랫폼에 대한 디버깅 기능을 지원하고 SRAM 인터페이스는 18비트 어드레스 버스와 32비트 데이터 버스를 지원한다. UART는 RS232 프로토콜을 지원하는 시리얼 통신 기능을 제공한다.

본 플랫폼은 Xilinx VIRTEX-4 XC4VLX80 FPGA에 설계 및 검증 되었다. 테스트 코드는 크로스 컴파일러로 생성되었고 JTAG 유틸리티 소프트웨어와 gdb를 이용하여 패러럴 케이블을 통해 FPGA 보드로 다운로드 하였다. 이 플랫폼은 최종적으로 Chartered 0.18um 공정을 이용하여 단일 ASIC 칩으로 구현 되었으며 100MHz 클럭에서 동작함을 확인하였다.

ABSTRACT

This paper describes ASIC design of multimedia SoC Platform. The implemented Platform consists of 32-bit OpenRISC1200 Microprocessor, WISHBONE on-chip bus, VGA Controller, Debug Interface, SRAM Interface and UART. The 32-bit OpenRISC1200 processor has 5 stage pipeline and Harvard architecture with separated instruction/data bus. The VGA Controller can display RCB data on a CRT or LCD monitor. The Debug Interface supports a debugging function for the Platform. The SRAM Interface supports 18-bit address bus and 32-bit data bus. The UART provides RS232 protocol, which supports serial communication function.

The Platform is design and verified on a Xilinx VERTEX-4 XC4VLX80 FPGA board. Test code is generated by a cross compiler and JTAG utility software and gdb are used to download the test code to the FPGA board through parallel cable. Finally, the Platform is implemented into a single ASIC chip using Chartered 0.18um process and it can operate at 100MHz clock frequency.

키워드

SoC Platform, ASIC, Multimedia, OpenRISC

1. 서 론

최근 공정기술의 발달로 인하여 보드 위에서

칩 단위로 존재 하던 특정 기능의 반도체 부품들이 하나의 칩 안에 집적되어 칩 하나가 전체 시스템을 구성하는 다양한 SoC 칩이 설계 되고 있다. 그 가운데서 휴대폰을 비롯한 PDA, 디지털

카메라, DVD 플레이어, 디지털 TV 등 다양한 멀티미디어 전기 전자 제품에 사용되는 SoC 칩에 대한 수요가 기하급수적으로 증가하고 있다.

본 논문에서는 멀티미디어 SoC 플랫폼의 ASIC 설계에 대해 제안한다. 구현된 SoC 플랫폼은 그림 1과 같이 전체 시스템을 제어하는 OpenRISC 32비트 RISC 프로세서, 외부메모리와 데이터를 주고받기 위한 SRAM 인터페이스, 외부와의 직렬 통신을 위한 UART, 시스템 디버깅과 프로그램 적재를 위한 디버그 인터페이스, 이미지 디스플레이를 위한 VGA 제어기 등의 주변장치와 WISHBONE 온 칩 버스로 구성된다.

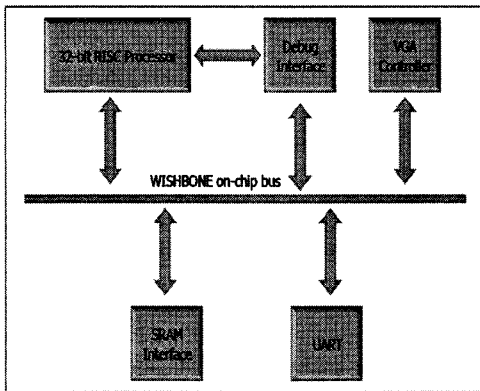


그림 1. SoC 플랫폼 구조

II. 32비트 RISC 프로세서

제안된 플랫폼에 사용된 32비트 RISC 프로세서는 OpenRISC1200으로서 Verilog HDL 언어로 기술되었고 합성가능하다. OpenRISC 1200 프로세서는 명령어/데이터 버스 및 메모리가 분리된 하버드 (Harvard) 구조로 된 MIPS 기반 32비트 RISC 프로세서이다. RISC 프로세서의 특징에 맞게 5단 파이프라인 구조를 채택 하였으며, 임베디드시스템을 타깃으로 실시간 운영체제 지원을 위한 메모리 관리 장치 (MMU)를 지원하고 프로세서 내에 곱셈 및 누산기 (MAC) 유닛을 통해 기본적인 DSP 기능을 지원하고 있다. 또한 프로세서 내부의 로직들의 게이트 수가 비교적 작고, 저전력을 위한 파워 관리 블록과 외부 시스템과의 인터페이스를 통한 쉽고 빠른 디버깅 환경, 프로그램 가능한 인터럽트 인식 및 처리, WISHBONE 표준 인터페이스를 통해 명령어 및 데이터 인터페이스를 구성하여 쉽게 IP들의 추가 및 수정이 가능하다 [1][2].

그림 2와 같이 OpenRISC 프로세서는 명령어 캐시와 데이터 캐시가 있다. 두 개의 캐시는 1-way direct-mapped 방식의 구조로 설계되어 있는데 캐시 메모리를 사용함으로써 프로세서에서 명령어 혹은 데이터를 로드/스토어 하기위해 필

요한 클럭 사이클의 수를 줄일 수 있다. MMU는 명령어/데이터 각각 64개의 엔트리 (Entry)로 구성된 1-way direct-mapped 구조이며 Translation Look-aside Buffer (TLB)를 포함한다.

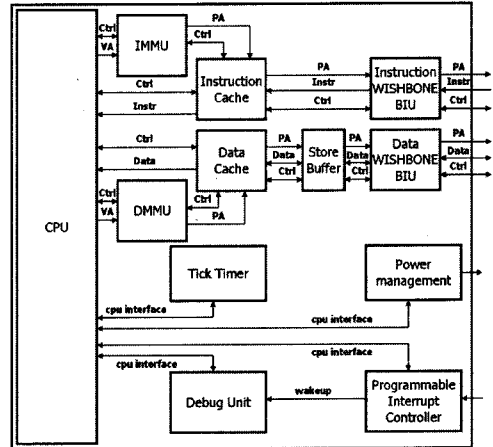


그림 2. 32비트 RISC 프로세서 구조

III. 디버그 인터페이스

그림 3은 디버그 인터페이스의 내부 구조를 보여준다. 디버그 인터페이스는 메모리 초기화, 프로세서 및 주변장치 컨피규레이션, 시스템 트레이스 (System Trace) 및 디버깅 등의 기능을 수행한다 [3]. Host와 디버그 인터페이스는 JTAG 포트를 통해 호스트 환경에서의 디버깅 소프트웨어와 연결되어 개발단계를 수행한다.

디버그 인터페이스는 RISC 프로세서의 디버깅과 WISHBONE 인터페이스를 통해 주변 장치를 제어 하거나 데이터 전송을 수행하며 시스템 내부의 메모리, 레지스터 값을 현재 수행중인 명령어의 시스템 추적/디버깅을 위해 외부로 전달한다.

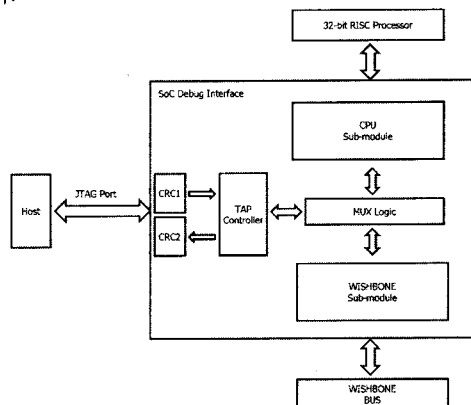


그림 3. 디버그 인터페이스 구조

IV. VGA 제어기

본 플랫폼에는 최대 640x480의 영상을 출력 할 수 있는 Video Graphics Array (VGA) 제어기가 구현된다. 따라서 프로세서 코어로부터 특정 영역의 픽셀 데이터를 VGA 제어기를 통해 외부 디스플레이 장치로 전달하여 영상을 볼 수 있다.

VGA 제어기는 메모리로부터 읽은 이미지 파일에 대한 데이터를 RGB 값으로 CRT 혹은 LCD에 출력하는 기능을 가지며 32bpp, 24bpp, 16bpp, 8bpp 그레이 스케일과 8bpp 슈도 컬러 모드를 지원한다 [4].

그림 4와 같이 호스트 프로세서는 WISHBONE 버스를 통해 VGA/LCD 제어기를 접근하여 내부의 WISHBONE 슬레이브 인터페이스를 통해 레지스터 및 Color Lookup Table을 설정한다. 내부 레지스터의 설정에 따라 WISHBONE 마스터 인터페이스는 외부 비디오 메모리로부터 영상 데이터를 가져와 내부 데이터 FIFO (First In First Out)에 저장한다. 그 후 LINE FIFO에 데이터가 전부 저장되면 VGA/LCD 코어의 외부 R, G, B 각 출력 포트를 통해 픽셀 데이터를 시스템의 DAC로 전달하며, 내부 타이밍 제어기에서 타이밍 신호를 VGA 포트로 전달하여 화면에 영상이 출력된다.

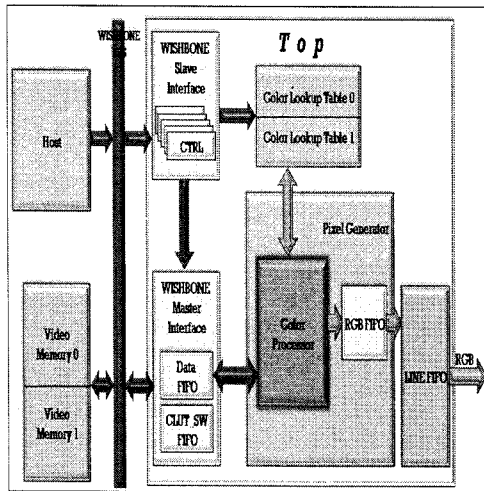


그림 4. VGA Controller 내부구조

V. UART

UART 제어기는 프로세서 코어로부터 전송된 병렬 데이터를 입력받아 직렬로 데이터를 송신하고 외부 디바이스로부터 수신된 직렬 데이터는 병렬 데이터로 변환하여 마이크로 제어기로 전송하는 기능을 담당한다. 또한 설계하고자 하는 어플리케이션의 통신 시스템에 따라 전송 모드를

재구성 할 수 있어 설계의 재사용성과 유연성이 매우 높은 블록이다 [5].

UART는 WISHBONE 버스 인터페이스를 통해 프로세서 코어와 데이터 전송을 수행하고, 이때 프로세서 코어로부터 수신한 데이터는 FIFO에 저장되어 송신 시프트 레지스터로 옮겨져 1비트 씩 STX_O 신호를 통해 외부로 전달된다. 반대로 SRX_I 신호를 통해 외부 UART 디바이스로부터 비트스트림 형식으로 데이터를 수신하여 수신 시프트 레지스터에 저장하고 하나의 프레임이 완성 되면 수신 FIFO에 저장한 후에 프로세서에게 현재 외부로부터 수신한 데이터가 있음을 INT_O 신호를 통해 알리게 되어 추후 프로세서 코어는 UART로부터 WISHBONE을 통해 데이터를 가져간다. 그림 5는 UART의 내부구조를 보여준다.

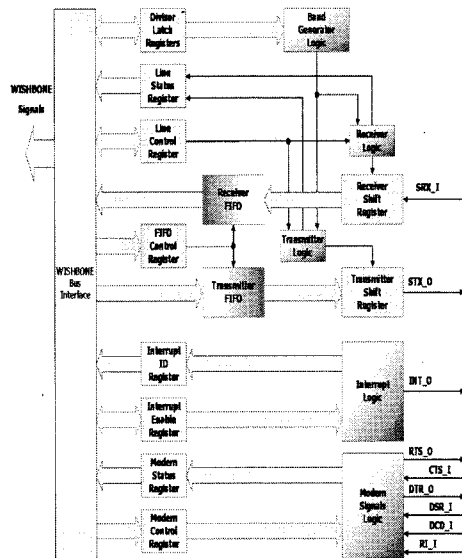


그림 5. UART의 내부구조

VI. FPGA 프로토타이핑

제안된 플랫폼은 Xilinx VIRTEX-4 XC4VLX80 FPGA에 설계 및 검증 되었다. 그림 6과 같이 FPGA 개발 보드에 SoC 플랫폼을 구현하고 호스트 PC상의 소프트웨어 개발 환경을 통해 타깃 SoC 플랫폼에 실행 파일을 전달하고 결과 확인 및 디버깅을 수행한다. 플랫폼 하드웨어의 통합과 합성 및 배치 및 배선은 Xilinx의 통합 설계도구인 ISE를 사용하였고 최종 배치&배선이 수행 후 실제 FPGA에 다운로드 될 하드웨어의 프로그래밍 파일을 생성한다. 이렇게 생성된 파일은 Xilinx사의 iMPACT 툴과 Xilinx 병렬 케이블을 이용하여 FPGA에 프로그램 되어 플랫폼 하드웨어를 형성한다. 이후 FPGA 개발 보드의 확장 핀을 통해 JTAG 디버거 및 소프트웨어 프로그램을

로딩을 위한 병렬 JTAG 커넥터를 이용하여 호스트 PC와 타깃 보드사이의 JTAG 연결을 수행한다. 호스트 PC에서 JTAG 드라이버의 정상적인 동작 여부를 확인하여 이상이 없으면 GDB를 실행하고, 타깃 보드의 JTAG stub와 포트 연결을 하면 실질적인 호스트 PC와 타깃 플랫폼과의 인터페이스가 형성된다.

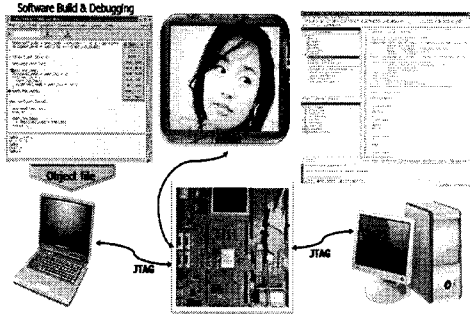


그림 6. FPGA 프로토타이핑

표 1은 SoC 플랫폼 FPGA 구현 결과를 보여준다.

표 1. SoC 플랫폼 FPGA 구현 결과

항목	Amount	퍼센트
Flip Flop	2,735	3%
Input LUTs	7,808	10%
IOBs	107	13%
RAMB16	17	7%
전체 사용 게이트 수	1,198,354	
최대 주파수	64.574MHz	

VII. ASIC 칩 설계

설계된 멀티미디어 SoC 플랫폼은 Chartered 0.18um 셀 라이브러리를 이용하여 ASIC 칩으로 제작 하였다. 제안된 플랫폼은 기능 검증을 진행하고 Synopsys사의 Design Compiler를 사용하여 클럭 주파수는 100MHz에서 동작 할 수 있게끔 제약(Constraint)을 두고 합성을 하였고 추출된 Netlist를 이용하여 타이밍 시뮬레이션 검증을 진행하였다. 타이밍 시뮬레이션 검증을 마친 Netlist를 이용하여 Synopsys사의 Astro 툴에서 배치 및 배선을 진행하여 P&R 후의 Netlist를 추출하고 최종 타이밍 시뮬레이션을 진행하였다. 표 2는 SoC 플랫폼의 ASIC 구현 결과이다. 표 2에서 보는 바와 같이 설계된 멀티미디어 SoC 플랫폼은 합성 및 P&R을 수행한 결과 100MHz에서 동작하고 코어 크기는 3.7mm²이다.

표 2. SoC 플랫폼의 ASIC 구현 결과

공정	Chartered 0.18um CMOS
칩 크기	5mm ²
코어 크기	3.7mm ²
합성 클럭 주파수	100MHz
P&R 클럭 주파수	100MHz
동작 전압	1.8 V Core, 3.3 V I/O

VIII. 결론

본 논문에서는 OpenRISC1200 프로세서 기반 멀티미디어 SoC 플랫폼의 ASIC 설계에 대해 제안한다. 구현된 플랫폼은 HDL 시뮬레이션 검증, Xilinx VIRTEX-4 XC4VLX80 FPGA를 이용한 HW/SW 통합 검증과정을 거쳐 동작 및 타이밍을 테스트 하고 프로토타이핑을 거쳐 최종적으로 Chartered 0.18um 공정을 이용하여 합성, 타이밍 시뮬레이션 검증, Floor-plan, 배치 및 배선 등 과정을 거치고 DRC, LVS 과정을 통해 설계 규칙과 포스트-레이아웃 검증을 진행하여 ASIC 칩으로 제작하였다. ASIC 라이브러리를 이용한 레이아웃을 통해 최고 100MHZ의 클럭 주파수에서 동작한다.

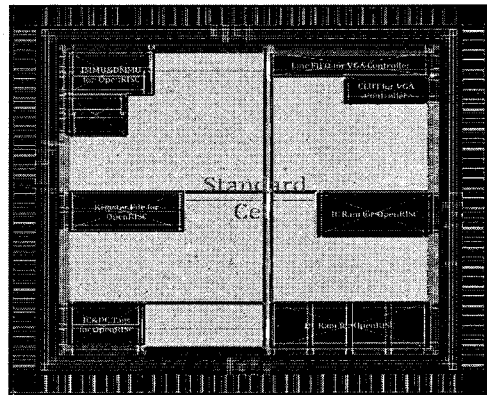


그림 7. 배치 및 배선 후의 칩 내부 구조

참고문헌

- [1] Damjan Lampret, OpenRISC1000 Architecture Manual, April 5, 2006
- [2] OpenCores, <http://www.opencores.org>
- [3] Igor Mohor, SoC Debug Interface, Rev. 3.0 April 14, 2004
- [4] Richard Herveille, VGA/LCD Core 2.0 Specifications, March 20, 2003
- [5] Jacob Gorban, UART IP Core Specification, Rev. 0.6, August 11, 2002