

MicroTec을 이용한 MOSFET Process 설계

한지형 · 정학기 · 이재형 · 정동수 · 이종인 · 권오신
군산대학교 전자정보공학부

Design of the MOSFET Process using MicroTec Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee · Ohshin Kwon
School of Electronic and Information Eng., Kunsan National University
E-mail : hkjung@kunsan.ac.kr

요 약

본 연구에서는 MicroTec을 이용하여 MOSFET Process 설계를 구현하였다. MOS(Metal Oxide Semiconductor)는 실리콘 기판 등의 반도체 표면에 산화막을 입히고 그 위에 금속을 부착시킨 구조이다. MOSFET의 응용은 VLSI 회로에만 제한되지 않고 전력-전자 회로에서 중요한 역할을 하며 점점 더 적용범위를 증가시켜 마이크로파 응용에 이르기까지 광범위하게 사용하고 있다. Process를 구현하는 방법은 Grid의 크기를 지정하고, 기판의 원소는 B로 지정하고 $1 \times 10^{15}/\text{cm}^2$ 만큼 도핑한다. 기판에 구멍을 내어 B와 As의 도핑농도와 에너지값을 설정한다. 마지막으로 어닐링 파라미터 값을 설정한다. 본 연구에서는 원소의 도핑값과 에너지 값의 변화에 따른 MOSFET Process의 변화를 알 수 있었다.

I. 서 론

1959년 집적회로시대로 접어들은 후, 다음해인 1960년도에 처음으로 MOSFET(metal-oxide-semiconductor field-effect transistor)를 제작하였다. MOSFET는 가장 중요한 미세 전자소자로서 대규모 집적회로(VLSI)의 기본 구성소자로서 사용하고 있다. 막대한 자금이 MOSFET의 쌍으로 구성된 CMOS 기술개발에 투자되었다. 이러한 투자 덕분에 지난 10년동안 컴퓨터와 통신 집적회로에서 눈부신 발전을 거듭하고 있다. 한편, MOSFET의 응용은 VLSI 회로에만 제한되지 않는다. MOSFET는 전력-전자회로에서 중요한 역할을 하며 점점 더 적용범위를 증가시켜 마이크로파 응용에 이르기까지 광범위하게 사용하고 있다[1].

II. MOSFET의 구조

MOSFET는 MOS 커패시터에서 발전하였다. MOS커패시터에서는 게이트에 인가한 전압에 의해 실리콘 표면 바로 아래의 상태를 제어한다. 즉, 음의 게이트 전압은 P형 실리콘으로부터 표면까지 정공을 끌어들이고(축적), 반면에 문턱 전압보다 더 큰 양의 게이트

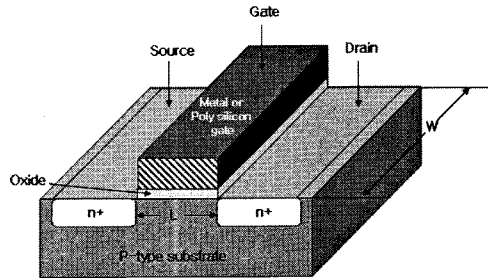


그림1. MOSFET의 구조

전압에 의해 표면에 전자층을 형성한다.(반전) MOS커패시터의 두가지 상태는 전압 제어 스위치를 만들기 위해 사용할 수 있다. 이를 제작하기 위해 표면의 전자층은 소스와 드레인이라 하는 n+ 영역의 끝부분에 금속 단자와 연결한다. 또한 채널이라는 전자층에 의해 실질적으로 소스와 드레인 영역 사이를 단락시켜 전자 통로같이 사용하므로 스위치의 ON 상태와 일치하고, 이것은 스위치 단자 같이 사용하고 있다. 게이트 전압이 문턱 전압 이하일때, 전자층(채널)은 표면에서 사라지고, 소스와 게이트의 n+ 영역은 P형 기판에 의해 고립된다. 이것은 스위치의 OFF 상태이다. MOSFET 내의 전류를 소스 단자에서 시작하여 산화물 반도체 계면에 형성된 반전층

을 통과하여 드레인 단자로 나가는 전하의 흐름에 의해 발생한다. 전류-전압 관계에서 나타나는 2개의 특성변수는 소스와 드레인 사이의 거리인 채널의 길이 L과 채널 또는 게이트의 너비인 W이다[3].

III. 시뮬레이션 방법 / 과정

본 논문은 MOSFET을 설계하기 위하여 MicroTec을 사용하였다[2]. MOSFET를 설계하기 위하여 Micro Tec의 Project setting 을 클릭한다. Project setting에서는 디렉티브와 서브디렉티브 그리고 파라미터값을 지정할 수 있다. 가장 상단의 폴더를 마우스 오른쪽 버튼을 클릭하여 Add Directive를 선택한다.(그림 2) Add Directive를 선택하면 Sidif basic directives가 나타난다. 여기서 Domain and Mesh, Substrate, Boron implant, Arsenic implant, Annealing 등 5개의 directives를 사용한다.(그림 3) 각각의 directive에 문제에 주어진 파라미터 값을 입력하기 위해서는 directive 폴더를 마우스 오른쪽 버튼을 클릭하여 Add parameter를 클릭한다.(그림 4) 문제에 주어진 값들을 파라미터값에 입력을 한다.(그림 5) 파라미터 값을 입력하게 되면 directive 폴더 모양이 가운데에 +모양으로 변하게 된다. 파라미터 값을 전부 입력한 상태가 되면 더 이상의 파라미터 값을 추가 할 수는 없다. 파라미터 값을 입력한 후 Save Settings를 클릭하고 Run을 눌러 실행을 한다. 각각의 파라미터의 값들은 다음과 같이 설정한다. 처음으로 계산 영역과 Mesh 파라미터값을 지정한다. X방향과 Y방향의 Mesh의 수는 20이다. 좌표의 길이는 1 μm 높이는 0.7 μm 이다. 다음으로는 기판의 파라미터값을 지정한다. P의 농도는 $1 \times 10^{12}/\text{cm}^3$, B의

농도는 $1 \times 10^{15}/\text{cm}^3$, As의 농도는 $1 \times 10^{12}/\text{cm}^3$ 로 하고 웨이퍼는 (111)방향의 실리콘 웨이퍼를 사용한다. 그 다음은 B와 As를 이온 주입한다. B는 2 μm 구멍을 내어 60KeV 에너지로 $6 \times 10^{11}/\text{cm}^2$ 만큼 도핑한다. As는 2 μm 길이의 기판에 중심을 기준으로 하여 1 μm 만큼 구멍을 내어 100KeV 에너지로 $1 \times 10^{15}/\text{cm}^2$ 만큼 도핑 한다. 마지막으로 어닐링(열처리)을 1000 $^{\circ}\text{C}$ 로 60분간 가열하고 초기 시간간격은 10분으로 설정한다.

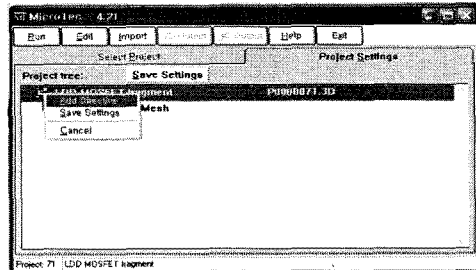


그림2. Directive 생성

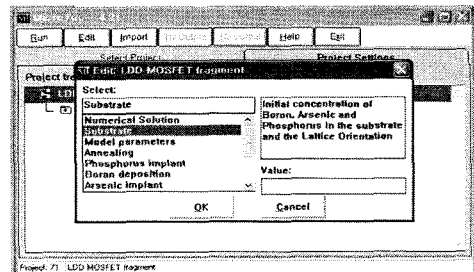


그림3. Directives 선택

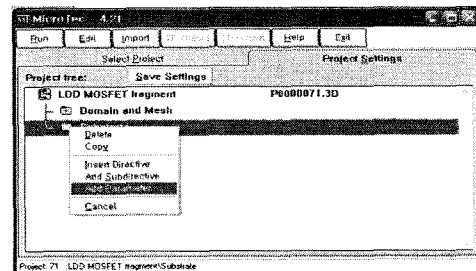


그림4. 파라미터 추가

표1. 파라미터값의 이름과 설명

이름	초기설정	Units	설명
NX	30	none	X방향의 Mesh의 노드
NY	30	none	Y방향의 Mesh의 노드
XX	1	μm	X방향의 Domain 길이
YY	1	μm	Y방향의 Domain 길이
PH	1.0×10^{12}	cm^{-3}	P의 도핑농도
BO	1.0×10^{15}	cm^{-3}	B의 도핑농도
AS	1.0×10^{12}	cm^{-3}	As의 도핑농도
OR	111	none	단결정의 성장방향
XM	1	μm	이온주입 마스크 위치
DZ	10^{12}	cm^{-2}	이온주입 양
EN	40	KeV	이온주입 에너지
TC	1000	$^{\circ}\text{C}$	열처리 온도
TM	1000	s	열처리 하는 시간
TAU	100	s	열처리 시간간격

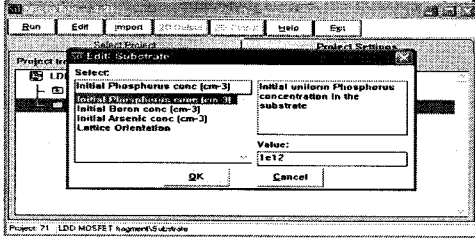


그림5. 파라미터값 입력

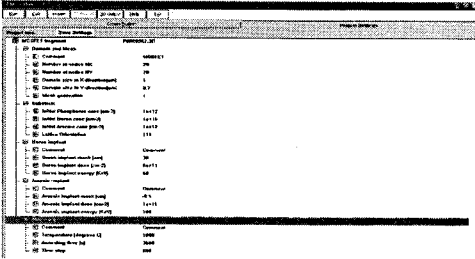
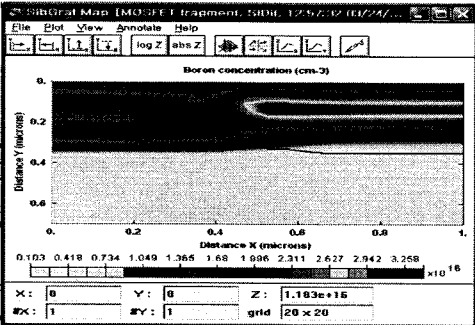
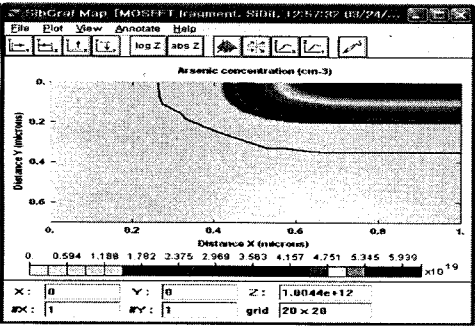


그림6. 완성된 Directive와 파라미터

IV. 시뮬레이션 결과



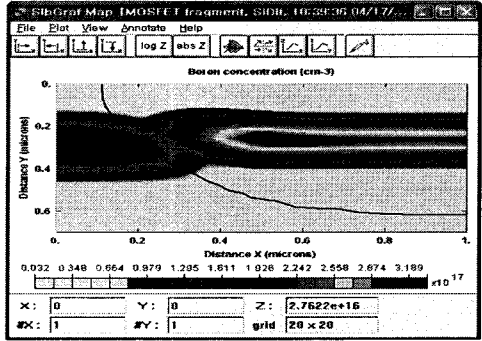
(a)



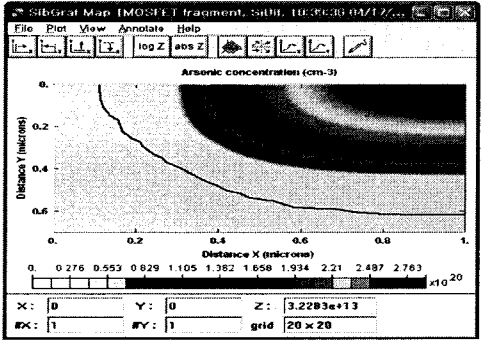
(b)

그림 7. BOIM : XM=2 μ m, DZ=6 \times 10¹¹/cm², EN=60KeV, ASIM : XM=0.5 μ m, DZ=1 \times 10¹⁵/cm², EN=100KeV

(a) Born 농도분포, (b) Asenic 농도분포



(a)



(b)

그림 8. BOIM : XM=2 μ m, DZ=6 \times 10¹²/cm², EN=100KeV, ASIM : XM=0.5 μ m, DZ=1 \times 10¹⁶/cm², EN=200KeV

(a) Born 농도분포, (b) Asenic 농도분포

본 논문에서는 원소의 도핑값과 에너지 값의 변화에 따른 MOSFET Process의 변화를 분석하였다. 그림7은 Born을 기판에 2 μ m를 구멍을 내어 60KeV에너지로 6 \times 10¹¹/cm²만큼 이온주입하고, Arsenic을 기판에 1 μ m만큼 구멍을 내어 100KeV 에너지로 1 \times 10¹⁵/cm²만큼 이온주입을 하였다. 그림8은 Born을 기판에 2 μ m를 구멍을 내어 100KeV 에너지로 6 \times 10¹²/cm²만큼 이온주입하고, Arsenic을 기판에 1 μ m만큼 구멍을 내어 200KeV 에너지로 1 \times 10¹⁶/cm²만큼 이온주입을 하였다. 그림 7과 그림 8의 농도 분포를 비교해보면 전체 도핑농도의 양이 그림 8의 도핑농도가 크다는 것을 알 수 있다. 도핑값의 변화가 전체 도핑농도값에 변화를 주었음을 알 수 있다. 에너지 크기에 따른 농도분포의 위치를 비교해 본 결과(그림 7과 그림 8) 그림 8의 결과 값이 농도분포가 아래쪽으로 더 내려왔음을 알 수 있다 이는 더 강한 에너지를 가해줌으로써 높게 도핑되는 영역이 확장되고 전체 농도분포도 역시 확장되는 걸 알 수 있다.

V. 결 론

본 연구에서는 MicroTec을 이용하여 MOSFET 설계의 가능성을 고찰 하였다. 시뮬레이션 결과에서 보는거와 같이 원소의 도핑량을 늘리고 에너지값을 값을 증가 시켰을 경우 농도분포가 변화 함을 알 수 있었다. 도핑량을 증가 시켰을 경우 전체 도핑농도가 변화함을 알 수 있었고, 에너지를 증가 시켰을 경우 농도분포가 아래쪽으로 내려왔음을 알 수 있었다. 본 연구에서는 MOSFET Process 설계에 대해서만 분석했지만 MOSFET에 IV특성곡선을 분석하기 위해 Device 시뮬레이션을 더 연구해야 한다고 사료된다.

참고문헌

- [1] 허창우, 정학기, "반도체공학", pp251-253, 2002.
- [2] "MicroTec Semiconductor Process and Device Simulator, Version 4.0 for windows", Siborg Systems Inc, pp35-54, 2003.
- [3] 이진구, 이상렬, 이승기, 정원채, 황오정, "반도체소자 공학", pp258-260, 2006.