

# FED의 패널제작과 패키징 방법에 관한연구

김수용\* · 지식근\* · 박동진\*\*

\*군산대학교 · \*\*국제디지털대학교

A study on Panel manufacture and Packaging method of FED

Soo-yong Kim · Suk-kun Jee · Dong-Jin Park

Kunsan National University-Gukje Digital University

E-mail : ksy8910@kunsan.ac.kr

## 요 약

FED는 잠재적인 평판기술에 따라 현재 탐구를 하였다. 이 프로젝트의 제안은 FED 핵심적인 개발을 위한 진공 패키징 기술 등에 관한 연구 결과를 기술을 보여준다.

FED 진공패키징을 위해서는 유리/유리 접합, 진공배기, 게터기술, 그리고 시뮬레이션, 진공중패키징 기술 등을 연구 하였다. 유리/유리 접합은 frit glass를 사용 하므로 형태에 따르고, 내부압력은  $2 \times 10^{-5}$ Torr이며 패널로서 완성을 보여준다. 게터의 결과에 따라 그것은 압력의 증가는 박막 게터에 의해 outgassing이 줄어드는 것을 보여 주었다.

## 키워드

field emission displays, Vacuum, simulation

## 1. 서 론

최근에 FPD(Flat Panel Display)로서 관심이 높아지고 있는 FED(Field Emission Display)는 진공에서의 전자 전송에 의해 구현되기 때문에 소자의 안정적인 동작을 위해서는 10-6Torr 이상의 고진공 패키징 기술을 필요로 한다. 현재 사용하고 있는 패키징 방법은 정리 할 수 있다. 국내에 연구되고 있는 FED의 진공패키징 기술은 CRT의 진공패키징 공정의 배기용 세관 방법에 바탕을 두고 있다(Fig.1 참조). 하지만 FED는 CRT의 구조와는 달리 내부체적이 매우 작기 때문에 기존의 방법으로는 다음과 같은 문제점들이 발생한다[1][2]. (1) 배기관의 부착으로 인해 전체패널의 두께가 몇배 이상 증가한다. 만약, 수 mm 두께인 FED 패널을 배기관을 이용해 진공 패키징한다면 전체 패널의 두께가 1cm 이상으로 증가하게 된다. 이는 평판 표시 소자로의 제약을 주게 된다. (2) 봉입 공정은 배기용 세관을 국부적으로 가열하여 반응용상태로 만들기 때문에, 이 과정에서 발생하는 가스들은 작은 체적을 가지고 있는 FED패널 내부의 진공도를 악화시킨다.

본 연구에서는 현재 FED를 진공 패키징하기

위해 사용하고 있는 CRP 패키징 방법, 고온 실장 방법등이 가지고 있는 단점을 보완하기 위하여, Amorphous 실리콘 박막을 이용한 유리/유리 기판간의 정전 열 접합을 이용하여 배기용 세관을 필요로 하지 않는 1인치급 tubeless packaged FED패널을 제작하고자 하였다. 진공내에서의 유리-유리간 정전 열 접합공정을이용하여 FED tubeless packaging을 실현하고자 하는 시도는 단계적으로 시도되어 왔으며, 이의 기본개념은 Fig. 2 를 통하여 설명될 수 있다. 실험은 유리프릿을 이용해 6mm의 배기홀을 가지고 있는 6cm × 6cm 크기의 패널을 제작한 후 진공분위기에서 정전열 접합으로 배기홀을 밀봉함으로써 실장하는 방법이다[3][4].

상술한 바와 같은 진공-정전 열 접합에 의한 FED tubeless packaging의 개발을 위해서는 진공 하에서의 유리-유리 정전 열 접합 공정은 물론 FEA의 제조 및 이를 이용한 1차 조립 공정 기술 확보와 양극및 음극 기판, 그리고 capping 용 유리 기판간의 온도 차이 극복, 아울러 소자의 손상을 줄이기 위한 저온 공정 기술 등이 개발되어야 하며, 본 연구에서는 이의 해결 및 tubeless-packaged FED의 완성 과정에 관하여

언급하고자 한다.

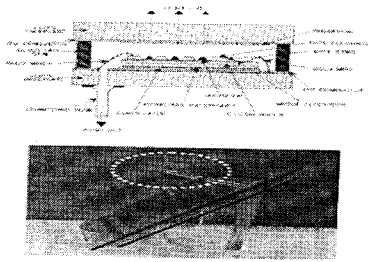


그림 1. FED패널은 CRT-like에 기초.

Fig. 1. FED panel bas on the CRT-like packaging.



그림 2. FED tubeless 패키징 기본개념.  
Fig. 2. Basic Conception of FED tubeless packaging.

## II. 유리-유리 정전 열 접합 공정

### 2.1. 유리기판간의 접합

FED의 tubeless packaging을 위하여 적용된 유리 기판들간의 정전 열 접합 공정에 관해서는 앞서 구체적으로 보고된 바 있으며, 접합 가능성이 입증된 유리 기판류와 적용된 interlayer, 그리고 접합된 두 장의 10cm급 sodalime 유리 기판쌍에 관한 내용을 표1. 에 나타내었다. 본 실험에서는 ITO가 코팅되어 있는 Sodalime #0080 유리기판을 사용하였다. 그림.3 은 각각의 유리 기판을 접합하기 위한 기본 set-up이다. 접합을 위해 interlayer로서 amorphous silicon layer를 2000 Å 증착하였다. 표2. 는 amorphous silicon layer를 증착하기 위한 조건을 보여 주고 있다. ITO와 실리콘과는 결합 상태가 좋지 않기 때문에 cuffer layer로서 실리콘 증착시 10%의 산소를 주입하여 SiO<sub>2</sub>를 얇게 증착 하였다. 실리콘 박막이 증착된 면과 다른 유리기판과 정렬을 한후 가열하였다. 230℃가 되었을 때 유리기판에는 250V의 음극을 인가하고, 증착한 실리콘 박막에는 양극을 인가하였다.

그림4(a). 는 10cm X 10cm 크기로 접합된 sodalime 유리기판의 모습이다. 접합 후 유리기

판의 각 모서리를 diamond cutter로 절단하였으나 접합의 깨어짐은 없었으며 두 기판이 동시에 잘려 나갔음을 볼 수 있다. 절단 된 유리기판쌍의 접합 계면을 관찰하였다.(그림4(b)). 60,000 배의 SEM 관찰 결과 접합 계면에서의 불완전성은 관찰되지 않았으며, 인장 응력기에 의해 측정된 접합 강도도 유리의 bulk 파과 강도 이상으로 나타났다.

표1. 유리/유리 접합에서 물질의 특성.

Table1. Material properties in the glass-to-glass bonding.

Substrate A	Interlayer	Substrate B
Sodalime #0080	(ITO, Oxide layer, a-Si)	Sodalime #0080
Corning #7059	(ITO, Oxide layer, a-Si)	Corning #7059
Corning #7740	(ITO, Oxide layer, a-Si)	Corning #7740

유리-유리 정전 열 접합을 통하여 실험적으로 입증된 접합 가능한 유리 기판류는 표1. 과 같은데 sodalime 유리는 FED panel 용 기판으로 적합하고, Corning #7059 유리는 LCD와 ELD 용으로 사용 중이며, Corning #7740 유리는 Si과 열 팽창 계수가 유사하여 MEMS 용으로 사용되고 있다. 표2.는 정전 열 접합을 위한 interlayer 들로는 전극용 ITO 막, buffer 용 산화막, 그리고 전하 공급 및 접합용 비정질 Si 막등이 적용되며, 이들은 sputtering이나 전자선 증착법에 의해 형성된다[5][6].

표2. 박막 침전의 Sputtering 상태.

Table 2. Sputtering condition of deposited thin film.

Process parameter	Deposited interlayer	
	ITO	silicon
Method	Sputtering	Sputtering
Source	ITO target (3inch diameter, 1/8 inch thick)	Silicon target (3inch diameter, 1/4 inch thick)
Initial pressure	3×10 <sup>-5</sup> Torr	3×10 <sup>-5</sup> Torr
Working pressure	4×10 <sup>-3</sup> Torr	4×10 <sup>-3</sup> Torr
Substrate temperature	150℃	120℃
Reaction gas	Ar	Ar
Power	3.3W/cm <sup>2</sup>	2.2W/cm <sup>2</sup>
Deposited rate	200 Å/min	100 Å/min
Thickness	1500 Å	3000 Å

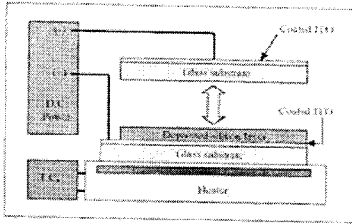


그림 3.접합을 위한 실험기구.  
Fig. 3. Experimental set-up for bonding.

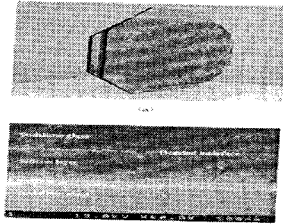


그림 4. sodalime 유리에 웨이프 한쌍(a)와 SEM(b)에 의한 혼선부분 접합.  
Fig. 4. Bonded sodalime glass wafer pair(a) and its cross-sectional view by SEM(b).

### III. 양, 음극 기판의 제조 및 진공 실장

#### 3.1. Field Emitter Arrays 의 제작

Tubeless-packaged FED에 적용될 Mo-tip FEAs 와 Spindt 공정에 의한 제조 방법과 제조된 소자의 모양은 그림5. 에서 보여 주고 있다. 그리고 소자의 규격을 요약하면 표3. 과 같다.

표3. Mo-tip FEAs의 규격  
Table. 3. Specification of Mo-tip FEAs.

Pixel	Number	1000
	Size	200 $\mu$ m $\times$ 300 $\mu$ m
	Pixel-to-pixel distance	70 $\mu$ m
	sub-pixel	4 $\times$ 6(50 $\mu$ m $\times$ 50 $\mu$ m)
Emitter	Number	49(7 $\times$ 7)tips sub-pixel
	Tip-material	Mo
	Tip-height	1.4 $\mu$ m
	Gate aperture	1.5 $\mu$ m
	Gate insulator	1.2 $\mu$ m-thick thermal SiO <sub>2</sub>

그림5.에서보는바와같이n++-type; Si-wafer(100)를 furnace에서 표면 산화 시켜 1.2 $\mu$ m의 산화막

을 형성 시켰고, 게이트 전극으로서 크롬을 rf-sputter에 의해 4000 Å 증착하였다. 증착 후 emitter의 홀을 define 하고 RIE에 의해 게이트와 insulator를 etching하였다. 홀을 제작하고 알루미늄을 증착하였으며 Mo를 증착 후 알루미늄을 lift-off 시킴으로서 FEAs를 제작하였다[7][8].

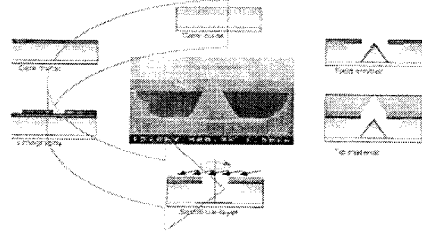


그림5. Mo-tip FEA의 tep/structure의 공정  
Fig. 5. Process step/structure of Mo-tip FEA

#### 3.2. 양극 및 음극 기판의 제작

음극기판은 ITO가 증착되어 있는 sodalime 유리기판을 사용하였으며, 유리 기판위에 직경6mm의 배기홀을 제작하고 3인치 Rf-sputter를 이용하여 크롬으로 cathode line과 gate line 을 5000 Å 증착 하였다. 기존의 방법은 열증착기를 이용하여 알루미늄층을 증착하였으나 유리기판과의 adhesion이 좋지 못하고 glass frit을 이용하여 실장 라인을 형성하는 고온 과정에서 전극 라인이 끊어지는 현상이 발생한다. 스퍼터를 이용하여 증착된 크롬은 고온의 공정에서 라인의 끊김은 없으나 산화되는 경향이 있다. 하지만 아르곤과 질소와 같은 분위기 가스를 이용하므로써 산화의 경향을 줄일 수 있었다. 전극 라인이 형성되어진 패널의 하판에 Indium을 바르고 FEA를 정렬한 후 250℃의 오븐에서 집합하였다. 패널의 하판에 집합되어진 FEA는 wire-bonder를 이용하여 cathode line과 gate line 을 연결하였다. 본 실험에서 사용되어진 패널의 구조는 cathode line을 제작하지 않고 공통 전극으로 ground 하였다.

양극기판의 경우 ITO를 증착 후 patterning하였으며,이 위에 ZnO:Zn 형광체를 screening하였고, 다음으로 가장자리를 frit으로 둘러 열처리한 뒤 유리 spacer를 배치하였다.

#### 3.3. 패널의 제작 및 진공 실장

제작된 양극과 음극의 기판을 정렬하고 패널을 제작하기 위하여, 유리 프린트로 실장 라인을 형성 하였다.

양극의 유리 기판에 유리 프린트를 바르고 120℃

의 hot plate위에 10분간 건조하는 작업을 여러번 반복하여 1.2mm두께의 높이를 형성 시켰으며 34℃의 열처리 공정에서 바인더물질을 강화시켰다. 패널의 양·음극의 기판을 정렬하고 450℃의 열처리 공정을 거쳐 실장라인을 형성하였다. 이때 스페이서로는 1mm 두께의 유리기판을 2mm×2mm의 크기로 잘라 애노드기판을 정렬하기전에 1cm 간격으로 캐소드기판에 정렬하였다. 소자의 전계 방출 팁과 애노드와의 거리는 약 600 $\mu$ m정도이다.

이상과 같은 공정으로 6mm 배기홀을 가지고 FED 패널을 제작하였으며 이를 tubeless 진공 실장하기 위하여 배기홀 주변에 하부 패널의 전극으로 사용 되어질 ITO층과 접합을 위한 실리콘 층을 증착 하였다. 증착 조건은 앞서 설명한 표2. 에서 보여 주는 바와 같다. 실리콘 박막이 증착되어진 패널은 본 실험실에서 고유하게 제작되어진 진공 챔버내에서 정전 열 접합을 수행 하였다[9][10].

#### IV. Tubeless-packaged FED의 특성

##### 4.1. 진공 실장된 FED의 emission 특성

###### 4.1.1 Getter를 사용하지 않았을 경우

그림6. 은 제작후 같은 조건 하에서 날자변화에 대해 변화하고 있는 특성 곡선이다. 측정을 위한 조건은 애노드에 350V를 인가하였고, 게이트에는 0 - 120V 까지의 전압을 인가하였다. 그림에서 day1의 곡선은 소자가 안정화 되기 이전의 몇몇 소자에 의해 방출 되는 전자에 의한 값으로 다른 날에 비해 turn-on 전압이 상대적으로 낮다. day 2는 제일 오른쪽으로 밀려 있으며 turn-on 전압도 높다. 이는 안정적인 소자의 표면 오염으로 인한 것으로 역시 충분한 aging 시간 부족으로 인한 값으로 추측된다.

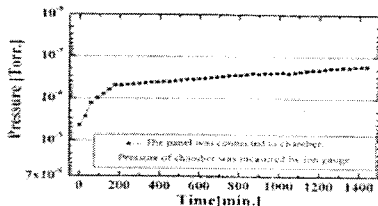


그림6. FED 패널사이 펌핑하는 tubeless 패키징의 누설 테스트.

Fig. 6. Leak test of tubeless packaged FED panel during pumping.

day 3 부터는 안정적인 곡선을 보여 주고는 있지만 전계 방출 전류값이 진공 실장 전의 값보다 낮다. 그 이유는 여러 가지로 추정된다. 첫째, 유리프릿을 이용하여 실장라인을 형성하는 과정에서 유리기판 위에 크롬으로 증착된 게이트와 캐소드 라인이 산화되어 높은 저항을 가지게 되므로 인가 전압의 전압 강하가 예상된다. 둘째, 패널 내부에 게터를 장착하지 않아 마이크로 리크(micro leak)와 전자 방출에 의한 outgasing으로 안정적인 진공 분위기를 유지시켜 주지 못하는 것으로 추측된다. 특히, 진공도의 악화는 전자의 스퀘터링을 유발시켜 전자의 이동도를 낮추고, 전자에 의해 이온화된 이온들이 에미터에 다시 충돌하여 손상을 주는 원인이 되기도 한다.

그림7. 은 정전 열 접합 방법에 의해 제작 되어진 패널의 전류-전압 특성을 조사 하여 보았다.

그림8. 은 측정된 값을 Fowler-Nordheim 식으로 변환한 그래프 이다.

그래프에서보면 기울기( $S = \frac{d(1/Vg)}{d \log(I/V2g)}$ )가 점점 증가하는것을 볼수 있다. 여기에서 기울기가 증가하는 것은 게이트 전압을 12V로 고정 시킴으로 인해 전자의 방출에 한정적인 값을 가지기 때문이다. 즉, 본 실험에서 한정적인 값으로 인가하는 전압이 전자 방출의 시작점이 될 수도 있다는 것이다. 기울기가 보여 주는 특성은 위에서 설명하는 바와 같이 turn on 전압이 오른쪽으로 shift되고 있음을 간접적으로 보여 주고 있다. 이 이유에 대해서는 보다 자세한 연구가 요구 되어 진다.

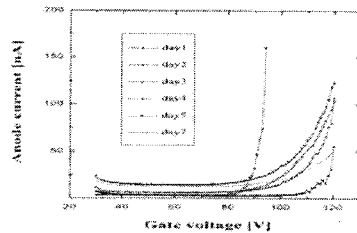


그림7. FED 패널 패키징의 전류-전압의 특성.

Fig. 7. I-V characteristics of vacuum packaged FED panel.

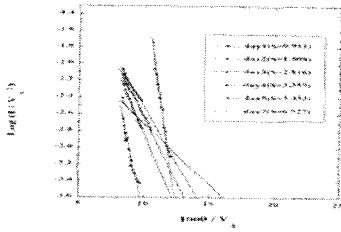


그림8. FED패널패키징의 Fowler-Nordheim 도면.

Fig. 8. Fowler-Nordheim plots of vacuum packaged FED panel.

4.1.2 Getter를 사용하였을 경우

정전 열 접합 방법에 의해 제작된 패널에 대해 전압을 인가하여 전자 방출 특성을 조사하여 보았다. 그림9. 은 형광체가 도포되어 있는 tubeless FED 패널의 발광 사진이다. 그림에서 발광하고 있는 세라인을 확인 할 수 있다. 뒷면에 배기용 세관이 보이지 않아 얇게 보이며 실제 두께는 약 4mm정도이다. 발광의 특성으로 보아 패널 내부는 최소 10-5torr의 진공을 유지하는 것으로 보인다. 본 패널에서는 애노드 전압으로 300V를 인가하였으며, 게이트 전압은 80V를 인가하였다. 그림10. 은 발광하는 FED의 각 라인의 전류-전압 특성 곡선을 보여 주고 있다.

그림11. 은 실장된 패널의 시간 변화에 따른 전류 특성을 조사하기 위하여 11시간 동안을 지속적으로 전압을 인가하여 전류의 변화를 측정하였다. 측정 전 FEA에 0 - 100V의 전압을 몇 차례 주어 소자의 안정적인 방출을 고려하고 인가하였다. 측정은 게이트에 60V 전압을 45분 동안 ON하고 15분 동안 OFF하고 다시 전압을 인가하는 방식을 이용하였다. 그림11.은 이러한 방식에 의해 측정된 그래프이다. 전류가 안정적으로 일정하지는 않지만 지속적으로 비슷한 양의 전자 방출이 이루어 짐을 알 수 있다. 이는 진공 실장 전 FEAs의 충분한 aging 공정을 거치지 않은 것과 고온에서 유리 프릿을 강화시키고 상, 하관을 정렬하는 공정에서 소자가 산화되거나 오염된 것이 원인이라고 추측된다. 이는 진공 또는 분위기 가스에서의 경화 작업으로 해결 가능한 부분이라 사료된다[11][12].

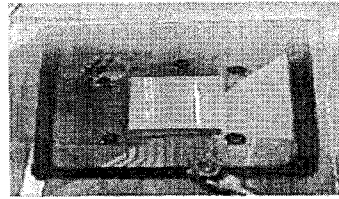


그림9. FED패널 tubeless 패키징의 빛 방출.

Fig. 9. Light Emission of tubeless packaged FEDpanel.

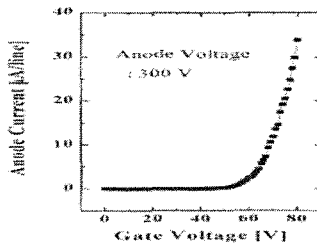


그림10. 게이트 전압 변화를 위한 방출전류-전압특성.

Fig. 10. Emission current-voltage characteristic for changing gate voltage.

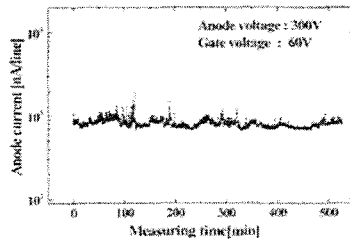


그림11. 11시간 동안 방출특성.

Fig. 11. Characteristic of emission for 11 hours.

V. 결 론

본 연구에서는 유리/유리기판의 정전 열 접합 방법을 이용하여 두께 4mm인 1인치급 tubeless FED 패널을 제작하였다. 본 방법의 실장은 기존의 배기용 세관을 이용해 패키징 하는 방법에 비해 약 150배 높은 컨덕턴스를 가지고 있으며, 약 500배 이상의 패널 내부 진공도를 얻을 수 있다. 유리/유리 접합상태는 양호 하였으며, 진공도의 간접적인 측정에서 패널의 내부 진공도가 2×10<sup>-5</sup>Torr 이하임을 이론적 모델링으로 계산 하였다. 또한 패널내부에 getter를 사용하지

않았을 경우, 접합 전류-전압 특성을 날짜별로 조사하였고, 전류-전압 곡선과 Fowler-Nordheim 곡선을 그려 특성을 조사하여 보았다. 패널 내부에 게터가 없음으로 인해 시간이 지남에 따라 진공도가 악화되고 에미터의 손상으로 전자 방출 특성이 점점 오른쪽으로 shift되고 전자 방출 전류도 작아지고 있음을 볼 수 있었다. 패널 내부에 getter를 사용하였을 경우, 전압을 인가하여 발광하는 모습을 확인 할 수 있었다.

또한 패널 내부의 안정성을 실험하기 위해 11 시간 동안 게이트에 60V의 전압을 지속적으로 인가하여 전자 방출 특성을 분석하였다. 그 결과 약간의 측정 오차폭은 가지고 있으나 비교적 지속적인 전자 방출이 이루어지고 있음을 확인하였다. 이상과 같은 결론으로 정전 열 접합을 이용한 FED 패키징 방법은 가능하며 다른 진공 소자의 패키징에도 응용 가능하리라 생각된다.

## 참고문헌

- [1] C.D.Fungetal. "Micromachining and Micropackaging of Tranceducer," Elsevier Science Publishing Company.
- [2] M. Iimer, R. Lecheler, H. Schweizer, and M. Seibold, "Hg-free Flat Panel Light Source PLANON a Promising Candidate for Furture LCD Backlights", SID, DIGEST. pp. 931-933, 2000.
- [3] J. Brain, "Electro-Optical Characteristics of a Multi-Channel Flat Fluorescent Lamp", SID 92 DIGEST. pp. 433-436, 1992.
- [4] K. Hashimoto, Y. Ikeda, T. Shina, K. Igarachi, S. Mikoshiba, S. Takaku, S. Nishiyama, and Y. Namura, "High Luminance and High Efficiency Electric Field Coupled Discharge Lamo for LCD Backlighting", SID '99 DIGEST', pp. 761-763, 1999.