

낮은 온도 하에서 수소처리 시킨 다결정 실리콘을 사용한 새로운 구조의 n-TFT에서 개선된 열화특성

송재열*, 이종형*, 한대현*, 이용재*

*동의대학교

Improved Degradation Characteristics in n-TFT of Novel Structure using Hydrogenated Poly-Silicon under Low Temperature

Jaeryul Song, Jonghyung Lee, Daehyun Han, Yongjae Lee

*Donggeui University

E-mail : yjlee@deu.ac.kr

요 약

식각 형상비에 의해 경사형 스페이스를 갖는 도핑 산화막을 이용한 LDD 영역을 갖도록 제작한 다결정 TFT의 새로운 구조를 제안한다. 소자 특성의 신뢰성을 위해 수소(H₂)와 수소/플라즈마 처리 공정으로 다결정 실리콘에 수소 처리시킨 n-채널 다결정실리콘 TFT 소자를 제작하였다. 소자에 최대 누설전류의 게이트 전압 조건에서 소자에 스트레스를 인가시켰다. 게이트 전압 스트레스 조건에 의해 야기되는 열화 특성인자들은 드레인 전류, 문턱전압(V_{th}), 부-문턱전압 기울기(S), 최대 전달 컨덕턴스(g_m), 그리고 파워인자 값을 측정/추출하였으며, 수소처리 공정이 소자 특성의 열화 결과에 미치는 관계를 분석하였다.

특성 파라미터의 분석 결과로써, 수소화 처리시킨 n-채널 다결정 실리콘 박막 트랜지스터에서 열화특성의 원인들은 다결정실리콘/산화막의 계면과 다결정 실리콘의 그레인 경계에서 실리콘-수소 본드의 해리에 의한 현수 본드의 증가이었다. 이 증가가 소자의 핫-캐리어와 결합으로 개선된 열화 특성의 원인이 되었다. 따라서 새로 제안한 다결정 TFT의 구조는 제작 공정 단계가 간단하며, 소자 특성에서 누설전류가 드레인 영역 근처 감소된 수평 전계에 의해 감소되었다.

Abstract

We have proposed a new structure of poly-silicon thin film transistor(TFT) which was fabricated the LDD region using doping oxide with graded spacer by etching shape ratio. The devices of n-channel poly-si TFT's hydrogenated by H₂ and H₂/plasma processes are fabricated for the devices reliability. We have biased the devices under the gate voltage stress conditions of maximum leakage current. The parametric characteristics caused by gate voltage stress conditions in hydrogenated devices are investigated by measuring /analyzing the drain current, leakage current, threshold voltage(V_{th}), sub-threshold slope(S) and transconductance(G_m) values.

As a analyzed results of characteristics parameters, the degradation characteristics in hydrogenated n-channel polysilicon TFT's are mainly caused by the enhancement of dangling bonds at the poly-Si/SiO₂ interface and the poly-Si grain boundary due to dissolution of Si-H bonds. The structure of novel proposed poly-Si TFT's are the simplicity of the fabrication process steps and the decrease of leakage current by reduced lateral electric field near the drain region.

키워드

poly-si TFT, hydrogenated, stress, degradation

1. 서론

낮은 온도 공정으로 다결정을 형성시키면서 수소처리를 한 다결정 실리콘 박막 트랜지스터(TFT)는 활성 매트릭스 디스플레이에 사용을 위해서 계속적으로 발전하는 추세이다. 화소 소자로써 다결정 실리콘의 전자 이동도가 비정질의

전자 이동도 보다 수십 배가 크기 때문에 다결정 액정 디스플레이(TFT-LCD)가 비정질 실리콘 TFT에 비해 핫-캐리어 효과에서 안정성이 우수하며, 구동 회로 및 주변회로와 스위치 소자까지를 일체형으로 제작 가능하고, 비정질 TFT의 구동전압 보다 훨씬 낮은 전압에서 동작이 가능하며, 수율, 화질 등 기술성은 물론 전기적 특성에

서 안정성에서 우수하며, 비교적 저가의 대량 생산 제품으로 최근 획기적으로 발전을 계속하고 있다.^[1,2,3] 그러나 단결정 소자에 비해 다결정 실리콘은 결정 특성상으로 여러 면 방위를 갖는 미소한 단결정으로 형성되어서 그레인의 계면에 다수의 트랩이 존재하기 때문에 소자에서 큰 누설전류의 특성, 낮은 이동도, 낮은 전달컨덕턴스 등의 특성을 가지므로 구동회로에 응용되기 위해서는 많은 전류를 공급할 수 있는 짧은 채널 길이의 소자가 요구된다.^[3,4] 이러한 특성의 개선 방법으로 게이트 산화막의 트랩밀도를 줄이기 위해 기존의 건식 분위기 성장에서 급속 열처리 어닐링, 암모니아 분위기에서 성장, 수소 분위기에서 성장 등 여러 가지 방법들이 제시^[4,5]되고 있다.

따라서, 본 연구는 공정에서 비교적 대량 생산에 적합한 플라즈마, 수소처리를 하는 다결정 실리콘 공정을 이용하고자 하며, 구조적으로는 주로 채널 핫-캐리어의 영향을 줄이기 위해 LDD를 첨가시키고자 하며, 새로운 구조로는 제작 공정 중에 건식식각으로 형성비의 차이로 의해 새로운 경사형 구조의 형성비 차이로 격리 시킨 n⁺-도핑 산화막 구조로 다결정 LDD를 형성시켜서 다결정 박막 트랜지스터를 제작하고자 한다.

수소화 처리가 n-채널 다결정 실리콘의 핫 캐리어 포획 효과가 감소되는 열화 특성의 분석을 하며, 이를 위해 소자의 게이트에 높은 전압과 시간을 변화시키는 동적 스트레스 인가 전과 인가 후 소자의 특성으로 드레인 전류, 전달 특성, 문턱전압, 부-문턱전압 기술기(S), 최대 전달 컨덕턴스 등의 변화를 측정하고, 결과로부터 공정에서 수소화 처리 시킨 활성화 에너지 추출과 이 영향이 소자의 특성에 미치는 열화 원인으로 밝혀진 파워인자를 추출하여 핫-캐리어의 역할 변화를 분석 하고자 한다.

II. 실험

제안한 소자의 n-채널 다결정-실리콘 TFT 제작은 기판을 석영 유리 기판에 4,000Å 두께의 완충산화막을 대기압 화학기상 증착법으로 흡착시킨 후, 비정질 실리콘 박막을 비교적 저온인 450°C에서 반응 물질로 Si₂H₆ 가스를 이용하여 LP-CVD 장치로 흡착시켰다. 다결정을 위한 결정화는 온도 600°C에서 10시간 동안 질소분위기에서 고상 재결정법으로 비정질 실리콘을 다결정 실리콘으로 재결정화 하였다. 소자에서 채널 활성영역의 다결정 실리콘의 두께는 600Å로 형성하였고, 게이트 산화막의 두께는 1,000Å, 그 후 건식식각으로 새로운 구조를 위한 측면 벽의 산화막은 반응성 이온식각 방법으로 형성비 차이로 형성을 시켰다. n-LDD 영역 형성은 2x10¹²/cm²의 비소 이온을 주입하였으며, 감광막

을 마스크로 이용하여 3x10¹⁵/cm² 비소 이온을 소스/드레인 영역 공정으로 수행하였다. 이 구조의 박막 소자에서 LDD 이온 주입량이 너무 낮으면 동작 전류의 감소가 크고, 주입량이 너무 높으면 누설 전류가 증가하게 되어, 실제 주입량의 조절에 많은 어려움이 있는데, 공정 시뮬레이션을 통해서 최적 조건으로 2x10¹² cm⁻²로 조절하였다.

게이트 전극을 위한 다결정 실리콘 박막은 550°C에서 LP-CVD 장치로 1,000Å으로 흡착시켰다. 소자에서 활성영역인 채널에서 다결정 실리콘의 그레인 경계면에 많이 존재하는 현수본드를 줄이기 위하여 450°C에서 12시간 동안 수소화 어닐링 공정을 하였으며, 이어서 온도 300°C, 전력 0.5kW에서 한 시간 동안 부가적인 플라즈마 분위기에서 수소화 공정을 하였다. 그림 1은 본 연구에서 제안한 구조의 다결정 박막 트랜지스터의 형성비 식각에 의한 경사형 구조의 단면도와 제작한 평면 사진이다.

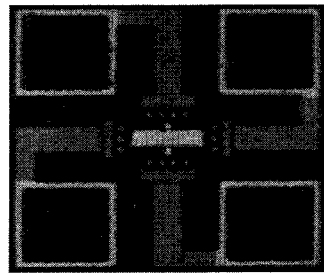
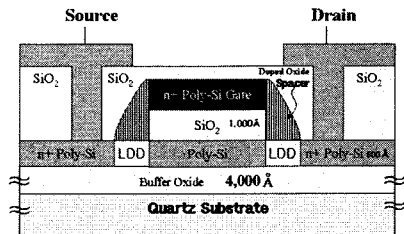


그림 1. 다결정 실리콘TFT의 단면도와 제작된 평면 사진
Fig. 1 Cross Sectional and fabricated layout figure of poly-Si TFT

III. 측정결과와 분석 및 고찰

LDD n-채널 TFT에서 플라즈마 수소 처리 공정의 TFT와 처리를 하지 않은 소자에서 동일한 게이트의 채널폭/길이가 400/5μm인 소자에 드레인 전류-전압의 특성 곡선을 나타낸 결과가 그림 2이다.

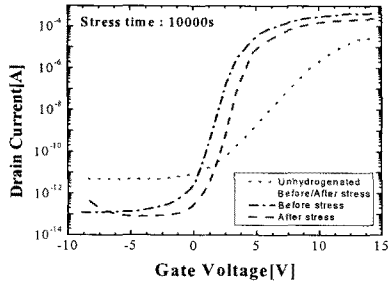


그림2. 수소처리와 비처리 소자에서 스트레스 인가 전후의 I_d - V_{gs} 특성(조건: $V_{gs} = 15V$ 와 $V_{ds} = 12V$ 에서 10000초)

Fig.2. I_d - V_{gs} characteristics of stress before and after bias in the non-hydrogenated and hydrogenated devices

그림2의 스트레스 인가조건이 게이트-소스 전압이 드레인 소스 전압의 절반 보다 큰 $V_{gs} \leq V_{ds}/2$ 조건에서는 문턱전압(V_{th})의 변화는 거의 발생하지 않는 것을 나타내는데, 이러한 실험 결과는 단결정의 MOSFET와는 다른 열화 경향을 나타낸다.^[5,6] 게이트 산화막에 플라즈마 수소화 처리시킨 다결정 실리콘 n-TFT의 $V_{ds}=12V$, $V_{gs}=15V$ 의 스트레스 인가에 의한 전달특성을 나타낸 결과가 그림2이다. 여기에서 수소화 처리시킨 소자와 처리하지 않은 소자의 특성에서 수소화 처리시킨 소자가 월등히 양호한 특성을 나타낸다. 또 수소화 처리시킨 소자를 스트레스 전압으로 긴 시간 10,000초 인가한 소자의 특성 비교에서 인가 전 소자의 전달특성 보다 인가 후의 전달 특성이 우측으로 이동된 특성 열화의 결과이다. 이는 디스플레이에 응용 시 개별 화소의 신뢰할 수 있는 시간으로 스트레스 후, 드레인 동작 전류는 감소하며, 순방향으로 이동하는 것을 확인할 수 있다.

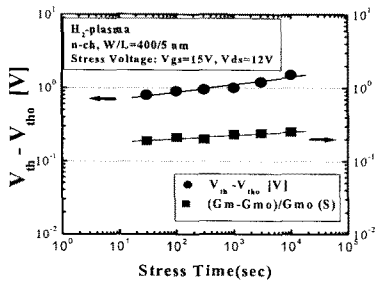


그림3. 수소처리 소자에서 스트레스 시간 대 V_{th} 와 G_m-G_{m0}/G_{m0} 와 스트레스 시간 관계
Fig. 3. Stress time dependence of V_{th} and G_m-G_{m0}/G_{m0} in hydrogenated n-channel poly-Si TFTs.

n-채널 소자의 스트레스 인가 전과 후의 전달 특성을 소스와 드레인 단자를 정상적인 연결과 역으로 연결하여 측정된 결과가 그림3으로서, 드레인-소스 전압 $V_{ds}=15V$ 의 포화영역에의 전달특성을 나타낸다. 소자에 스트레스를 인가하기 위한 최고의 인가전압은 $V_{ds}=12V$, $V_{gs}=15V$ 이었으며, 스트레스 시간은 20초, 100초, 200초, 1,000초와 10,000초를 각각 인가하여 인가하지 않은 최대 전달 컨덕턴스(G_{m0})를 기준으로 인가 후의 최대 전달 컨덕턴스의 변화값(G_m-G_{m0})/ G_{m0} 와 임계전압 변화량을 측정된 결과이다. 스트레스 시간 증가에 따라 약간의 증가 기울기를 나타냈는데, 이는 게이트 산화막 속에 포획된 캐리어의 증가로 포획된 캐리어가 게이트 채널의 유기 전하 효과^[4]로써 채널 길이에 영향을 주는 결과이다. 즉 스트레스 시간의 증가가 곧 게이트 산화막 속으로의 채널 핫-캐리어 효과(CHE)의 증가로 인한 p형의 유기 캐리어의 증가에 기인하여 실제 전자가 지나가는 채널길이가 드레인 근처 채널에서 p형 유기 캐리어로 인해 둘러가는 길이로 실제 채널 길이가 길어지는 효과^[1,3,5]로 설명할 수 있다.

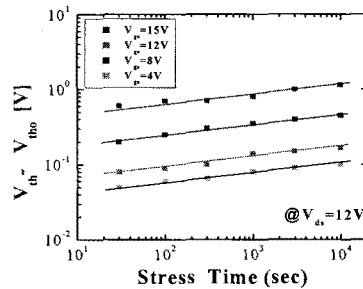


그림4. 수소처리 소자에서 $V_{gs} = 4, 8, 12, 15V$ 대해 V_{th} 의 스트레스 시간 의존성
Fig. 4. Stress time dependence of V_{th} for $V_{gs} = 4, 8, 12, 15V$ in the hydrogenated devices

소자에서 채널 유기체의 최소 게이트 전압 특성에서 열화를 분석하기 위해, 소자에 드레인-소스 전압 $V_{ds}=12V$ 로 고정시키고, 게이트-소스 전압 V_{gs} 를 4V, 8V, 12V와 15V로 각각 변화시킨 전압을 인가한 소자에서 문턱전압을 측정된 결과가 그림4이다.

이 결과는 임계전압과 시간과의 관련식 $\Delta V_{th} \propto t^n$ 으로 분석이 가능하며, 시간t의 기울기로 나타나는 파워인자n은 0.1~0.8 까지로 다결정에서는 캐리어 포획에 의해 약0.2, 계면준위의 발생에 의해 0.5~0.7로 보고^[5,6]되고 있으며, 그림3에서 파워인자는 0.15~0.35의 값으로 추출되었다. 파워인자의 작은 값은 채널 핫 전자의 결과이고, 큰 값은 드레인 애벌런치 핫 캐리어(DAHC)의 결과 보고^[3,5,6]로 인가전압이 DAHC의 $V_{gs}/(V_{ds}/2)$ 보다 낮기 때문에 채널 핫-전자의 결과로 해석할 수 있다.

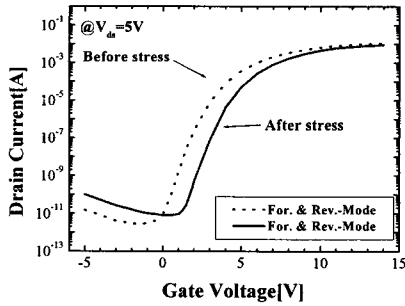


그림5. 순방향 모드와 역모드에서 스트레스 전후의 Id 특성

Fig. 5. Id characteristics of before and after stress at the forward and reverse modes

n-TFT에서 게이트에 전압 바이어스를 인가 전 (점선 특성)과 인가시킨 후(실선 특성) 전류-전압을 측정하였으며, 이 상태에서 소자를 소스와 드레인 단자를 역으로 연결하여 동일한 특성을 측정 한 결과가 그림8이다. 동작 혹은 차단전류의 전달특성의 변화 정도의 크기는 동작모드에 관계없이 동일한 결과가 얻어진다. 그림5의 결과로 감지된 특성열화는 드레인 근처의 드레인 사태 핫-캐리어(DAHC)에 의해 발생하는 것이 아니라 $V_{gs} \approx V_{ds}$ 정도의 전압에서 스트레스를 인가 때문에 전자가 채널 영역을 지나가는 핫 전자에 의해 발생하는 것으로 분석된다.

LDD n-채널 TFT에서 플라즈마 수소 처리 공정의 TFT 소자에서 동일한 게이트의 채널폭/길이가 400/5 μ m인 소자에 게이트 전압을 드레인 전압을 각각 4V, 8V, 12V, 15V로 변화 시켰을 때의 드레인 전류-전압의 특성 곡선을 나타낸 결과가 그림6이다. 여기에서 스트레스 포인터로 표시된 값은 스트레스 전압인가를 나타내며, 선형 영역에서 포화영역까지 다양하게 인가하였다. 게이트 인가 전압의 증가는 채널의 두께를 증가시켜 드레인 전류량과 핀치오프 전압을 추출하기 위한 결과이다.

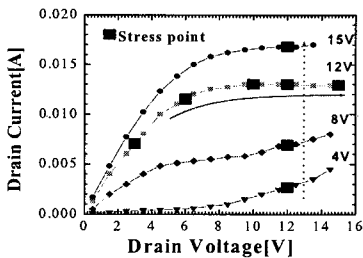


그림6. 수소처리된 엔-채널 다결정 실리콘TFT에서 Vgs 함수로써 Id-Vds 특성

Fig. 6. Id-Vds characteristics as a function of the Vgs in hydrogenated n-channel poly-Si TFTs

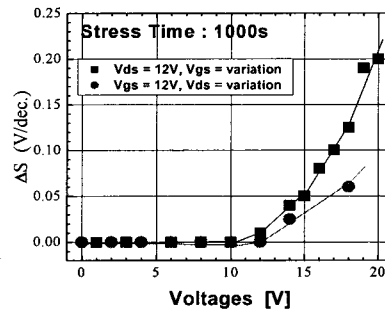
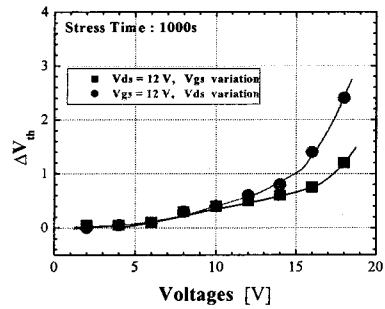


그림7. 수소처리된 소자에서 고정된 Vds 혹은 Vgs=12V 인가때 a) Vth, b) S 이동

Fig 7. a) Vth, b) S shift characteristics when fixed Vds or Vgs = -12V injected in hydrogenated n-channel poly-Si TFT

수소화 처리시킨 n-채널 다결정 실리콘 TFT에 게이트-소스간 전압 $V_{gs}=12V$ 로 고정시키고, 드레인-소스간의 전압 V_{ds} 보다 높은 전압을 인가할 때와 $V_{ds}=12V$ 로 고정시키고 V_{ds} 값을 변수로 하여 문턱전압(V_{th})과 부-문턱전압 기울기(S)의 값을 추출한 결과가 그림7의 a)와 b)이다. 즉 스트레스 전압 V_{gs} 에 의한 경우가 드레인-소스 전압 V_{ds} 에 의한 경우가 보다 문턱전압과 S 값의 열화가 큰 특성을 나타낸다. 이와 같은 원인은 소스에서 드레인 방향의 수평방향 전계에 의해 충분한 에너지를 얻은 채널내의 전류의 전자가 산화막 속으로 주입되며, 다결정 실리콘/산화막 계면에서의 계면준위를 발생 또는 산화막내의 전자 트랩에 의한 채널 핫 전자(CHE)^[5,6]이며, 이한 전자가 열화에 크게 기여하고 있음을 유추할 수 있다. 그러나 V_{ds} 에 의한 스트레스 열화에 대하여 채널의 다결정 실리콘의 그레인 경계의 계면준위 발생이 원인^[4,5,6]일 수 있다

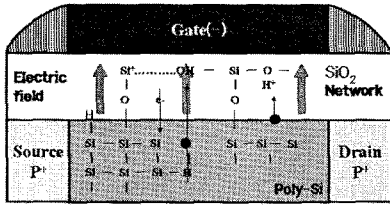
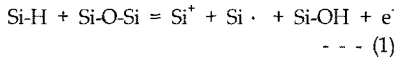


그림8. 스트레스에 의한 특성 열화 메커니즘의 모델화

Fig. 8. Model of characteristics degradation mechanism by stress

소자에서 수소 공정 처리로 게이트 산화막 속으로 수소 처리로 나타날 핫 캐리어의 포획을 설명할 수 있는 모델이 그림8이다. 이 모델에서 인가전압에 의하여 실리콘/산화막 계면 그래인의 Si-H 결합이 절단되어, 계면 준위가 발생되고, 여기에 Si-H 결합의 단절에 의해 발생되어진 H⁺ 이온이 강한 게이트 산화막의 전계에 의해 산화막 속으로 주입 될 수 있다. 이 과정에서 Si-O 결합이 절단되어 양의 고정전하가 발생하며, 열화 현상이 될 반응 과정을 다음 식1로 표시할 수 있다.



여기에서 Si⁺는 양의 고정전하, Si·는 계면준위이다.

한편, 게이트 전극에 양의 바이어스 인가는 음의 바이어스와 동일하게 Si/SiO₂ 계면에서 결정 그래인의 Si-H 결합이 끊어져 계면 준위가 발생되지만 양의 고정전하는 발생이 되지 않는데, 이는 게이트 산화막의 전계 방향이 수소 양이온(H⁺)이 산화막 속에서 이동 방향이 다결정 실리콘 방향으로 움직이기 때문이다.

소자에서 핫 캐리어의 영향을 줄이기 위해 중요한 n-LDD 영역 형성의 비소 이온의 농도가 너무 낮으면 저항 성분이 커서 동작 전류의 감소가 크고, 주입량이 너무 높으면 핫-캐리어에 기인한 누설 전류가 증가하게 되어, 실제 주입량의 조절에 많은 어려움이 발생이 되는데, 공정 시뮬레이션을 통해서 최적 조건으로 2x10¹² cm⁻²로 추출하였다.

n-TFT 채널 영역에서 그래인의 활성화 에너지 분포를 분석하기 위해, 동작 시 포화 아래 영역에서 일어나는 드레인 전류 식2를 이용하였고, 각 게이트 전압 값에 대해서 드레인 전류와 온도계수를 구하여, 그 항에서 활성화 에너지E_a를 추출하였으며, 게이트 전압의 함수로서 나타내었다.

$$I_d = \frac{W}{L} \mu_n C_D \left(\frac{kT}{q} \right)^{-1} \exp \left[\frac{q}{mkt} (V_{gs} - \bar{V}_{gs}) - \frac{q\phi_F}{2kt} \right] \cdot \left[1 - e^{-\frac{qV_{ds}}{kT}} \right] \quad \text{--- (2)}$$

계면준위D_{it}의 영향이 큰 경우는 계면 준위의 등가용량 C_{it} = q · D_{it}가 공핍층 용량C_d와 병렬 연결로써 식(3)으로 표현할 수 있고, 식(4)에서 활성화 에너지E_a를 추출^[2,6]한 결과가 그림9이다.

$$S = \frac{dV_g}{d \log I_d} = \ln 10 \cdot \frac{kT}{q} \left[1 + \frac{C_d + C_c}{C_{ox}} \right] \quad \text{--- (3)}$$

$$- \frac{d}{dV_{gs}} \left(\frac{n_i}{d_i} \right) = \text{Nit} \frac{dqV_s}{dV_{gs}} = - \text{Nit} \frac{dE_a}{dV_{gs}} \quad \text{--- (4)}$$

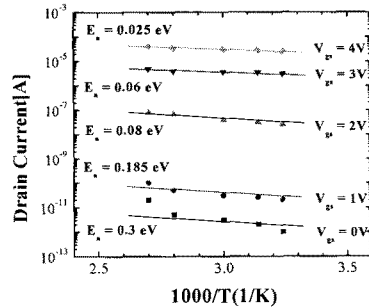


그림9. 스트레스 전의 각각의 V_{gs} 전압의 함수로서 I_d의 활성화 에너지

Fig. 9. Activation energy of the drain current as a function of each V_{gs} before stress

수소화 처리시킨 n-채널 TFT 소자에서 스트레스 전압 인가전에 각각의 게이트 전압에 대한 함수로서 드레인 전류의 활성화 에너지를 추출한 결과에서 활성화 에너지는 게이트 전압의 증가와 함께 감소함을 나타내며, 문턱전압 근처에서의 그래인 전계에 존재하는 전위 장벽은 거의 사라지는 것으로 나타났다. n-TFT 소자에서 짧은 채널 영역에서 드레인 근처에 존재하는 공핍 영역에서 강한 전계가 인가되어 전자 증배현상이 발생하는 Kink 현상^[1,3,5]을 줄이기 위한 LDD 첨가 n-TFT 소자에서 반응성 이온식각 방법으로 형상비 차이로 드레인 접촉창 가장자리의 전계가 낮게 인가되는 경사형 구조가 효과적으로 나타났다.

IV. 결론

낮은 온도의 다결정 실리콘 n-채널 TFT의 제작 과정 중에 게이트 산화막 형성 단계에서 플라즈마 수소 처리 공정을 하였으며, 제안한 새로운 구조의 식각 형상비 모양의 도핑 산화막에 의한 LDD 구조를 갖는 다결정 n-TFT를 제작하였다. 이는 LDD 영역에 의한 직렬 저항 효과로 나타나는 전계 감소 효과 때문에 기존 구조에서 볼 수 있었던 Kink 현상이 I-V 특성에서 현저하게 감소되었으며, 감광막 마스크로 자기 정렬 방법으로 소스/드레인을 정의할 수 있어 공정이 간단해지는 장점이 있었다. 수소처리하지 않은 소자와 수소처리 소자의 전류-전압 특성은 수소처리 소자의 특성 열화가 월등히 개선되었다.

전기적 스트레스를 인가하였을 경우의 스트레스 전압, 스트레스 시간을 변화시켜 문턱전압 V_{th} , 부-문턱전압 기술기S, 최대전달 컨덕턴스 G_m , 파워인자 등의 측정 및 추출 결과로 채널 핫-전자의 원인을 확인하였다. 각각 핫 캐리어 감지에 의한 열화특성을 분석한 결과로는 소자의 핫 캐리어의 결과 특성은 스트레스 전압을 단시간에 인가했을 경우와 스트레스 인가 시간을 계속 증가시켰을 경우의 2가지의 열화 특성을 가지고 있는 것으로 분석되었다. 첫째, 단시간 스트레스 인가한 경우의 열화는 채널에서 발생한 핫-캐리어가 다결정 실리콘의 그레인 혹은 다결정 실리콘/산화막 계면에 존재하는 Si-H 결합들이 해리에 의한 계면준위의 발생으로 인하여 특성 열화가 발생되었고, 둘째로는 스트레스 인가 시간이 길었을 경우의 열화 원인은 게이트 산화막 속으로 주입된 채널 핫-전자에 의한 유기 전하의 발생에 기인된 특성으로 해석할 수 있었다.

따라서 수소처리의 결과가 소자에서 양호한 특성을 나타냈으며, 스트레스 인가 결과가 소자에 미치는 열화 현상의 정도는 감소한 것으로 나타났다.

참고문헌

- [1] Yoshiaki Et al, "Accelerated Negative-Bias Temperature Degradation in Low-Temperature Polycrystalline-Silicon p-Channel TFTs under Dynamic Stress" IEEE Transactions on Electron Devices Vol. 54, No.9, pp. 2451-2459, Sep. 2007
- [2] Vicas Rana et al, "Dependence of Single-Crystalline Si-TFT Characteristics on the Channel Position Inside a Location-Controlled Grain" IEEE Transactions on Electron Devices Vol. 52, No.12, pp. 2622-2628, Dec. 2005
- [3] C. Yoo, D. J. Kim and K.L. Lee "Threshold voltage and mobility mismatch compensated analogue buffer for driver-integrated poly-Si TFT LCDs" Electroncis Letters 20th January 2005 Vol.41, No.2, pp.138-139, 2005
- [4] E.S.Jung, Y.J. Lee, "The Analysis of Degradation Characteristics in Poly-Silicon Thin Film Transistor Formed by Solid Phase Crystallization" Journal of KIEEME. Vol16, No. 1, pp26-32, 2003
- [5] Kow-Ming Chang, Gin-Ming Lin "Effect of Channel-Width Widening on a Poly-Si Thin-Film Transistor Structure in the Linear Region" IEEE Trans. on ED Vol.54, No.9, pp.2418-2425, 2007
- [6] Ming Tang et al "A Study of Threshold Voltage for Poly-Silicon Thin Film Transistors" IEEE 1-4244-0161-5, 2006

본 연구는 2006년 동의대학교 교내 학술연구비 (2006AA145) 지원의 결과로 이루어졌습니다.