

하드웨어 공유를 이용한 파라미터화된 비터비 복호기 설계

박상덕* · 전홍우** · 신경욱**

*금오공과대학교

A Design of Parameterized Viterbi Decoder using Hardware Sharing

Sang-deok Park* · Heung-woo Jeon** · Kyung-wook Shin**

*Kumoh National Institute of Technology

E-mail : erariyo@kumoh.ac.kr

요 약

부호화율과 구속장을 선택적으로 지정할 수 있는 다중 표준용 파라미터화된 비터비 복호기의 효율적인 설계에 대해 기술한다. 설계된 비터비 복호기는 부호화율 1/2과 1/3, 구속장 7과 9를 지원하여 4가지 모드로 동작하도록 파라미터화된 구조로 설계되었으며, 각 동작모드에서 공통으로 사용되는 블록들의 공유가 극대화되는 회로구조를 적용하여 면적과 전력소모가 최소화되도록 하였다. 또한, one-point 역추적 알고리즘에 최적화된 ACCS (Accumulate-Subtract) 회로를 적용하여 완전 병렬구조에 비해 ACCS 회로의 면적을 약 35% 감소시켰다. 설계된 비터비 복호기 코어는 0.35-um CMOS 셀 라이브러리로 합성하여 79,818 게이트와 25,600비트의 메모리로 구현되었으며, 70 MHz 클럭으로 동작하여 105 Mbps의 성능을 갖는다.

ABSTRACT

This paper describes an efficient design of a multi-standard Viterbi decoder that supports multiple constraint lengths and code rates. The Viterbi decoder is parameterized for the code rates 1/2, 1/3 and constraint lengths 7, 9, thus it has four operation modes. In order to achieve low hardware complexity and low power, an efficient architecture based on hardware sharing techniques is devised. Also, the optimization of ACCS (Accumulate-Subtract) circuit for the one-point trace-back algorithm reduces its area by about 35% compared to the full parallel ACCS circuit. The parameterized Viterbi decoder core has 79,818 gates and 25,600 bits memory, and the estimated throughput is about 105 Mbps at 70 MHz clock frequency.

키워드

채널 부호화, 오류정정 부호화, 길쌈부호, 비터비 복호

1. 서 론

디지털 통신기술의 발전에 의해 전송되는 정보의 고속화, 대용량화가 빠르게 진행되고 있으며, 그 응용 분야도 유선통신에서 무선통신, 방송 및 방송과 통신의 융합 등으로 급격히 확대되고 있다.

디지털 통신 시스템은 잡음과, 다중경로 페이딩, 간섭 등 채널상의 여러 가지 요인들에 의해 전송채널에서 오류가 발생하게 되며 이를 정정하기 위해 비터비 복호 알고리즘이 널리 사용되고 있다^[1].

표 1은 디지털 무선통신 시스템들에서 사용되는 채널코딩 사양 (구속장, 부호화율, 최대 전송율)을 보이고 있다. 기존에 개발된 비터비 복호기들은 특정 시스템의 사양을 지원하도록 설계되어 있어 다중 표준 사

양을 지원하지 못하며, 또한 범용 DSP를 기반으로 한 비터비 복호기의 구현은 처리속도가 낮다는 한계를 갖는다^[2-4]. 따라서 다중 표준을 지원하는 비터비 복호기 IP (Intellectual Property)의 사용이 필요하다.

본 논문에서는 다양한 디지털 무선통신 시스템에 적용될 수 있도록 구속장과 부호화율에 따라 하드웨어 블록이 선택적으로 공유되는 파라미터화된 비터비 복호기 IP를 설계하였으며, 이를 통해 면적과 전력소모가 최소화되는 효율적인 하드웨어 구현 방법을 제시하였다. 2장에서는 비터비 알고리즘과 하드웨어 구현에 대해 기술한다. 3장에서는 설계된 비터비 복호기의 기능검증과 성능평가에 대해 기술하고, 4장에서 결론을 맺는다.

표 1. 디지털 무선통신 시스템의 비터비 복호기 사양

시스템	부호화율	구속장	최대 전송율 [Mbps]
ISDB-T	1/2	7	5.4
DVB-T	1/2, 2/3, 3/4, 5/6, 7/8	7	6 ~ 31.7
DAB T-DMB	1/2, 2/3, 3/4, 5/6, 7/8	7	< 5
WLAN	1/2, 2/3, 3/4	7	54
Wibro	1/2, 2/3, 3/4	7	30
UMTS	1/2, 1/3	9	< 5
WLL	1/2	7, 9	0.144
WCDMA	1/2, 1/3	9	2

II. 파라미터화된 비터비 복호기 구현

1967년 Viterbi에 의해 제안된 비터비 복호 알고리즘은 수신된 시퀀스간의 거리를 반복적으로 계산하고, 각각의 상태에 입력되는 모든 경로들의 가지 메트릭 (Branch Metric; BM)을 비교하여 가장 작은 메트릭을 갖는 생존자 (survivor) 경로와 그 메트릭을 구한다^[7]. 또한, 구속장의 5~6배의 길이만큼 반복해서 각 단계마다 메트릭 값을 누적하여 가장 작은 메트릭을 가진 생존자 경로와 상태 메트릭 (Path Metric; PM) 값을 결정한다^[8]. 이렇게 결정된 생존자 경로는 수신된 시퀀스의 최대 유사경로가 되어 역추적 (traceback) 과정을 통해 원래의 데이터를 복호하게 된다.

본 논문에서 설계된 비터비 복호기는 표 2와 같은 사양을 만족하도록 설계되었다. 비터비 복호기는 부호화율과 구속장에 따라 4가지 모드로 동작하므로 각 동작모드에서 공통으로 사용되는 회로들의 공유가 극대화되도록 설계되었다. 그림 1과 같이 BMU에서는 부호화율 1/3을 처리하는 회로가 부호화율 1/2를 처리하는 회로를 공유하도록 설계하였으며, TBU에서는 구속장 9를 처리하는 회로가 구속장 7을 처리하는 회로를 공유하고 있다. 또한, ACSU에서는 (1/3, 9)를 처리하는 회로가 (1/2, 7)과 (1/2, 9), (1/3, 7)을 처리하는 회로들을 공유하도록 설계하였다. (단, (R, K)에서 R과 K는 각각 부호화율과 구속장을 나타낸다)

표 2. 파라미터화된 비터비 복호기의 설계 사양

사 양	파라미터 값
입력 데이터	3 비트 (연관성)
동작모드	(1/2, 7), (1/3, 7) (1/2, 9), (1/3, 9)
부호화 율	1/2, 1/3
구속장	7, 9
생성 다항식	(171,133) ₈ , (557,663,711) ₈
역추적 깊이	48, 60
상태 메트릭 비트 수	10 bit

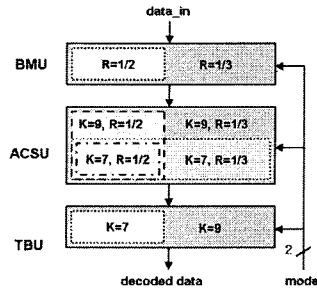


그림 1. 파라미터화된 비터비 복호기의 구조

2.1 BMU (Branch Metric Unit)

BMU은 무선채널을 통과하기 이전의 데이터와 채널의 오류가 섞인 수신신호 사이의 오류 발생을 판별하기 위한 유클리디안 거리 (Euclidean Distance)를 구하는 블록이다. BMU는 그림 2와 같으며, 부호화율 1/2에서는 4개의 유클리디안 거리 계산기 (EDC)와 4개의 가산기만 사용되며, 부호화율 1/3에서는 6개의 EDC와 8개의 가산기가 사용된다.

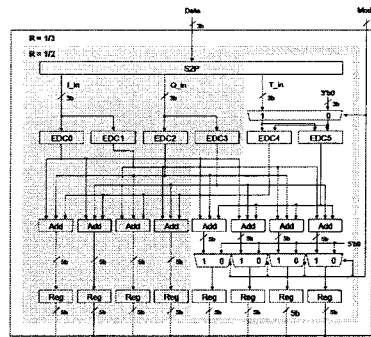


그림 2. 가지 메트릭 유닛(BMU)

2.2 ACSU (Add Compare Select Unit)

ACSU는 BMU에서 생성된 BM 값과 이전상태에서 얻어진 PM 값을 누적하고, 이전상태로부터 입력된 2개의 상태 메트릭 값을 비교하여 작은 값을 생존 경로 정보로 결정한다. 그림 3은 ACSU의 전체 블록도이며, ACCS (Accumulate-Subtract) 블록들과 동작모드에 따라 이전상태의 상태 메트릭을 현재상태에 매핑시키는 부가회로와 데이터 레지스터로 구성된다. ACSU는 동작모드 (1/3, 9)를 처리하는 블록이 다른 블록들을 모두 공유하도록 설계하였다. 따라서 동작모드 (1/3, 9)를 처리하는 회로와 동작모드 제어에 필요한 약간의 부가회로만으로 4가지의 동작모드가 수행 되도록 하여 면적이 최소화되도록 설계하였다.

ACSU의 전체 연산속도는 TBU의 메모리 쓰기속도와 관련된다. TBU는 역추적 기법으로 one-point 알고리즘을 사용하여 메모리 쓰기속도 보다 4배 빠르게 읽기동작이 가능하다. ACSU의 전체 연산속도는

TBU의 메모리 쓰기속도와 같으므로 TBU에서 메모리 읽기속도에 맞춰서 1개의 ACCS 블록으로 4개의 ACCS 기능을 처리할 수 있으며, 완전병렬 구조의 1/4에 해당하는 면적으로 동일한 성능을 구현하여 데이터 저장 비퍼를 추가하여 ACSU 전체적으로 약 35%의 면적을 줄이는 효과를 얻었다.

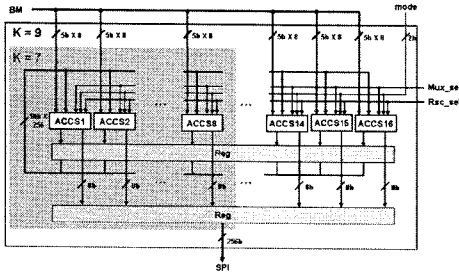


그림 3. ACS (Add-Compare-Select) 유닛

2.3 TBU (Trace Back Unit)

TBU (Trace Back Unit)는 ACSU에서 입력된 생존경로 정보 데이터를 메모리에 저장하고 구속장 길이의 5~6배 동안 역추적하여 데이터를 복호화하는 블록이며, 그림 4와 같이 5개의 메모리 बैं크와 StateGen 및 LIFO로 구성된다. TBU 내부의 메모리 बैं크의 깊이와 LIFO 블록의 메모리 크기는 구속장의 크기에 따라 달라진다. 메모리 बैं크의 크기는 구속장이 7인 경우 64비트이고, 구속장이 9인 경우에는 256비트이다. LIFO 블록의 메모리 크기는 구속장이 7인 경우에는 16비트이고, 구속장이 9인 경우에는 20비트가 된다. 이와 같이 TBU의 회로 크기는 구속장에 따라 달라지므로 구속장 9인 경우의 블록이 구속장 7인 경우의 블록을 공유하도록 설계하였으며, 이를 통해 회로 복잡도를 최소화하였다.

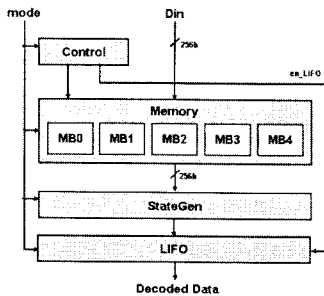


그림 4. 역추적 유닛(TBU)

III. 설계 검증 및 성능 평가

설계된 비터비 복호기 코어는 Verilog HDL을 이용하여 RTL 수준에서 모델링되었으며, 그림 5와 같은 과정으로 기능검증과 성능을 평가하였다. 기능검증과

성능평가를 위한 시뮬레이션 벡터는 Matlab을 사용하여 생성되었다. ModelSim을 이용한 기능검증 결과는 그림 6과 같으며, 부호화율과 구속장 파라미터에 따른 4가지 동작모드에 대해 그림 5의 랜덤 데이터와 동일한 복호출력이 얻어져 정상 동작함을 확인하였다.

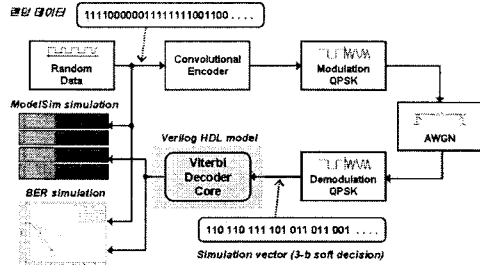


그림 5. 기능검증 및 BER 성능평가 방법

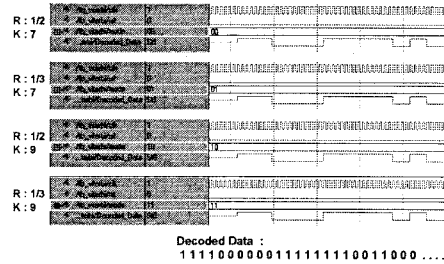


그림 6. 설계된 비터비 복호기 코어의 기능검증 결과

설계된 비터비 복호기의 Verilog HDL 모델을 Matlab에 연동시켜 BER (Bit Error Rate) 특성을 시뮬레이션 하였으며, 그림 5의 방법으로 생성된 100,000개의 랜덤 데이터를 사용하였다. 그림 7은 시뮬레이션을 통해 얻어진 BER 성능을 보인 것이다. 오류정정 부호를 사용하지 않는 경우에는 10^3 의 비트 오류율을 얻기 위해 약 6.8 dB의 E_b/N_0 가 요구되나, 설계된 비터비 복호기의 경우에는 부호화율과 구속장 파라미터 (1/2, 7), (1/3, 7), (1/2, 9), (1/3, 9)에 대해 각각 3 dB, 2.8 dB, 2.5 dB, 2.2 dB의 E_b/N_0 에서 동일한 비트 오류율이 얻어져 3.8~4.6 dB의 부호화 이득이 얻어짐을 확인하였다.

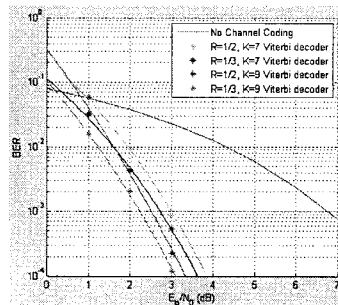


그림 7. 설계된 비터비 복호기 코어의 BER 성능

설계된 파라미터화된 비터비 복호기는 0.35-um CMOS 셀 라이브러리를 이용하여 Synopsys사의 DesignCompiler로 합성한 결과 79,818개의 게이트와 25,600비트의 RAM으로 구현되었다. 타이밍 분석 결과, 설계된 비터비 복호기 코어는 70 MHz의 클럭 주파수로 동작이 가능하며, 105 Mbps의 성능을 갖는 것으로 평가되었다. 합성이 완료된 회로는 자동 배치·배선 툴로 레이아웃 하였으며, 그림 8은 레이아웃 도면을 보인 것이다. 코어의 면적은 3.854×3.855 mm² 이며, 설계된 비터비 복호기의 성능은 표 3과 같다.

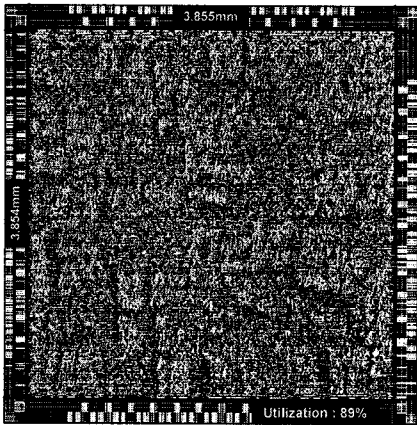


그림 8. 설계된 비터비 복호기 코어의 레이아웃

표 3. 설계된 비터비 복호기 코어의 특성

구분	특성	
동작 모드 (부호화율, 구속장)	(1/2, 7), (1/3, 7) (1/2, 9), (1/3, 9)	
동작 주파수	70 MHz	
동작 성능	105 Mbps	
BER 성능	(1/2, 7)	10 ⁻⁴ at E _b /N ₀ =3.8 dB
	(1/3, 7)	10 ⁻⁴ at E _b /N ₀ =3.6 dB
	(1/2, 9)	10 ⁻⁴ at E _b /N ₀ =3.3 dB
	(1/3, 9)	10 ⁻⁴ at E _b /N ₀ =3.1 dB
Latency	구속장 7	365 cycles
	구속장 9	445 cycles
게이트 수	로직 : 79,818 게이트 메모리 : 25,600 비트	

IV. 결 론

본 논문에서는 T-DMB, WLAN, Wi-Fi, WCDMA 등 다양한 디지털 통신 시스템의 설계 사양을 만족시키는 다중 표준용 파라미터화된 비터비 복호기를 설계하였다. 설계된 비터비 복호기는 4가지 모드로 동작하며, 각 동작모드에서 공통으로 사용되는 회로들의 공유가 극대화되도록 최

적의 구조를 고안하여 적용하였으며, One-point 역추적 알고리즘에 적합한 ACCS 블록을 적용하여 완전 병렬구조의 ACCS 블록보다 약 35%의 면적을 감소시켰다. Verilog-HDL로 설계된 비터비 복호기 코어는 0.35-um CMOS 라이브러리로 합성한 결과 79,818개의 논리 게이트와 25,600비트의 RAM으로 구현되었으며, 70 MHz 동작주파수에서 105-Mbps의 성능을 가져 다양한 무선 통신 시스템의 오류정정 하드웨어 설계에 IP 형태로 사용될 수 있을 것이다.

참고문헌

- [1] John G. Proakis, *Digital Communications*, McGraw-Hill, 1995.
- [2] M. Quax, I. Held, "Multi-Standard Embedded Processor for Viterbi Decoding", *Global Signal Processing & Expos, GSPx2005*.
- [3] A. Niktash, H.T. Parizi, N. Bagherzadeh, "A Multi-Standard Viterbi Decoder for Mobile Applications Using Reconfigurable Architecture", *IEEE Vehicular Technology Conf. (VTC-2006)*, pp. 1-5, Sep. 2006.
- [4] L. Bissi, P. Placidi, G. Baruffa, A. Scorzoni, "A Multi-Standard Reconfigurable Viterbi Decoder using Embedded FPGA blocks", *IEEE EURO- MICRO Conf. on Digital System Design (DSD'06)*, pp. 146-154, 2006.
- [5] A.M. Obeid, A.G. Ortiz, M. Glesner, "A Constraint Length and Throughput Reconfigurable Architecture for Viterbi Decoders", *Int. Conf. on Industrial Technology (ICIT'04)*, pp. 1293-1297, Dec., 2004.
- [6] I. Ahmed, T. Arclan, "A Reconfigurable Viterbi Decoder for a Communication Platform", *Int. Conf. on Field Programmable Logic Applications (FPL'06)*, pp. 1-6, Aug., 2006.
- [7] A.J. Viterbi, "Error bounds for convolutional codes and asymptotically optimum decoding algorithm," *IEEE Trans. Inf. Theory*, vol. IT-13, no. 2, pp. 260-269, Apr. 1967.
- [8] G. Feygin, P.G. Gulak, "Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders" *IEEE Transaction on Comm.*, vol. 41, No. 3, pp. 425-429, March 1993.

※2007년도 금오공과대학교 교내연구비 지원에 의한 연구 결과의 일부임.
 ※반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.