

LCD 생산 공정의 FGV 테스트를 위한 신호발생 장치 개발

박형근*, 김선엽**, 양명헌***

*남서울대학교 전자공학과

**남서울대학교 정보통신공학과

*** (주)맥스텍 기업부설연구소

e-mail: phk315@nsu.ac.kr

Development on the Signal Generator for FGV Test of LCD Manufacturing Process

Hyoung-Keun Park*, Sun-Youb Kim**, Myeong-Hun Yang***

*Dept of Electronic Eng., Namseoul University

**Dept of Information Communication Eng., Namseoul University

***Research & Development Center, Maxtech Co. Ltd.

요 약

현재 국내·외의 디스플레이 산업에서의 경쟁력은 사용자의 요구에 부응하는 제품을 얼마나 적시에 적절한 가격으로 출시하는가에 달려있다. 또한 국외, 특히 중국과 대만의 거센 추격을 받을 뿐만 아니라 시장조사기관에서는 지속적인 가격하락을 예상하고 있다. 이를 극복하고 국내업체가 세계시장에서 경쟁력을 확보하기 위해서는 수출의 극대화가 필수적이다. 따라서 본 연구개발에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 공정을 개선하기 위하여 Full Gate Visual 테스트에 필수적인 FGV 패턴발생 장치와 공정제어 장치를 개발하였다.

1. 서론

현재 국내·외의 디스플레이 산업에서의 경쟁력은 사용자의 요구에 부응하는 제품을 얼마나 적시에 적절한 가격으로 출시하는가에 달려있다. 또한 국외, 특히 중국과 대만의 거센 추격을 받을 뿐만 아니라 시장조사기관에서는 지속적인 가격하락을 예상하고 있다. 이를 극복하고 국내업체가 세계시장에서 경쟁력을 확보하기 위해서는 수출의 극대화가 필수적이다. 그러나 S전자 LCD 생산라인에서 모듈의 수출이 장기적으로 정체상태가 되고 있으며 이는 곧 LCD 산업의 지속적인 성장과 이익의 극대화에 가장 큰 걸림돌이 되고 있다.

따라서 본 연구개발에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 공정을 개선하기 위하여 Full Gate Visual 테스트에 필수적인 FGV 패턴발생 장치와 공정제어 장치를 개발하였다.

본 연구개발을 통하여 접촉손실(Tact Loss)을

'0(zero)'에 근접한 수준으로 유지할 뿐만 아니라 손실 및 에러 발생시 신속한 대처가 가능하여 모듈의 수출을 향상시킬 수 있을 것으로 기대된다. 또한 Gate 레벨 테스트와 Visual 테스트를 상호 보완할 수 있는 공정 제어장치의 개발을 통하여 최소한의 비용투자와 최대의 효과를 창출할 수 있도록 세부 동작 시퀀스를 제어하기 위한 H/W와 S/W 시스템을 생산라인에 실장하고 성능점검 및 인증을 통하여 제품화하였다.

2. 과제개발 내용

우리나라의 LCD 산업분야는 세계적 기술력과 생산량을 자랑하고 있을 뿐만 아니라 세계 기술표준을 선도하고 있는 대표적인 분야 중 하나이다. 그러나 반도체 Wafer 및 LCD 검사와 같은 고난이도의 첨단 검사장비인 경우에는 현실적으로 외국검사장치 자체를 수입함으로써 LCD 판넬 수출의 증가와

함께 주요 생산공정용 장비의 대일 수입 의존도 역시 증가하는 결과를 초래하고 있다. 특히, 향후 국가 기간산업과 미래 유망산업으로의 위치를 확고히 해 나가고 있다는 산업의 특수성으로 인해 특별히 현장상황에 맞춘 개발 작업이 필요한 경우의 검사장비는 국내업체가 특화하여 개발하는 것이 필수적이다.

또한 LCD는 일반 컬러TV용 브라운관(CRT) 모니터와는 달리 화소 하나 하나가 반도체로 구성돼 생산과정에서 정밀한 검사가 요구되므로 검사장비의 역할이 매우 중요하다. 이와 같이 반도체·디스플레이 생산 라인에서 테스트의 중요성이 커지는 가운데 공정 마지막뿐 아니라 중간 단계에서도 테스트 작업이 확대되면서 이 시장을 겨냥한 장비 업체들의 움직임도 빨라지고 있다. 왜냐하면 300mm 웨이퍼나 7세대 LCD 라인 등 대형 라인의 등장으로 개별 웨이퍼나 유리기관 가격도 크게 높아지면서 불량 발생률 경우 입는 피해도 함께 커졌기 때문이다. 300mm 웨이퍼의 경우 200mm 제품에 비해 웨이퍼 1장에 반도체가 2.5배 가량 많이 집적되므로 가격도 높아질 수밖에 없다.

이러한 대형 LCD 판넬을 대량으로 생산한 후 필수적으로 수행해야 하는 Aging 검사공정, Cooling 공정, Final Test 공정, QA공정, 최종 외관 검사, Packing 공정, Gate 레벨 테스트, Visual 테스트 등의 각종 검사공정은 장비 자체는 물론 공정이 복잡할 뿐만 아니라 검사과정 중에서 접촉손실(Tact Loss), 배경보다 어두운 흑점(Black spot)이나 배경보다 밝은 얼룩인 백점(White spot), 굵힘 등과 같은 결함이 있게 되면 결국 LCD의 해당되는 화소(pixel) 또는 라인(line)에서 색상을 제대로 표현하지 못하게 된다. 따라서 BLU(Back Light Unit)의 휘도와 표면을 검사할 수 있는 알고리즘, 그리고 동시에 공정개선을 위한 알고리즘이 탑재된 자동 검사장비의 필요성이 국내·외 LCD 관련 부품 및 장비업체에서 대두되어 왔다.

또한 검사 공정상의 비효율성으로 인하여 정상 판넬이 불량으로 판정될 경우 폐기되거나 재작업(rework)해야 하고 불량 판넬을 판정하지 못하여 결과적으로 모듈의 수율을 떨어뜨리는 결과를 나타낸다. 더욱이 사용자의 요구 증대 및 관련 기술의 발전으로 현재 생산되고 있는 LCD 웨이퍼의 규격이 급격히 증가할 뿐만 아니라 고가의 대형 판넬들이 등장함에 따라 생산 공정상에서 모듈의 수율을 높이

기 위한 지속적인 연구개발과 공정개선을 위한 제어 장치에 대한 연구가 필수적이다.

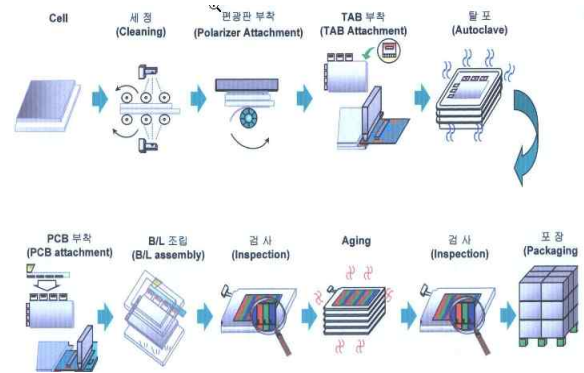


그림 1. LCD 제조 공정

따라서 본 연구에서는 LCD 모듈이 조립된 상태에서 일정시간 동안 판넬에 Signal 전원과 Back Light 전원을 인가시켜 패턴을 구동시키면서 동작 상태를 확인할 수 있도록 FGV (Full Gate Visual) 테스트를 위한 패턴발생 장치를 그림 2와 같은 시스템 구조로 개발하였다.

또한 FCGS(Full Contact Gate Signal)를 인가함으로써 구동 품질을 최적화하고 FCG 테스트 패턴 중간에 FGV 검사 패턴을 삽입함으로써 검사 효율을 증가시킬 수 있어 결과적으로 접촉손실(Tact Loss)을 획기적으로 줄일 수 있도록 개발하였다.

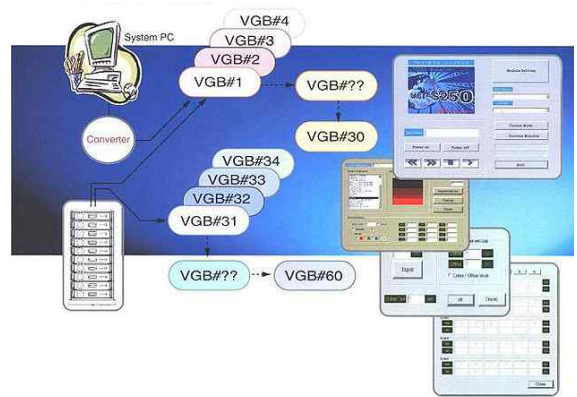


그림 2. FGV(Full Gate Visual) 테스트를 위한 패턴발생 장치 구성도

본 연구를 통하여 접촉손실(Tact Loss)을 '0(zero)'에 근접한 수준으로 유지할 뿐만 아니라 손실 및 에러 발생시 신속한 대처가 가능하여 모듈의 수율을 향상시킬 수 있을 것으로 기대된다. 또한 Gate 레벨 테스트와 Visual 테스트를 상호 보완할 수 있는

공정 제어장치의 개발을 통하여 최소한의 비용투자와 최대의 효과를 창출할 수 있도록 세부 동작 시퀀스를 제어하기 위한 H/W와 S/W 시스템을 생산라인에 실장하고 성능점검 및 인증을 통하여 제품화하였으며 생산라인에서의 실장을 위한 개념도는 그림 3과 같다.

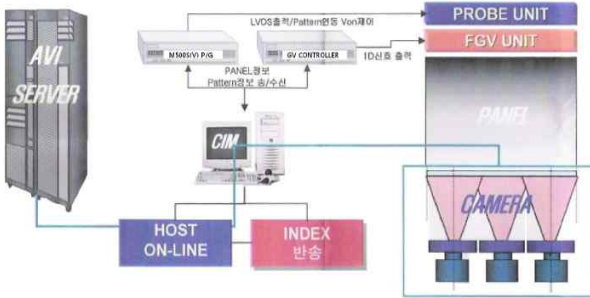


그림 3. 생산라인에서의 실장을 위한 개념도

그림 3에서와 같이 본 연구에서 개발한 시스템은 LVDS 출력과 패턴 신호에 연동하여 전원을 자동 설정하는 PROBE단과 Full Gate Visual 검사를 위해 판넬정보와 패턴정보를 송수신함으로써 1D 신호를 처리하는 FGV단으로 구성하였다. 또한 신호 인터페이스부와 제어용 CIM PC 및 AVI 서버와 네트워크를 통하여 정보를 교환함으로써 효율적인 생산관리 및 모니터링 그리고 공정개선을 위한 제어에도 이용할 수 있도록 개발하였다.

3. 시제품 제작 및 테스트 결과

본 연구에서 개발한 FGV 테스트 공정을 위한 패턴발생 및 공정제어용 내부 모듈은 그림 4와 같다.



그림 4. 신호발생 및 공정제어 장치 내부 모듈

본 연구개발을 통하여 접촉손실(Tact Loss)을 '0(zero)'에 근접한 수준으로 유지할 뿐만 아니라 손실 및 에러 발생시 신속한 대처가 가능하여 모듈의 수율을 향상시킬 수 있을 것으로 기대된다. 이러한 Gate 레벨 테스트와 Visual 테스트를 상호 보완할

수 있는 공정 제어장치의 테스트 및 제어를 위한 윈도우는 그림 5, 그림 6, 그림 7과 같다.

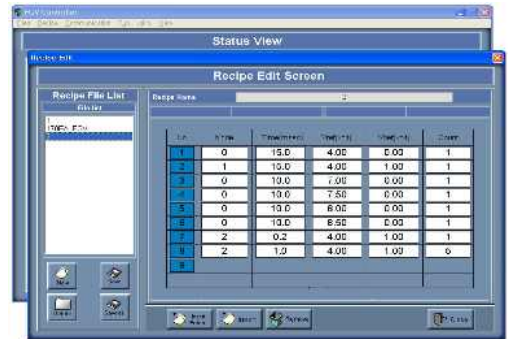


그림 5. 테스트 및 제어윈도우(I)

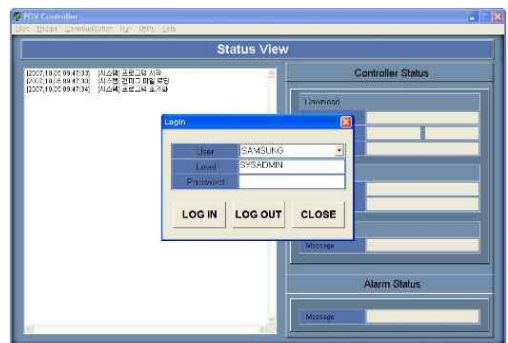


그림 6. 테스트 및 제어윈도우(II)



그림 7. 테스트 및 제어윈도우(III)

4. 결론

4.1 개발된 시스템 및 평가

본 연구개발에서는 정해진 환경에서 최대의 불량검출 능력을 발휘할 수 있도록 공정을 개선하기 위하여 Full Gate Visual 테스트에 필수적인 FGV 패턴 발생 장치와 공정제어 장치를 그림 8과 같이 개발하였으며, 성능평가표는 표 1과 같다.



그림 8. FGV 테스트 패턴발생 및 공정제어 시스템

표 1. 성능 평가표

평가항목	단위	결과	비고	
1. Pixel Frequency	Hz	8 ~ 250MHz	Variable	
2. Accuracy	PPM	25PPM	-	
3. Horizontal Timing	Scan	Hz	Horizontal Frequency	
	Front Porch	Dot		0~999 Dot
	Display Time	Dot		50~2048 Dot
4. Vertical Timing	Scan	Hz	Vertical Frequency	
	Front Porch	Line		0~999 Lines
	Display	Line		20~2048Lines
	Resolution	Step		1/2Line Steps
5. Code & Interface	-	BCD & RS-232C	-	
6. Pattern Number	-	133 patterns	-	
7. Timing format Number	-	250 formats	-	
8. Storage type	-	EEPROM	R/W	
9. Power requirement	V Hz	110/220V 50/60Hz	HVS Output Connector	

참 고 문 헌

[1] M. Pedram, "Power Minimization in a Backlit TFT-LCD Display by Concurrent Brightness and Contrast Scaling", Proc. of DATE, Vol. 1, pp.10252, Feb. 2004

[2] M. S. Son et. al., "Electrical simulation of the flicker in poly-silicon TFT-LCD pixels for the large-area and high-quality TFT-LCD development and manufacturing", IEEE Solid-State Electronics Vol. 48, No. 11, pp.2307-2313, Dec. 2004

[3] Kim C. G, Kim et, al., "Driving cold cathode fluorescent lamps in parallel", Electronics Letters, Vol. 41, Issue 4, pp. 163-164, Feb. 2005

[4] J. Y. Hwang, "Liquid crystal aligning capabilities and EO characteristics of the photoaligned TN-LCD on a photo-cross linkable polyimide based polymer", Mol. Liquid Crystal, No. 412, pp.259-268, 2004

[5] K. N. Choi, "Area-Mura Detection in TFT-LCD Panel", IS&T/SPIE Symp. on Electronic Imaging, Vision Geometry XII, pp.151-158, Jan. 2004

4.2 향후계획

- LVDS 출력과 패턴 신호에 연동하여 전원을 자동 설정하는 PROBE단 개발
- Full Gate Visual 검사를 위해 판넬정보와 패턴정보 송수신 모듈을 통합
- 인터페이스부와 CIM PC 및 AVI 서버와 네트워크 연결
- LCD 테스트에 적합한 여러 응용 소프트웨어 지원 및 개발
- 타 공정분야에 응용 개발