

저면적 복소곱셈기를 이용한 64 포인트 FFT 프로세서의 구현

권혁빈, 김규철
 단국대학교 전자컴퓨터공학과, 단국대학교 전자컴퓨터공학과
 e-mail : binbiribin@dankook.ac.kr, kckim@dku.edu

Design of 64-point FFT Processor using Area Efficient Complex Multiplier

Hyeokbin Kwon, Kyuchull Kim
 Dept. of Electronic and Computer Engineering, Dankook University
 Dept. of Electronic and Computer Engineering, Dankook University

요 약

FFT(Fast Fourier Transform)는 디지털신호처리에 폭넓게 사용되며 특히 여러 OFDM 시스템에 FFT 처리 과정은 꼭 필요한 부분이다. 본 논문에서는 802.11a W-LAN 에 사용되는 64-point FFT 프로세서를 설계하였다. 설계된 FFT 프로세서는 Radix-2³ 알고리즘을 사용하였으며 저면적복소곱셈기를 사용하여 FFT 프로세서의 면적을 줄이는 방법을 제안한다. 기존의 방식에서 네 개의 실수 곱셈기와 두 개의 덧셈기로 구성되는 복소 곱셈기를 두 개의 실수 곱셈기와 한 개의 덧셈기가 수행하도록 설계하였다. 제안한 FFT 프로세서는 VHDL 로 구현되었고 Quartus 4.2 에서 합성되었다. 합성결과 기존 방식에 비해 약 21%의 면적효율이 발생하였다.

1. 서론

최근 많은 광대역 유무선 통신 응용분야에서 OFDM 방식을 표준기술로 채택하여 있다. N 개의 병렬 데이터 열로 변환된 직렬 데이터 열을 각각 분리된 부반송파에 실어 전송함으로써 다중경로 채널에 강한 심볼을 생성하는 OFDM 방식은 송수신단에서 FFT/IFFT 프로세서를 이용하여 신호를 변복조한다. FFT/IFFT 프로세서가 OFDM 방식의 물리계층에서 가장 큰 면적과 전력을 소모하기 때문에 고성능의 FFT 프로세서를 구현하는 것이 OFDM 방식의 고속 무선 데이터 통신을 구현하기 위한 핵심이라 할 수 있다. 따라서, 이러한 광대역 무선 OFDM 응용분야에서는 높은 성능과 다양한 포인트 길이뿐만 아니라 저면적 및 저전력 FFT/IFFT 프로세서가 요구된다[1].

본 논문에서는 기존의 FFT 프로세서에서 동시에 수행되던 실수부와 허수부의 연산을 순차적으로 처리하는 방식으로 복소곱셈기의 연산을 실수곱셈기가 처리하는 방법을 제안한다. 이를 802.11a 의 W-LAN 에 사용되는 64 포인트 FFT 프로세서의 설계에 적용하였다.

2. 알고리즘

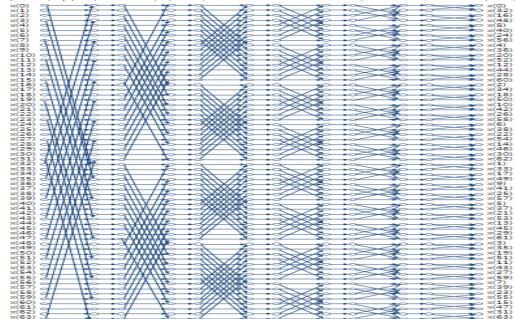
본 논문에서는 FFT 알고리즘 중 Radix-2 알고리즘을 사용하여 64 포인트 FFT 프로세서를 설계하였다. DFT 식은 다음과 같다.

$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{kn}, \quad 0 \leq k < N \quad (1)$$

식 (1)은 다음과 같이 변형할 수 있다.

$$X(k) = \sum_{n=0}^{\frac{N}{2}-1} [x(n) - x(\frac{N}{2}+n)]W_N^{kn} + [x(\frac{N}{8}+n) - x(\frac{5N}{8}+n)]W_N^{k(\frac{N}{8}+n)} + [x(\frac{N}{4}+n) - x(\frac{3N}{4}+n)]W_N^{k(\frac{N}{4}+n)} + [x(\frac{5N}{8}+n) - x(\frac{7N}{8}+n)]W_N^{k(\frac{5N}{8}+n)} \quad (2)$$

식(2)에 $k = 8r, 8r+1, 8r+2, 8r+3, 8r+4, 8r+5, 8r+6, 8r+7$ 을 각각 대입하면 다음과 같은 신호흐름을 구할 수 있다.

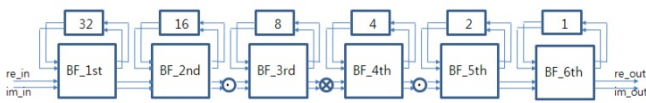


<그림 1> Radix-2 64-point 파이프라인구조

3. R2³SDF 파이프라인 구조

R SDF 구조는 \log 개의 스테이지로 구성되며 64 포인트의 경우 6 개의 스테이지로 구성된다. FFT 연산시 각 스테이지에는 실수부와 허수부가 동시에 입력되어 덧셈과 뺄

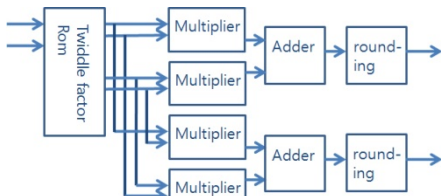
셈 연산을 하여 덧셈의 결과는 바로 출력된다, 뺄셈의 결과는 지연소자로 입력되어 덧셈의 결과에 뒤따라 출력을 시작한다. 이렇게 출력된 결과에 적절한 회전인자가 곱해지게 되며 회전인자의 곱셈은 회전인자가 필요치 않은 곱셈과 일정비트 수의 회전인자가 필요한 곱셈으로 나뉜다. 회전인자가 필요치 않은 곱셈은 실수부와 허수부의 위치를 바꿔주는 스위치로 구현이 가능하며 일정한 비트의 회전인자가 필요한 곱셈은 복소상수곱셈기와 복소프로그램머블곱셈기를 이용하여 연산한다. 복소상수곱셈기는 특정 회전인자에 대한 연산만 가능하며 복소프로그램머블곱셈기에 비해 비교적 간단한 구조로 이루어져 있다. 일반적으로 복소프로그램머블곱셈기는 네 개의 실수 곱셈기와 두 개의 실수덧셈기로 구성되어 있으며 FFT 프로세서의 조합회로 중 가장 많은 면적을 차지하고 있어 효율적인 FFT 프로세서의 성능에 가장 큰 영향을 미친다 할 수 있다.



<그림 2> R2³SDF 파이프라인 구조

4. 제안하는 복소곱셈기

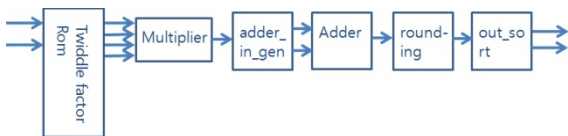
기존의 복소곱셈기는 <그림 3>과 같은 구조로 구성되며 이전 stage의 실수부와 허수부 출력(a+ib), 회전인자(c+id)의 실수부와 허수부를 입력받아 네 개의 실수곱셈기가 각각 (ac), (-bd), (bc), (ad)의 연산을 수행하고 뒤따르는 두 개의 덧셈기가 (ac-bd), (bc+ad)의 연산을 수행한다.



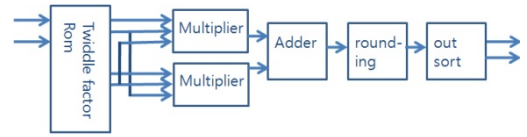
<그림 3> 기존 방식의 복소곱셈기

본 논문에서는 곱셈기를 네 배 빠르게 동작시켜 네 개의 곱셈기가 수행하던 연산을 한 개의 실수곱셈기가 수행하는 방식을 제안한다. 실수곱셈기에 (a c), (b,-d), (b,c), (a,d)를 순차적으로 입력하고 (ac, -bd, bc, ad)의 연산을 수행한다. 뒤따르는 한 개의 덧셈기가 (ac-bd, bc+ad)의 연산을 수행하여 곱셈의 결과를 완성한다. 한 개의 실수곱셈기와 한 개의 덧셈기로 구현되는 복소곱셈기의 구조는 <그림 4>와 같다. 복소곱셈기를 구성하는 실수곱셈기의 면적이 기존방식의 1/4 정도로 감소되는 효과를 볼 수 있으나 빠른 동작속도로 인하여 전력이 증가하는 문제점이 있다.

이를 해결하기 위해 두 개의 실수곱셈기로 구성되는 복소곱셈기를 제안한다. 처음 제안한 방식에 비해 실수곱셈기의 면적이득이 적어지지만 동작속도가 감소함에 따라 전력 증가율 또한 감소하게 된다. 그 구조는 <그림 5>와 같다.



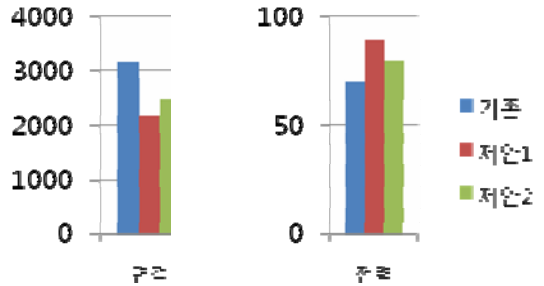
<그림 4> 한 개의 실수 곱셈기로 구성된 복소곱셈기



<그림 5> 두 개의 실수 곱셈기로 구성된 복소곱셈기

5. 시뮬레이션 및 합성 결과

본 논문에서 제안한 구조는 VHDL 로 코딩하였고 시뮬레이션에는 ModelSim 을 사용하였고 그 결과를 MATLAB 과 C 에서의 결과와 비교하였다. Altera 사의 EP1S10F484C5 를 타겟 디바이스로 선택하여 Altera 사의 Quartus4.2 를 이용하여 합성하였다. 기존의 R2³SDF 구조를 사용한 64 포인트 FFT 프로세서와 제안한 구조를 사용한 FFT 프로세서의 Logic Element 의 사용량과 소모전력을 비교하면 다음과 같다



<그림 6> 64 포인트 FFT 프로세서의 Logic 사용량 및 전력비교

6. 결론

본 논문에서는 네 개의 실수곱셈기와 두 개의 실수덧셈기가 수행하던 FFT 의 복소곱셈을 하나의 실수곱셈기와 하나의 실수덧셈기, 두개의 실수곱셈기와 하나의 실수덧셈기가 순차적으로 수행하여 FFT 프로세서의 면적을 줄이는 방법을 제안하였다. 기존 방식에 비해 조합회로의 면적은 각각 31.6%, 21.8% 감소하였으나 동작속도 증가에 따라 소모 전력에서 26.7%, 13.7%의 증가가 수반되었다. 필요한 복소 곱셈기의 개수가 증가하는 512, 1024, 2048 포인트 FFT 구현시 면적이득이 더욱 증가할 것으로 보이며 다양한 알고리즘에 적용할 수 있어 추후 FFT 프로세서 설계 및 구현에 도움이 될 것으로 기대된다.

참고문헌

- [1] 오정열, “저 면적 및 저 전력 복소 곱셈기를 갖는 파이프라인 방식의 FFT 프로세서에 관한 연구”, 박사학위논문, 전북대학교 대학원, 2005
- [2] 이창훈, 광성민, 강봉순, “IEEE 802.11a OFDM System 을 위한 파이프라인 구조인 R4SDC 와 R2³SDF IFFT/FFT 모듈의 설계 비교, 동아대학교 부설 정보기술연구소 논문지 제 11 권 제 1 호 pp. 99~104, 2003
- [3] 강창주, “Mixed Structure FFT 의 FPGA 구현”, 석사학위논문, 중앙대학교 대학원, 2003
- [4] TTAS.KO-06.0064R1, 2.3GHz 휴대인터넷 표준(물리계층), 한국정보통신기술협회, Dec. 2004
- [5] 유무선 통신시스템 설계, 이종철, 양훈기, 김종현, 김진영
- [6] OFDM For Wireless Multimedia Communications, Richard Van Nee, Ramjee Prasad
- [7] Theory and Applications of OFDM and CDMA, Henrik Schulze, Christian Lüders