

# 내장형 시스템을 위한 저전력 캐시 설계

정회태\*, 서효중\*\*

\*가톨릭대학교 컴퓨터공학과

\*\*가톨릭대학교 컴퓨터공학과

e-mail:htjung07@gmail.com

## The low-power cache design for embedded systems

Hoi-Tae Jung\*, Hyo-Joong Suh\*\*

\*Dept of Computer Engineering, Catholic University of Korea

\*\*Dept of Computer Engineering, Catholic University of Korea

### 요 약

내장형 시스템에서 캐시 메모리는 시스템의 성능과 전력 소모에 매우 큰 비중을 차지한다. 일반적인 내장형 시스템에 적용되는 집합 연관 구조 캐시는 모든 웨이에 전력을 공급해야 하므로 전력 소모 효율성이 매우 낮다. 이러한 단점을 보완하기 위해 순차 접근 캐시는 데이터가 존재하는 하나의 캐시만 항상 전력을 공급하게 하는 구조를 제안하지만 모든 작업에 1사이클이 더 소모되는 단점을 갖는다. 캐시 웨이 예측 기법은 적중 시 1사이클의 시간에 1개의 웨이에 만 전력을 공급하게 하는 최상의 구조를 갖지만 적중 실패 시 일반적인 집합 연관 구조보다 1사이클이 더 소모되고 똑같은 전력 소비를 가져오는 단점을 갖는다. 본 논문에서는 이 두 구조의 절충안을 통해 데이터 적중 시 웨이 예측 기법과 같은 성능을 가지며 실패 시에도 순차 접근 캐시와 동일한 성능을 보이는 새로운 내장형 시스템을 위한 저전력 캐시 구조를 제안한다.

### 1. 서론

내장형 시스템에서 캐시 메모리는 시스템의 성능에 큰 영향을 줄뿐만 아니라, 캐시 메모리에서 소모되는 전력이 크게는 전체의 50% 정도를 차지하는 경우도 있어 내장형 시스템 성능의 큰 관심거리 중 하나로 자리 잡고 있다[1]. 직접 사상과 완전 연관의 절충된 형태로서 일반적으로 많이 사용되는 집합 연관 캐시는 모든 웨이에 전력을 공급하여 데이터를 읽어 올 수 있는 상태에서, 동시에 주소 값의 일부로 구성된 태그 값과 각각의 웨이로부터 읽어온 태그 값을 비교를 통해 값이 일치하는 하나의 웨이에서 데이터를 취하여 사용하게 된다. 이 경우 나머지 웨이에 공급된 전력은 그대로 낭비되는 단점이 있어 내장형 시스템을 위한 캐시 구조로는 매우 부적절 하다.

순차 접근 캐시와 캐시 웨이 예측 기법은 집합 연관 캐시에서 발생하는 전력 낭비를 예방하여 내장형 시스템에 적합한 캐시 구조를 만들기 위한 방법들로, 각각 웨이 선택기나 웨이 예측기를 집합 연관 캐시에 추가하여 이를 통해 접근할 데이터가 존재하지 않는 불필요한 웨이에 전력이 공급되지 않도록 하는 구조를 가지고 있다. 이 두 방식은 집합 연관 캐시의 전력 소모를 상당량 감소 시키지만, 순차 접근 캐시는 처리 과정에서 1 사이클을 더 소모 하고 캐시 웨이 예측 기법은 예측 실패 시 추가적인 1 사이클 소모와 전력 소모량 감소 효과가 전혀 없게 되는 단점들을 가지고 있다. 이러한 단점들은 캐시 처리속도가 보다 늦어지거나 별다른 전력 소모 감소율을 보이지 않는 경우를 발생시켜 처리 속도와, 전력 소모 감소에 대한 효

율을 떨어트리게 된다.

본 논문은 언급된 순차 접근 캐시와 캐시 웨이 예측 기법의 단점들을 보완한 내장형 시스템에 적합한 집합 연관 캐시 구조 제안을 통해 내장형 시스템의 전력 소모량 감소를 도모한다. 본 논문에서 제안하는 구조의 핵심적인 설계안은 언급한 두 가지 전력 소모 감소 기법들의 구조를 절충하는 것으로 웨이 예측 기법의 실패 시 발생하는 피해를 순차 접근 캐시 구조를 통해 줄이고, 순차 접근 캐시의 적중은 웨이 예측기를 통해 1 사이클만 소모하도록 하여 서로의 단점을 보완하는 형태이다.

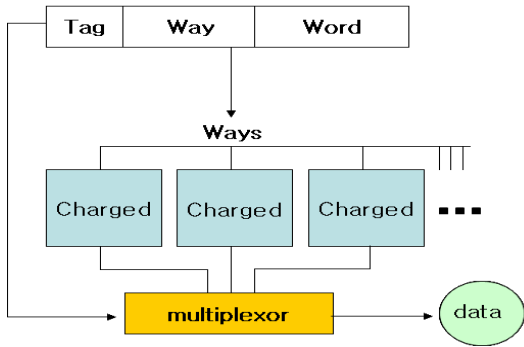
본 논문은 다음과 같이 구성된다. 2장 관련 연구를 통해 순차 접근 캐시 구조와 캐시 웨이 예측기 구조를 설명하고 그 장단점을 논한다. 3장 제안하는 데이터 캐시 구조에서는 관련연구에서 언급한 두 구조의 단점을 보완하는 새로운 캐시 구조에 대해 설명하며 4장 성능 평가를 통해 제안하는 구조의 성능에 대해 비교 분석하고 5장에서 결론을 맺는다.

### 2. 관련연구

본 장에서는 캐시의 집합 연관 구조를 간단히 보이고 이를 토대로 순차 접근 캐시와 캐시 웨이 예측 기법 구조를 설명하고 그 장단점들을 논한다.

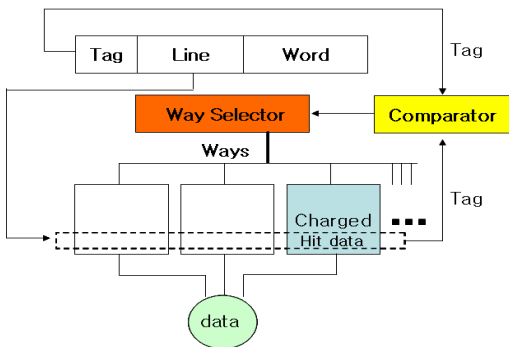
컴퓨터 구조 론에서 일반적인 캐시구조는 직접 사상, 완전 연관, 집합 연관의 세 가지로 나뉘게 된다. 메모리 주소와 캐시 블록 주소가 정확하게 사상 되는 직접 사상 구조는 캐시 내부에서 어떤 검색 절차 없이 직접 매치된 값

을 꺼내 올 수 있으므로 적중 시 가장 빠르나 정해진 자리 이외에 데이터의 저장 위치가 불확정하므로 캐시 적중 실패율이 매우 높다. 반면 완전 연관 구조는 캐시의 모든 블록이 어떠한 메모리 주소의 데이터도 저장 가능하여 시공간적 지역성을 최대한 이용하게 되므로 높은 적중률을 보이게 된다. 그러나 지정된 위치가 없는 관계로 캐시 내부에서 요구하는 데이터의 검색이 모든 캐시면적을 대상으로 적용되어 캐시 동작이 매우 느리게 된다는 단점이 있다. 집합 연관 구조는 이들의 구조를 절충하여 필요에 따라 캐시의 연관성을 조절할 수 있는 장점을 있어, 매우 다양한 환경에서 동작하는 내장형 시스템에 적합한 구조를 가지고 있다.



(그림 1) 집합 연관 캐시 구조

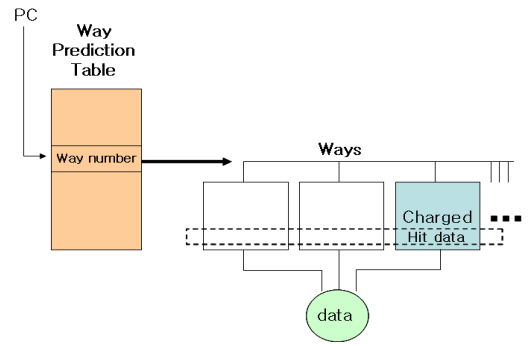
그림 1에서와 같이 집합 연관 구조는 set0, set1 등으로 캐시를 나누어 일부 특별한 메모리 공간의 데이터가 저장될 수 있도록 캐시를 나눌 수 있으며 이를 세밀하게 나누게 되면 직접 사상에 가까운 구조를 만들 수 있다. 각 set(웨이) 내부에서는 완전 연관 구조의 형태로 동작하며 보다 빠른 검색을 위해 메모리 주소를 태그와 set으로 나누어 set을 통해 해당하는 set 위치를 찾고 태그를 통해 내부에서 데이터를 검색하게 된다.[2]



(그림 2) 순차 접근 캐시 구조

순차 접근 캐시는 웨이에 전력을 공급하기 전에 먼저 태그 값을 비교하여 해당 데이터가 존재하는 웨이를 알아내고, 비교 결과를 이용하여 해당 웨이에 전력을 공급한다. 따라서 해당 데이터가 존재하는 한 개의 웨이에만 전력을 공급하여 불필요한 전력 소모를 줄일 수 있다. 그러나 태그 비교와 웨이에 전력을 공급하는 과정을 순차적으로 진

행하여 일반적인 집합 연관 캐시에 비해 추가적으로 한 사이클을 더 소모하게 되는 단점이 있다.[3]

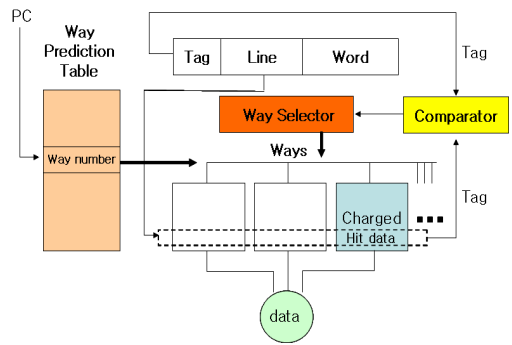


(그림 3) 캐시 웨이 예측 기법

그림 3은 웨이 예측 기법의 구조를 나타낸 것으로서 미리 프로그램 카운터를 이용하여 데이터가 존재할 가능성이 높은 웨이를 예측하고 해당 웨이만 선택적으로 전력을 공급하여 전력 소모를 줄이고 있다. 그러나 적중 실패 시에는 선택되지 않은 모든 웨이에 전력을 공급하고 다음 사이클에서 데이터를 찾아야 하는 단점이 발생한다.[3]

순차 접근 구조는 일반적인 캐시 검색보다 1사이클이 더 소모되는 단점을 가지고 있어 두 배의 시간이 걸리며 반면에 항상 1개의 웨이에만 전력을 공급할 수 있다는 장점을 갖는다. 웨이 예측 구조의 경우 적중 시 1사이클과 1개의 웨이에만 전력을 공급하게 되는 최고의 성능을 보이나, 실패 시에는 기존의 집합 연관 구조와 똑같은 전력 소모율을 가지며 추가적인 1사이클이 더 소모되는 단점을 갖게 된다. 본 논문에서 제안하는 구조는 이 두 구조를 혼합한 구조로서 순차 접근 캐시의 웨이 선택기와 캐시 웨이 예측 기법의 웨이 예측기를 동시에 구현하여 데이터 적중 시에는 웨이 예측 기법의 최고의 성능을 얻고 실패 시에는 순차 접근 구조의 일반적인 절차를 거쳐 항상 1개의 웨이에만 정확하게 전력을 공급할 수 있도록 하여 캐시가 보다 전력 소모율 면에서 뛰어난 성능을 발휘하도록 한다.

### 3. 제안하는 캐시 구조



(그림 4) 제안하는 데이터 캐시 구조

그림 4는 본 논문에서 제안하는 데이터 캐시 구조로서

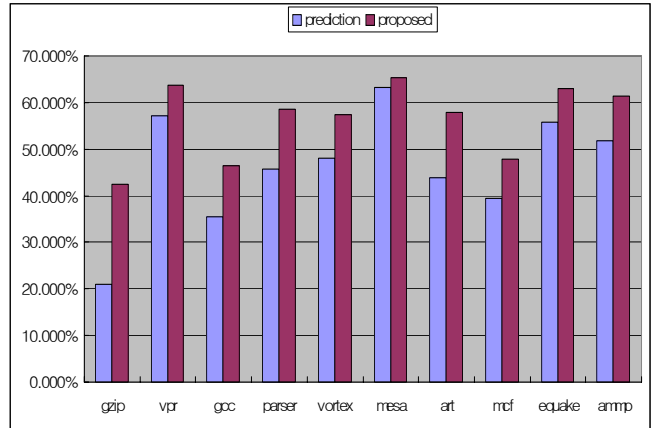
관련 연구에서 언급한 순차 접근 캐시와 캐시 웨이 예측 기법의 구조를 혼합한 형태로 예측 테이블(Prediction Table)과 웨이 선택기(Way Selector)를 모두 두어 각각의 단점을 보완 할 수 있는 구조를 갖는다. 제안하는 구조는 첫 번째 사이클에서 웨이 예측기를 통한 웨이 선정 및 해당 웨이의 전력 공급과 웨이 선택기를 통한 웨이 비교가 동시에 이루어 진다. 이때 예측기의 예측이 성공하게 되면 곧바로 해당 웨이에 접근하여 작업을 처리할 수 있게 된다. 반면에 예측기의 예측이 실패하게 되면 두 번째 사이클에서 웨이 선택기에서 얻어진 정확한 웨이에만 전력을 공급하고 접근하여 예측기에서 공급했던 웨이의 전력만 추가적으로 소모하고 작업을 처리할 수 있게 된다. 결국 적중 시에는 1사이클과 1개 웨이의 전력량을 소모하여 순차 접근 구조보다는 1사이클 빠르게 작업을 처리 하게 되고 적중 실패 시에는 2사이클과 2개 웨이의 전력량을 소모하여 순차 접근 구조에 비해 1개 웨이의 전력만 추가로 소모하게 된다.

4. 성능 평가

<표 1> 캐시 구조 성능 비교

	예측 기법		순차 접근 캐시		제안하는 데이터 캐시	
	사이클	충전된 웨이	사이클	충전된 웨이	사이클	충전된 웨이
적중	1	1	2	1	1	1
적중 실패	2	n	2	1	2	2

표 1은 순차 접근 구조, 웨이 예측 기법, 제안하는 구조 각각에서 적중, 적중 실패 시에 소모되는 사이클 수와 전력이 공급된 웨이 수를 정리한 것으로 예측 기법에 비해 제안하는 캐시 구조는 적중 실패 시 n개의 웨이의 전력 소모에서 1개 웨이의 추가적인 전력 소모만으로 동일한 성능을 얻게 되었고 전체적으로 순차 접근 구조에 비해서는 1개 웨이 전력만 추가 소모함으로써 웨이 예측기의 적중 실패에서 얻어지는 n개 웨이 전력 소모를 1개 웨이 전력소모로 감소로 극복한 것을 볼 수 있다. 적중 시에는 웨이 예측기법과 동일한 1개 사이클과 1개 웨이 전력 소모를 통해 순차 접근 구조의 처리시간을 2 사이클에서 1 사이클로 줄임으로써 추가적인 웨이 전력 소모없이 순차 접근 구조의 단점을 보완한 것을 볼 수 있다. 이론적으로는 웨이 전력 소모 면에서 웨이 예측 기법에 n-1 배 성능 향상이 발생하고 순차 접근 구조에 비해서는 2배의 성능 향상이 발생하는 것을 알 수 있다.



(그림 5) 8웨이 집합 연관 데이터 캐시에서의 웨이 예측 기법과 제안하는 구조의 전력 감소율

그림 5는 일반적인 8웨이 집합 연관 데이터 캐시 구조를 기준으로 예측 기법과 제안하는 구조의 전력 소모량을 SimpleScalar[4] 시뮬레이터와 SPEC2000[5] 벤치마크 프로그램 통해 얻은 것이다. 모든 프로그램에서 예측 기법(prediction) 보다 제안하는 구조(proposed)가 높은 감소율이 발생한 것을 볼 수 있으며 웨이 예측 기법에 비해 평균적으로는 약 10%의 상승된 전력 감소율이 나타난 것을 보였다.

5. 결론

내장형 시스템에서 캐시는 시스템 성능 과 전력 소모량 모두에 걸쳐 큰 비중을 차지하는 요소 중 하나이며 본 논문은 기존의 순차 접근 구조와 캐시 웨이 예측 기법의 단점들을 보완한 내장형 시스템을 위한 새로운 저전력 캐시 메모리 구조를 제안하였다. 각각의 구조는 내장형 시스템에 많이 사용되는 일반적인 집합 연관 캐시에 각각 웨이 선택기와 웨이 예측기를 추가하여 순차 접근 구조의 경우 항상 1개의 웨이 전력만 소모하도록 하고, 웨이 예측 기법의 경우 캐시 적중 시 1사이클의 처리 시간과 1개 웨이 전력만 소모하게 하여 기존 집합 연관 캐시의 n개 웨이 전력 손실을 크게 감소 시킨다. 그러나 순차 접근 구조는 항상 2사이클의 처리 시간을 요구하고, 웨이 예측 기법은 적중 실패 시 전력 감소 면에서 별다른 효과가 없으며 오히려 1사이클의 추가적인 처리 시간이 소모되는 단점을 갖는다. 본 논문에서 제안하는 구조는 웨이 선택기와 웨이 예측기 모두를 사용하여 캐시 적중 시에는 1사이클의 처리시간과 1개 웨이 전력만 소모하는 최적의 성능을 나타내고 적중 실패 시에도 순차 접근 구조에 비해 1개 웨이 전력만 추가 소모하게 함으로써 전력 소모 면에서 적중 실패 시 웨이 예측 기법의 단점을 보완하고 처리 속도 면에서 적중 시 순차 접근 구조의 단점을 보완한 향상된 성능을 나타냄을 보였다.

### 참고문헌

- [1] C. Zhang, F. Vahid, and W. Najjar, "A highly configurable cche architecture for embedded systems," in Proceedings of the International Symposium on Computer Architecture, pp. 136-146, San Diego, CA, Jun. 2003.
- [2] David A. Patterson, and John L. Hennessy, "Computer Organization & Design(The Hardware/Software Interface) 2th Ed. Morgan Kaufmann
- [3] M. D. Powell, A. Agarwal, T. N. Vijaykumar, B. Falsafi, and K. Roy, "Reducing set-associative cache energy via way-prediction and selective direct-mapping," in Proceedings of International Symposium on Microarchitecture, pp. 54-65, Austin, Texas, Dec. 2001.
- [4] D. Burger, T. M. Austin, and S. Bennett, "Evaluating future microprocessors: the simplescalar tool set," Tech. Report TR-1308, Univ. of Wisconsin-Madison, Computer Science Dept. 1997.
- [5] SPEC CPU2000 Benchmarks, <http://www.specbench.org>.