

Electrical Properties of Plasma-Enhanced Atomic Layer Deposition HfO₂/HfO_xN_y/HfO₂ Gate Oxide

맹완주, 김형준[†]

POSTECH

(hyungjun@postech.ac.kr[†])

High k gate oxide에서 질소를 박막 내부에 포함시키는 공정은 CET 및 누설전류 감소, 재결정화 온도 상승 등의 몇 가지 이익을 가져다준다. 그러나 불필요하게 많은 양의 질소가 gate oxide의 계면에 포함될 경우 소자의 성능저하가 유발될 수 있기 때문에 질소가 포함되는 위치 및 양을 정확하게 조절할 필요가 있다. 또한 질소의 포함으로 인해 발생될 수 있는 박막 내 trap charge로 작용할 수 있는 결함을 줄여야한다. 이번연구에서는 질화된 middle layer (HfO₂/HfO_xN_y/HfO₂)가 포함된 plasma enhanced atomic layer deposition (PE-ALD) HfO₂ gate oxides 박막을 제작하여 그 특성을 관찰하였다. 질화된 약 2 nm의 middle layer는 in situ 공정을 이용, N/O mixture plasma (denoted as HfON)나 PE-ALD HfN (denoted as HfONO)를 5 cycle의 HfO₂ 박막 (약 1 nm) 사이에 증착함으로써 이루어졌다. 박막의 증착 결과 HfONO 박막이 HfON이나 HfO₂ 박막보다 hysteresis, CET 그리고 재현성 면에서 가장 우수한 특성을 보여주었다. 게다가 10 at% 이상의 높은 질소 양으로 인해 열적 안정성을 향상시킬 수 있었다. 이 결과들은 I-V, C-V, conductance methods, 그리고 synchrotron을 이용한 X-ray photoelectron spectroscopy 및 near edge X-ray absorption fine structure 등의 다양한 분석 방법을 이용해서 연구되었다.

Keywords: nitridation, HfO_xN_y, PE-ALD

Failure Analysis of BGA Test Socket Pins

Myung-Sik Kim, Kyoo-Sik Bae[†]

Department of Electronic Materials Engineering, The University of Suwon

(ksbae@suwon.ac.kr[†])

BGA test sockets failed earlier than the expected life-time due to abnormal signal delay, shown especially at the low temperature (-5°C). Failure analysis of failed socket was conducted by EDX, AES, and XRD. The SnO layer contaminated with C was found to form on the surface of socket pins. The formation of SnO layer was attributed to the repeated Sn transfer from BGA balls to pin surface and instant oxidation of fresh Sn. As a result, contact resistance increased and thus induced signal delay. Abnormal signal delay at the low temperature was attributed to the increasing resistivity of Sn oxide with decreasing temperature, as manifested by the resistance measurement of SnO₂.

Keywords: BGA socket, failure analysis, fretting corrosion, SnO, contact resistance