

PGS 구조를 포함한 인덕터를 이용한 LNA의 잡음 지수 향상에 관한 연구

고재형, 정효빈, 백 현, 김형석  
 중앙대학교 전자전기공학부

A study on the improvement in Noise figure of LNA using inductor included PGS

Jae-Hyeong Ko, Hyo-Bin Jung, Paek Hyun, Hyeong-Seok Kim  
 School of Electrical and Electronics Engineering Chung-Ang University

**Abstract** - 본 연구에서 인덕터에 PGS를 삽입함으로써 인덕터의 품질계수를 향상하여 LNA의 잡음 지수 특성 향상에 대해 연구하였다. 인덕터의 품질계수를 향상시키기 위해 다구체 실험계획법을 이용하여 인덕터에 삽입되는 PGS의 도체 면적이 최소화 할수록 품질계수를 높일 수 있다. PGS가 없는 인덕터와 PGS를 삽입한 인덕터를 LNA에 적용 시물레이션 하였다. PGS가 없는 인덕터 보다는 PGS가 있는 인덕터를 사용함으로써 LNA의 전력 이득과 잡음 지수 특성을 향상 시킬 수 있음을 확인하였다.

1. 서 론

최근 들어 CMOS 공정을 이용하여 RF 회로를 구현하는 RFIC 기술에 대한 많은 연구가 수행되어 왔다. RF 수신부의 중요한 특성 중 하나인 잡음지수에 많은 영향을 미치는 능동 소자가 LNA이다. LNA는 전체 수신부의 Noise Figure(NF)에 가장 큰 영향을 미치기 때문에 높은 이득뿐만 아니라 낮은 NF를 구현해야 한다. 입력 회로의 품질계수를 향상시킴으로써 전체 LNA의 NF에 영향을 주는 gate induced current noise의 영향을 무시 할 수 있다[1].

이에 본 논문에서는 TSMC 0.18μm공정으로 입출력 격리 특성이 우수하고 높은 이득을 얻을 수 있는 Cascode LNA에서 차폐 도체면(PGS : Patterned Ground Shield)를 삽입하여 인덕터의 품질계수 개선을 통한 LNA의 NF 특성 향상에 대한 연구를 하였다.

2. 본 론

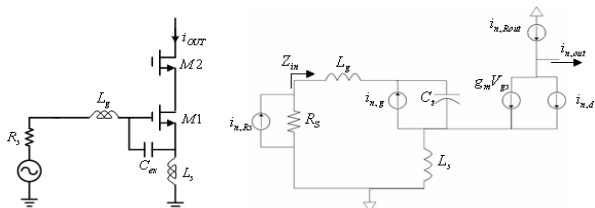
2.1 Low Noise Amplifier 설계

Cascode 구조의 LNA를 설계하는 방법에는 크게 4가지가 있다. 먼저, 최소의 NF인 NFmin을 구현하기 위한 임피던스인  $Z_{opt}$ 에 맞추어 입력단의 임피던스 매칭을 하는 Classical Noise Matching(CNM)방법이 있다[2]. 두 번째는 인덕터를 사용한 series feedback을 통해 입력 매칭과 노이즈 매칭을 동시에 만족시키는 Simultaneous Noise and Input Matching(SNIM)방법이 있다[3]. 또한 일정한 전력 소모를 유지하면서 노이즈 매칭 포인트인  $Z_{opt}$ 에 임피던스 매칭을 하는 Power-Constrained Noise Optimization(PCNO) 방법[4]과 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 Power-Constrained Simultaneous Noise Input Matching(PCSNIM) 방법이 있다[5]. 본 논문에서는 전력 소모를 적게 하며 입력 매칭과 노이즈 매칭을 동시에 만족시킬 수 있는 PCSNIM 방법을 사용하여 LNA를 설계하였다.

LNA를 설계하기 위해 TSMC에서 제공하는 0.18μm 라이브러리를 사용하였으며, PGS를 적용한 인덕터의 EM 시뮬레이션 결과를 이용하여 ADS를 사용하여 LNA의 특성을 확인하였다.

2.1.1 PCSNIM 방법을 이용한 LNA 설계

일반적인 cascode 구조의 LNA에  $C_{ex}$ 가 추가된 형태로 PCSNIM방법을 사용한 LNA회로도도 소신호 등가회로 그림 1에 나타내었다.



<그림 1> LNA 회로도 및 소신호 등가회로

그림 1의 소신호 등가회로에서  $i_{n,gs}$ 와  $i_{n,d}$ 는 각각 소스 저항과 출력 저항의 thermal noise를 나타내며,  $i_{n,d}$ 는 channel thermal noise 전류를 나타낸다. 또한,  $i_{n,gs}$ 는 gate-induced noise 전류를 나타낸다[1]. 등가회로에서 LNA의 입력 임피던스를 식(1)에 제시하였다.

$$Z_{in} = \frac{g_m L_s}{C_t} + sL_t + \frac{1}{sC_t} ; C_t = C_{ex} + C_{gs}, L_s = L_g + L_s \quad (1)$$

LNA의 입력 임피던스는 식(2)의 동작 주파수에서 소스 임피던스와 같다.

$$w_0 = \frac{1}{\sqrt{L_t C_t}} \quad (2)$$

입력 매칭 회로의 Q-factor는 식(3)에 나타내었다[1].

$$Q = \frac{1}{\left( R_s + g_m \frac{L_s}{C_t} \right) w_0 C_t} = \frac{1}{2R_s w_0 C_t} \quad (3)$$

소신호 등가회로에서 식(3)을 noise parameter에 적용하여 계산하면 식(4)~(5)와 같다[1].

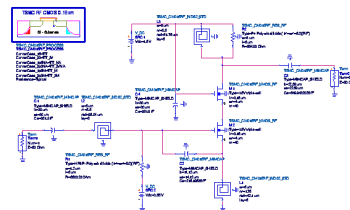
$$F = 1 + \frac{\beta \left( Q^2 + \frac{1}{4} \right) \left( Q \cdot 2w_0 R_s C_{gs} \right)^2 + \frac{\gamma'}{4}}{R_s Q^2 g_m} \quad (4)$$

$$F_{min} = 1 + \frac{1}{Q} \cdot 4\beta^{1/4} \left( \frac{\gamma'}{12} \right)^{3/4} \sqrt{\frac{2w_0}{3\mu'_{eff} R_s L_{ds}}} L \quad (5)$$

여기서  $\beta$ 와  $\gamma'$ 은 long-channel일때 각각 gate induced current noise factor와 channel current noise factor이다.

2.1.2 LNA 설계 및 시뮬레이션 결과

TSMC 공정으로 설계한 LNA의 회로도도를 그림 2에 제시하였다.



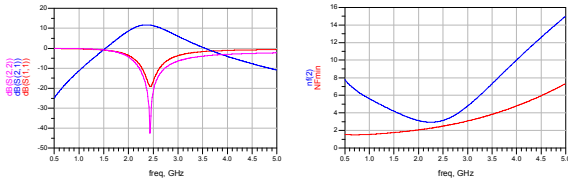
<그림 2> 2.45GHz LNA의 회로도

각 소자들은 TSMC에서 제공하는 라이브러리를 활용하였다. 품질계수를 개선해야 할 그림 2의 인덕터  $L_s$ 와  $L_g$  및  $L_{out}$ 을 HFSS를 이용하여 개별 설계 및 EM 시뮬레이션 결과를 표 1에 제시하였다.

<표 1> 인덕터 종류 및 시뮬레이션 결과

종류	인덕턴스	Q-factor	선로폭	턴 수	내부반경
Ls	0.725	4.927	6μm	1.75	42.10μm
Lg	14.700	6.677	6μm	5.5	98.04μm
Lout	6.611	7.880	6μm	5.5	51.75μm

시뮬레이션 결과를 그림 3에 제시하였다. 시뮬레이션 결과 2.45GHz에서 전력 이득이 11.579dB이고 NF는 3.071dB이다.



〈그림 3〉 S-parameter와 Noise Figure

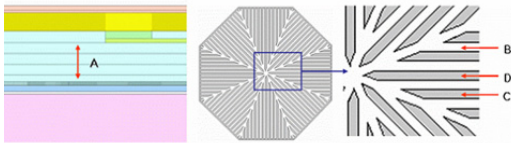
## 2.2 Spiral Inductor와 Patterned Ground Shielded

본 연구에서는 와전류 손실을 감소시키면서 유전체 손실을 최소화 시키기 위해 차폐 도체면에 슬롯을 만든 PGS의 설계 인자를 다구찌법(Taguchi's Method)을 이용하여 인덕터의 품질 계수를 향상 시킬 수 있는 설계 인자의 특성에 대해 연구하였다.

### 2.2.1 Taguchi's Method

나선형 인덕터의 품질계수 향상을 위해 적용하는 PGS는 일반적으로 산화층과 실리콘 기판의 경계면에 삽입한다[6].

본 연구에서 사용되는 PGS 구조 설계 인자를 그림 4와 같이 PGS의 삽입 위치인 나선형 인덕터와 PGS의 간격(A)과 나선형 인덕터에 의한 루프전류를 감소 시키기 위한 슬롯의 간격(B) 및 나선형 인덕터에서 형성되는 전기장을 차단하기 위한 스트림 넓이(C)와 함께 중앙 스트림 넓이(D)로 하여 다구찌법을 이용하여 PGS 구조에 대해 연구하였다.

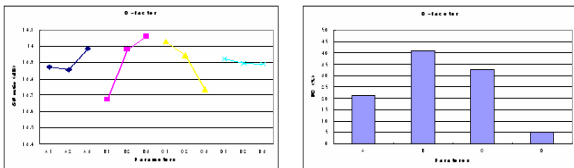


〈그림 4〉 PGS 설계 인자

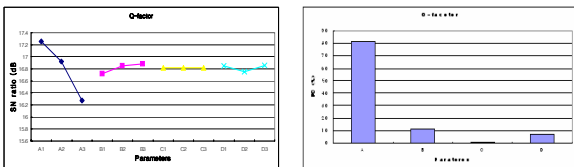
각 설계인자는 각각 세가지 수준 수를 갖도록 하였으며 고려된 설계 인자 및 수준 수에 따라 수행되어야 할 최소 실험 회수 조합을  $L_9(3^4)$ 형 직교배열표를 사용하였다. 모의시험 조합에 따라 2.45GHz의 주파수 대역에서 산출된 품질계수로 정의된 특성 치에 대한 SN ratio를 계산하였다. SN비는 설계 인자의 수준 변화가 설정된 특성 치에 크면 클수록 좋은 감도를 갖는 망대특성을 나타내므로 식(6)에 의해 계산 되었다.

$$SN_{LB} = -10 \log \left( \frac{1}{n} \sum_{i=1}^n \frac{1}{y_i^2} \right) \quad (6)$$

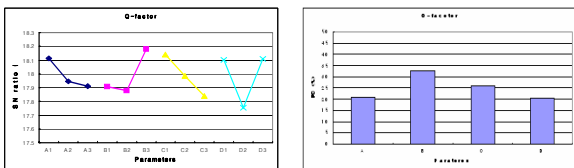
각 설계 인자가 특성치에 미치는 영향을 쉽게 분석하기 위해 LNA에 사용되는 인덕터의 SN비와 백분 기여도를 그림 5~7에 제시하였다.



〈그림 5〉 Ls의 민감도 및 백분 기여율



〈그림 6〉 Lg의 민감도 및 백분 기여율



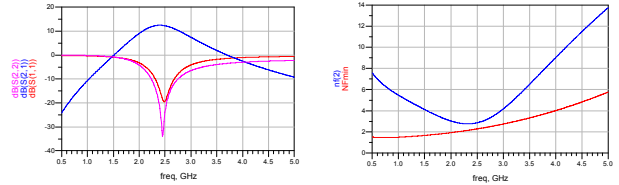
〈그림 7〉 Lout의 민감도 및 백분 기여율

그림 5~7에서 Ls와 Lg 및 Lout의 품질계수를 향상시키기 위해서는

PGS의 인자별 수준은 각각 A3B3C1D1과 A1B3C1D3 및 A1B3C1D3이다. 다구찌 실험계획법을 사용하여 PGS를 설계하여 인덕터에 삽입하면 Ls는 3.57%가 상승하고 Lg와 Lout은 각각 12.4%와 5.82%가 증가한다.

## 2.3 PGS 인덕터 적용 LNA 시뮬레이션 결과

PGS를 적용한 인덕터의 결과를 ADS프로그램을 이용하여 LNA에 적용하여 시뮬레이션하였다. 결과를 그림 8에 제시하였다.



〈그림 8〉 PGS적용 LNA의 S-parameter 및 NF

시뮬레이션 결과 전력 이득은 12.417dB이고 NF는 2.807dB이다. PGS를 적용함에 따른 인덕터의 품질계수와 LNA의 전력 이득 및 NF의 향상에 대해 표 2에 제시하였다.

〈표 2〉 인덕터의 품질계수 및 LNA의 이득과 NF

품질 계수	NGS			PGS			증감율(%)		
	Ls	Lg	Lout	Ls	Lg	Lout	Ls	Lg	Lout
Gain	11.579	12.417	7.24	5.10	7.51	8.34	3.57	12.4	5.82
NF	3.071	2.807	-8.60	2.453	2.236	-8.85			
NFmin	2.453	2.236	-8.85						

인덕터에 PGS를 삽입하면서 인덕터의 품질계수를 3.57%에서 12.4% 향상 시켜 LNA에 적용함으로써 전력이득은 0.838dB가 상승하고 NF는 0.264dB가 감소한다.

## 감사의 글

본 연구 보고서는 지식경제부 정보통신연구개발사업 ETRI, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계 인력양성사업의 연구결과입니다.

## 3. 결 론

본 연구에서 다구찌 실험계획법을 이용하여 인덕터의 품질계수를 향상 시킬 수 있는 PGS의 최적의 구조를 찾았다. 설정된 인자를 통해 품질계수를 높이기 위해서는 PGS의 도체 면적이 최소화 할수록 품질계수를 높일 수 있다. 이를 통해 LNA의 인덕터에 적용함으로써 LNA의 전력 이득과 잡음 지수 특성을 향상 시킬 수 있음을 확인하였다. 높은 품질계수의 인덕터를 사용함으로써 LNA의 전력 이득 및 잡음 지수 특성 향상이 가능할 것으로 사료된다.

## 참고 문헌

- [1] Pietro Andreani, "Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier", IEEE Trans. Circuits Syst., vol. 48, no.9, pp.835-841, Sept. 2001.
- [2] H.A. Haus et al., "Representation of noise in linear two ports", Proc. IRE, vol.48, pp.69-74, Jan, 1960.
- [3] S. P. Voinescu et al., "A scalable high-frequency noise model for bipolar transistor with application optimal transistor sizing for low-noise amplifier design", IEEE J. Solid-State Circuits, vol.32, pp.1430-1439, Sept, 1997.
- [4] D. K. Shaeffer et al., "A 1.5V, 1.5GHz CMOS low noise amplifier", IEEE J. Solid-State Circuits, vol.32, pp.745-758, May 1997.
- [5] P. Andreani et al., "Noise Optimization of an inductively degenerated CMOS low noise amplifier", IEEE Trans. Circuits Syst., vol.48, pp.835-841, Sept. 2001.
- [6] C. Patrick Yue, S. Simon Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's", IEEE J Solid-State Cir., vol. 33, pp. 743-752, May, 1998.