

CMOS 0.18um 공정을 이용한 2.45GHz 대역 RFID 리더용 전압 제어 발진기 설계 연구

정호빈*, 고재형, 장세욱, 김형석
 중앙대학교 전자전기공학부*

A study of Voltage Controlled Oscillator Design for 2.45GHz RFID Reader Using CMOS 0.18um Process

Jung Hyo Bin*, Ko Jae Hyeong, Chang Se Wook, Kim Hyeong Seok
 School of Electrical and Electronics Engineering Chung-Ang University*

Abstract - 본 논문에서는 TSMC 0.18um 공정을 이용하여 2.45GHz 대역에서 동작하는 RFID 리더에 적용 할 수 있는 전압제어 발진기를 설계 하였다. 위상 잡음 특성 향상을 위해 PMOS, NMOS 소자를 대칭으로 구성된 complementary cross-coupled LC 발진기 구조로 설계 하였고 MOS 배렉터를 이용하여 주파수를 가변 하였다. 또한 공정에서 사용되는 인덕터에 차폐 도체면(PGS:Patterned Ground Shield) 구조를 삽입 했을때 인덕터의 품질계수가 약 5.82% 향상 되었고, 이에 따른 위상 잡음은 1MHz offset 주파수에서 PGS를 삽입하지 않는 구조에서는 -102.666dBc/Hz 이며, PGS 구조를 삽입한 구조는 -104.328dBc/Hz로 약 1.662dBc 정도의 성능이 향상 되었다. 전압제어 발진기 Core 사이즈는 900um x 590um이고 주파수 가변 범위는 배렉터 전압 1.2~2.1V에서 249MHz로 11.4% 특성을 보였다. 1.8V공급전압에서 5.76mW의 전력소모를 보였다.

들여다 본 부성 저항은 식 (1)과 같다.

$$R_{-active} = -\frac{2}{g_{m1} + g_{m2}} \quad (1)$$

식 (1)의 부성저항은 그림1의 M1과 M2가 cross-coupled로 구성되어 M1의 드레인에서 바라본 저항값이 음이 되는 구조이다.

$g_{m1} = g_{m2} = g_m$ 일 경우에 입력 저항은 식 (2)와 같이 나타낼 수 있다.

$$R_{IV} = -\left(\frac{1}{g_{m1}} + \frac{1}{g_{m2}}\right) = -\frac{2}{g_m} \quad (2)$$

1. 서 론

최근 RFID 기술은 물류 시스템 등의 분야에서 바코드를 대신할 새로운 기술로서 각광받고 있다. 433.0~440.0MHz대역은 RFID, 아마추어 무선주파수 및 ISM주파수가 포함되어있고 이는 다양한 응용분야간의 충돌에 대한 문제를 내포하고 있다. 915.0MHz대역의 경우, 대부분의 국가에서 888~889MHz 와 902~928MHz대역으로 나뉘어 사용되어지고 있으므로 세계적 범용화에 대한 한계를 지니고 있다. 2.45GHz 대역의 경우 ISM(Industrial, Scientific, Medical) 밴드 대역으로 무선 LAN등 한 정적으로 사용되고 있으며 RFID 방식 또한 세계적으로 같은 주파수 대역을 사용하고 있기 때문에 세계적 범용화 가능성이 큰 장점이 있다.[1] 2.45GHz 대역 RFID 송·수신 시스템에서 발진기는 주파수 합성기의 가장 대표적인 소자이다. 발진기는 DC 전압과 능동소자를 사용하여 원하는 주파수를 만들어 내는 역할을 한다. 그러나 발진기는 하나의 주파수 대역에서의 신호원을 생성하기 때문에 최근 무선 통신에서 채널 대역폭에 따른 주파수를 선택해야 하는 발진기가 필요하게 된다. 원하는 대역에서의 주파수를 생성하기 위해서 전압 변화에 따른 커패시턴스에 따른 공진 주파수를 가변시키는 배렉터 다이오드를 이용한 전압제어 발진기가 가장 널리 사용되어지고 있다.[2] 전압 제어 발진기에서 위상잡음은 가장 중요한 성능지표가 된다. 위상잡음을 향상시키기 위해 다양한 방법이 쓰이고 있지만, 본 논문에서는 공정에서 사용되는 나선형 인덕터에 PGS 구조를 삽입하여 와전류 손실을 감소시키면서 유전체 손실을 최소화 시켜 인덕터의 품질지수를 높임으로서 위상잡음을 향상 시킬 수 있다.[3]

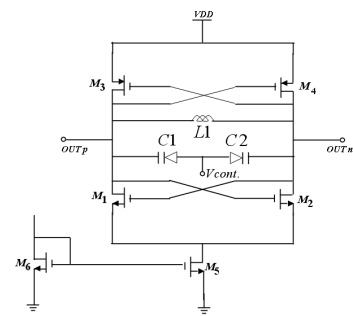
본 논문에서는 TSMC 사의 0.18um공정을 이용하여 LC 공진 전압제어 발진기를 설계하였으며, LC 공진기의 인덕터는 온-칩 나선형 인덕터 형태로 구현하였고 입력전압에 따른 가변 커패시턴스를 가지는 MOS 커패시터를 이용하여 LC 공진주파수를 가변하여 출력 주파수가 가변되는 회로로 구성하였다.

2. 본 론

2.1 전압 제어 발진기

본 논문에서 사용된 전압제어 발진기의 구조는 그림 1과 같은 Complementary LC 발진기 이다. PMOS와 NMOS가 대칭으로 구성되어 부성 저항 성분이 2배가 되어 LC Tank회로에서 발생하는 손실을 줄일 수 있고, 배렉터 C1,C2의 전압을 조절하여 주파수를 가변 시킨다. LC 발진기의 구조는 저위상 잡음 특성을 나타내고, 대칭구조에 의해 소자의 1/f 잡음이 상향 주파수로 바뀌는 특성을 줄일 수 있다.[4]

발진기의 부성 저항은 바이어스 전류가 PMOS와 NMOS에 모두 사용되기 때문에 single-sided 구조에 비해 두 배가 된다. M1,M2의 NMOS와 M3, M4의 PMOS의 면적비는 1:3으로 설계 하였으며 NMOS의 면적은 60 um, PMOS의 면적은 180 um로 설계 하였다. LC Tank 회로에서



<그림 1> Complementary LC 전압 제어 발진기 구조

식 (3)을 이용하여 중심 주파수 2.45GHz 대역에서 인덕턴스 값을 고정한 후 배렉터의 전압을 조절하여 공진 주파수를 가변하였다.

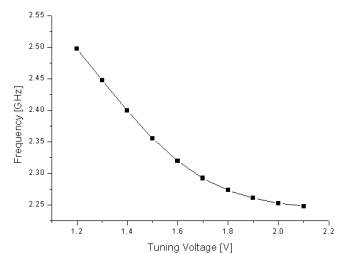
$$f_0 = \frac{1}{\sqrt{L_1 C_{1+2}}} \quad (3)$$

또한 전압 제어 발진기에서 중요한 성능 지표인 위상 잡음은 식 (4)로 표현 될 수 있다.

$$L(\omega_m) = 10 \log \left[\frac{\text{Noise power in 1Hz at } \omega_m}{\text{Carrier Power}} \right] \quad (4)$$

여기서, ω_m 은 캐리어 신호로부터의 offset 주파수를 나타낸다.

2.1.1 모의실험



<그림 2> Tuning 전압에 따른 주파수 변화

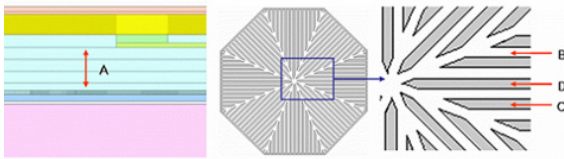
배터리 전압에 따른 주파수 변화를 그림 2에 나타내었다. Tuning 전압 1.2~2V에서 230MHz 정도의 가변 주파수 범위를 가진다. 전체 모의실험 결과를 표 1에 나타내었다.

<표 1> 모의실험 결과

항 목	단 위	모의실험 결과
동작 주파수	GHz	2.248~2.497
가변 범위	GHz	249MHz
위상 잡음	dBc/Hz	-102.666@1MHz
전력 소비	mW	5.76

2.2 차폐 도체면 구조를 적용한 인덕터

공정에서 사용되는 인덕터에 품질 계수 향상을 위해 적용하는 PGS는 일반적으로 산화층과 실리콘 기판의 경계면에 삽입한다. 그림 3에 사용된 PGS 구조를 나타내었다.[5]



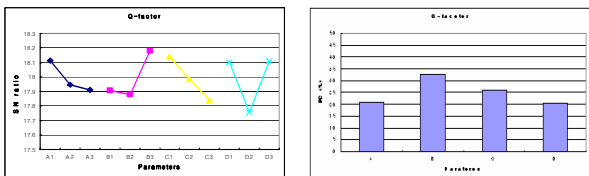
<그림 3> PGS 설계 인자

본 연구에서 사용되는 PGS 구조 설계 인자를 PGS의 삽입 위치인 나선형 인덕터와 PGS의 간격(A)과 나선형 인덕터에 의한 루프전류를 감소시키기 위한 슬롯의 간격(B) 및 나선형 인덕터에서 형성되는 전기장을 차단시키기 위한 스트립 넓이(C)와 함께 중앙 스트립 넓이(D)로 하여 다구찌법을 이용하여 PGS 구조에 대해 연구하였다.[6]

각 설계인자는 각각 세가지 수준 수를 갖도록 하였으며 고려된 설계인자 및 수준 수에 따라 수행되어야 할 최소 실험 회수 조합을 L9(3⁴)형 직교배열표를 사용하였다. 모의시험 조합에 따라 2.45GHz의 주파수 대역에서 산출된 품질계수로 정의된 특성 치에 대한 SN ratio를 계산하였다. SN비는 설계 인자의 수준 변화가 설정된 특성 치에 크면 클수록 좋은 감도를 갖는 망대특성을 나타내므로 식(4)에 의해 계산 되었다

$$SN_{LB} = -10 \log \left(\frac{1}{n} \sum_{i=1}^n \frac{1}{y_i^2} \right) \quad (5)$$

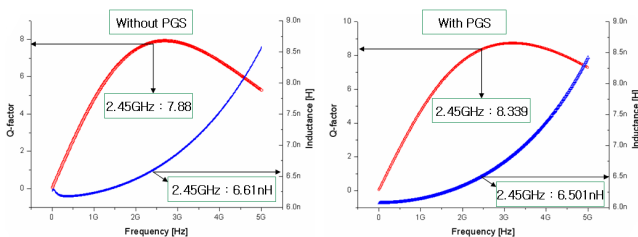
각 설계 인자가 특성치에 미치는 영향을 쉽게 분석하기 위해 VCO에 사용되는 인덕터의 SN비와 백분 기여도를 그림 4에 나타내었다.



<그림 4> L1의 민감도 및 백분 기여율

그림 5에서 L1의 품질계수를 향상시키기 위해서는 PGS의 인자별 수준은 A1B3C1D1이다. 다구찌 실험계획법을 통해 인덕터의 품질계수를 개선하기 위해서는 PGS의 도체 면적이 최소화 하고 인덕터와 간격이 넓어야 함을 알 수 있다. 이를 바탕으로 PGS를 설계하여 인덕터에 삽입하였을 경우 5.82%정도 증가 하였다.

2.3 PGS 구조를 적용한 모의실험



<그림 5> 주파수에 따른 인덕턴스 변화와 품질계수 변화

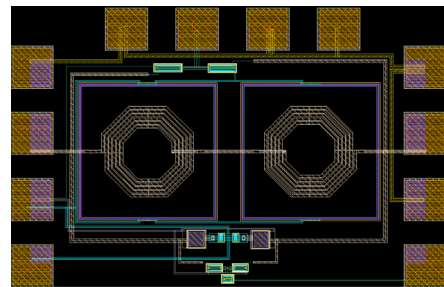
Ansoft HFSS를 이용하여 TSMC 0.18um 공정에 사용되는 인덕터를 모델링 하여 PGS 구조를 적용한 경우와 적용하지 않는 경우에 대해 결과를 확인 한 후 회로 시뮬레이터에 적용하여 결과를 그림 5에 나타내었다. 인덕터의 반지름 51.75 um, 턴수 5.5턴의 PGS 구조를 적용하지 않았을 경우 품질계수는 7.88이고 PGS 구조를 적용 했을 때는 8.339로 5.82%향상 된 것을 알 수 있다.

PGS를 적용한 인덕터의 결과를 전압 제어 발진기 회로에 적용하여 모의실험 하였다. 모의실험 결과를 표 2에 정리 하였다.

<표 2> 인덕터의 품질 계수 및 위상 잡음

	NGS	PGS	증감율(%)
품질계수	7.88	8.339	5.82
인덕턴스	6.61	6.501	-1.65
위상 잡음	-102.666	-104.328	1.6

이를 토대로 Layout을 그림 6에 나타내었다. Layout 크기는 900um x 590um 이다.



<그림 6> Layout

3. 결 론

본 논문에서는 2.45GHz 대역 RFID 리더에 적용할 수 있는 전압 제어 발진기를 TSMC 0.18um 공정을 이용하여 설계 하였다. 또한 최적 설계한 PGS구조를 인덕터에 삽입하여 품질 지수를 향상 시켜 위상 잡음 특성을 개선하였다. 인덕터의 품질지수는 PGS 구조를 적용했을 경우 약 5.8% 향상 되었고 이에 따른 전압제어 발진기의 위상 잡음 특성은 약 1.662dBc/Hz가 개선되었다.

배터리 가변전압 1.2~2.1V에서 249MHz를 나타내었고 900um x 590um 의 사이즈로 Layout 하였다.

감사의 글

본 연구 보고서는 지식경제부 정보통신연구개발사업 ETRI, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계인력양성사업의 연구결과입니다.

[참 고 문 헌]

[1] R. Weinstein , "A technical overview and its application to the enterprise", IT Professional, vol. 7, no. 3, pp. 27-33, May-June, 2005.
 [2] Behzad Razavi, " Design of Analog CMOS Integtated Circuit" McGRAW-HILL INTRENATIONAL EDITION 2001.
 [3] Behzad Razavi, "RF Microelectronics", Prentice-Hall, Inc, United states, 1998
 [4] Ali. Hajimiri, Thomas H. Lee, "Design issues in CMOS differential LC Oscillator", IEEE Journal of Solid-state Circuits, vol34, no. 5, May 1999.
 [5] C. Patrick Yue, S. Simon Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's", IEEE J Solid-State Cir. vol. 33, pp. 743-752, May, 1998.
 [6] 고재형, 김동훈, 김형석 "다구찌법을 이용한 나선형 인덕터의 품질계수 개선에 관한 연구" 마이크로파 및 전파학술대회 논문집, pp491~494, Sep, 2007