

## 잉크젯 프린팅 방법을 이용한 Pentacene 박막 트랜지스터의 제작 및 특성 분석

김재경<sup>1</sup>, 김정민<sup>1</sup>, 이현호<sup>2</sup>, 윤태식<sup>1</sup>, 김용상<sup>1,3</sup>  
 명지대학교 나노공학과<sup>1</sup>, 명지대학교 화학공학과<sup>2</sup>, 명지대학교 전기공학과<sup>3</sup>

### Pentacene Thin-Film Transistor with PEDOT:PSS S/D Electrode by Ink-jet Printing Method

Jae-Kyoung Kim<sup>1</sup>, Jung-Min Kim<sup>1</sup>, Hyun Ho Lee<sup>2</sup>, Tae-Sik Yoon<sup>1</sup>, Yong-Sang Kim<sup>1,3</sup>  
 Dept. of Nano Science & Engineering, Myongji University<sup>1</sup>  
 Dept. of Chemical Engineering, Myongji University<sup>2</sup>  
 Dept. of Electrical Engineering, Myongji University<sup>3</sup>

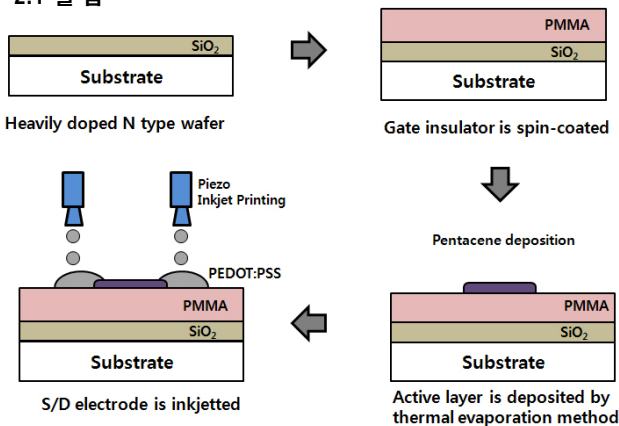
**Abstract** - Pentacene 박막 트랜지스터의 소스/드레인 전극을 폴리머인 Poly(3,4-ethylene dioxythiophene) poly(styrenesulfonate) (PEDOT:PSS)를 사용하여 잉크젯 프린팅 방법으로 제작하였다. 펜타신 박막 트랜지스터는 열 증착법을 사용하여 폴리머 기판위에 100nm의 두께로 증착하였다. 게이트 절연막은 SiO<sub>2</sub> 위에 Polymethyl Methacrylate (PMMA)를 증착시킨 double layer를 사용하였다. PMMA 위에 증착시킨 pentacene 결정립이 SiO<sub>2</sub> 위에 증착한 pentacene 결정립 보다 크게 성장하였고, double layer의 절연막을 씌우므로 인해 게이트 누설 전류가 감소함을 보였다. Pentacene 증착 온도에 따른 결정립 크기를 비교하여 가장 적절한 온도를 찾았다. 프린팅 방법을 사용하여 만든 박막 트랜지스터는 전계효과 이동도가  $\mu_{FET}=0.023\text{cm}^2/\text{Vs}$  이고, 문턱이전 기울기 S.S=0.49V/dec, 문턱전압  $V_{th}=-18\text{V}$ ,  $I_{on}/I_{off}$  전류비  $>10^3$ 의 전기적 특성을 보였다.

#### 1. 서 론

유기 박막 트랜지스터는 비교적 쉬운 공정과 낮은 공정 온도, 낮은 가격, 물리적으로 쉽게 구부러지는 등의 장점 때문에 최근 수년간 활발한 연구가 진행 되고 있다. 이러한 이유로 스마트 카드, RFID tag나 플렉시블 디스플레이등에 많이 이용되고 있다[1, 2]. 유기 박막 트랜지스터의 활성층 물질로서 여러 가지 다양한 유기물이 사용되고 있는데, 그중 전기적 특성이 가장 좋은 pentacene이 가장 널리 사용되고 있다[3, 4]. 따라서 본 논문은 기존의 여러 가지 무기물 활성층 대신 pentacene을 이용한 유기물 활성층을 사용하여 유기 박막 트랜지스터를 제작하였다. 증착 온도에 따른 pentacene 결정립의 크기를 비교하여 가장 적절한 온도를 찾았다. 소스/드레인 전극의 증착방법인 잉크젯 프린팅 방법은 기존의 사진 공정(리소그라피), 열 증착법, 스핀 코팅법 과 디핑 코팅 방법들에 비해 낮은 가격, 넓은 면적에 적용이 가능하며 간단한 공정과정을 갖는 장점을 가지고 있다. 본 연구에서는 잉크젯 프린팅 방법을 통해 유기박막 트랜지스터를 제작 하였고 I-V 측정을 통하여 전기적 특성을 분석하였다.

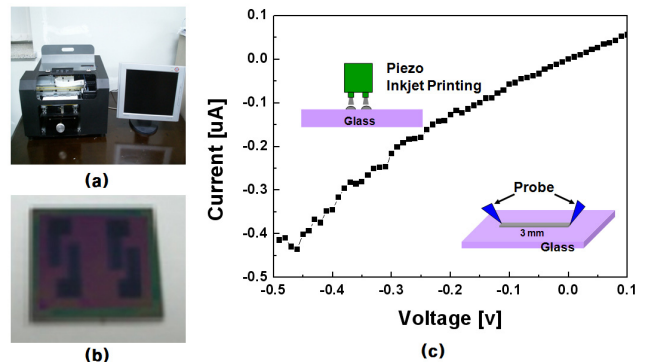
#### 2. 본 론

##### 2.1 실험



<그림 1> 잉크젯 프린팅 방법을 사용하여 소스, 드레인 전극을 증착한 유기박막 트랜지스터의 공정 순서

<그림 1>은 잉크젯 프린팅 방법을 사용하여 소스/드레인 전극을 증착한 유기박막 트랜지스터의 공정 과정에 대한 개략도를 보여준다. 구조는 Top contact 방식의 역 스테거드(staggered) 구조를 가지고 있다. 기판과 게이트 전극은 높은 도핑 농도를 갖는 N-형 실리콘 기판을 사용하였다. 그 위에 건식 산화막 공정으로 2000Å의 두께를 갖는 실리콘 산화막을 형성시켰다. 그 위에 유기물 게이트 절연막으로 분자량이 950k인 PMMA를 스핀코팅방법으로 2000rpm, 60초 동안 증착시킨 후, 오븐에서 160 °C에서 30분간 열처리 해주었다. 이때 형성된 PMMA막의 두께는 260nm이다. Pentacene 증착은 열 증착법을 사용하여 초당 0.1Å의 증착 속도로 약 100nm 증착시켰고, 이때의 기판온도를 85°C, 진공도는 고진공인  $5 \times 10^{-6}\text{torr}$  이하로 유지하였다. Pentacene 증착시 shadow 마스크를 이용하여 패터닝하였다. 소스/드레인의 전극은 전도성 유기물 절연 PEDOT:PSS를 사용하여 증착하였다. PEDOT:PSS는 폴리머 물질 중 전극으로 사용되는 물질로 가장 널리 알려져 있는 물질이다. <그림 2>는 이때 사용한 (a)피에조 방식의 잉크젯 프린터와 (b)잉크젯 프린터 방법으로 증착시킨 전극의 모습이다.

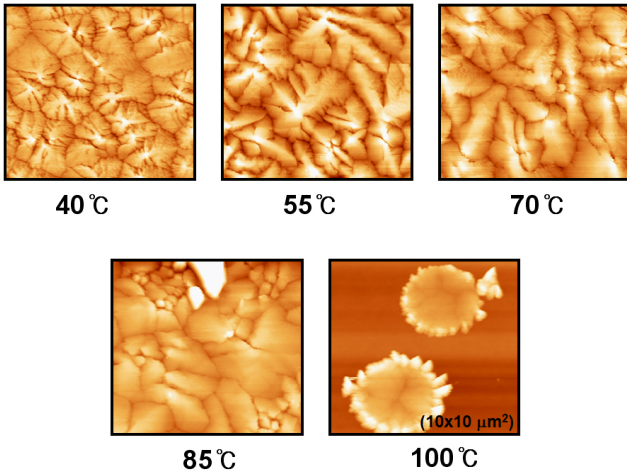


<그림 2> (a)피에조 방식의 잉크젯 프린터, (b)잉크젯 프린팅 방법으로 증착한 전극의 모습, (c)PEDOT:PSS 용액의 전도도

이때 사용된 PEDOT:PSS 용액은 PEDOT:PSS (BAYTRON@ P), 증류수(D.I water), dimethyl sulfoxide (DMSO), triton X-100를 혼합하여 만들었다. <그림 2>(c)는 PEDOT:PSS 용액의 전도도를 측정한 결과이다. 유리 기판위에 3mm의 선을 프린팅 한 후 전도도를 측정하였다. 이때 전도도는 0.45 S/cm 이다. 잉크젯 프린팅으로 PEDOT:PSS용액을 프린팅 후 hot plate를 사용하여 100°C, 1시간동안 열처리 해주었다.

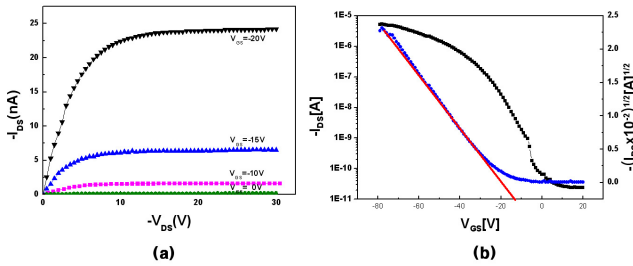
##### 2.2 결과 및 토의

<그림 3>은 성장 온도에 따른 PMMA위의 pentacene 결정립의 AFM 이미지이다. 높은 온도일수록 pentacene간의 결합력이 pentacene과 기판의 결합력보다 더 강해지게 된다. 그러므로 평균 결정립 크기는 온도가 증가할수록 커짐을 보이고 있다[5]. 그러나 온도가 100 °C이상으로 높아지면 기판에 증착되었던 pentacene이 기판의 온도에 의해 재증발(re-evaporation)되는 현상이 일어나게 된다[6]. 그래서 기판의 온도가 85 °C일 때 가장 큰 결정립을 형성하였다.

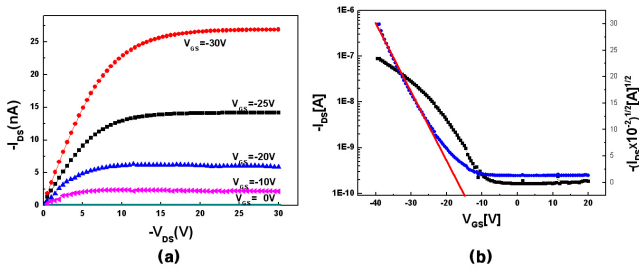


〈그림 3〉 PMMA기판 위의 증착온도에 따른 pentacene 이미지  
(a)Temp.=40 °C (b)55 °C (c)70 °C (d)85 °C (e)100 °C

〈그림 4, 5〉는 PMMA와 SiO<sub>2</sub> double 게이트 절연막위에 pentacene 을 사용한 박막 트랜지스터의 전기적 특성을 나타내는 그림이다. 그림 4 는 소스/드레인 전극을 금으로 증착한 유기 박막 트랜지스터의 전기적 특성 그래프이다. 증착방법은 열 증착법을 사용하였고 shadow 마스크를 사용하여 증착하였다. 채널의 길이는 200 $\mu$ m, 너비는 1000 $\mu$ m로 하였다. 〈그림 5〉는 소스/드레인을 잉크젯 프린팅 방법을 사용하여 증착한 유기 박막 트랜지스터의 전기적 특성 그래프이다. 채널의 길이는 250 $\mu$ m, 너비는 1000 $\mu$ m이다.



〈그림 4〉 전극을 금으로 사용한 펜타신 박막 트랜지스터의  
(a) 출력 특성과 (b) 전달 특성



〈그림 5〉 전극을 PEDOT:PSS로 사용한 펜타신 박막 트랜지스터의  
(a) 출력 특성과 (b) 전달 특성

다양한 V<sub>GS</sub>에 따른 V<sub>DS</sub>를 0V ~ 30V까지 간격을 0.5V로 가하여 측정하였다. 처음의 낮은 V<sub>DS</sub>에서 높은 전도도를 갖고 V<sub>DS</sub>가 증가함에 따라 전도도가 감소 한다는 것은 옴릭 컨택이 되었음을 의미한다. V<sub>GS</sub>를 -20~40V까지 0.5V간격으로, V<sub>DS</sub>를 -15V로 하여 측정하였다. 금을 전극으로 사용하여 제작한 pentacene 박막 트랜지스터는 전계효과 이동도가  $\mu_{FET}=0.052\text{cm}^2/\text{Vs}$  이고, 문턱이전 기울기 S.S=0.45V/dec, 문턱전압 V<sub>th</sub>=-19V, I<sub>on</sub>/I<sub>off</sub> 전류비 >10<sup>4</sup>로 나타난다. 그리고 잉크젯 프린팅 방법을 사용하여 PEDOT:PSS 전극으로 제작한 pentacene 박막 트랜지스터는 전계효과 이동도  $\mu_{FET}=0.023\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 S.S=0.49 V/dec, 문턱전압 V<sub>th</sub>=-18V, I<sub>on</sub>/I<sub>off</sub> 전류비는 >10<sup>3</sup>이다.

#### 4. 결 론

본 논문은 N-형 실리콘을 기판과 게이트 전극으로 사용하였고, 게이트 절연막으로는 실리콘 산화막과 PMMA, double 게이트를 사용하였다. 활성층으로 사용되는 pentacene을 증착 온도에 따른 결정립의 크기로 분석했을 때 결정립의 크기가 가장 큰 85°C에서 증착 시켰다. Pentacene의 증착 속도는 초당 0.1Å로 하였고 100nm의 두께를 증착하였다. 전도성 폴리머 물질인 PEDOT:PSS 용액을 잉크로 만들어 잉크젯 프린팅 방법을 통해 소스/드레인을 프린팅 하여 pentacene 박막 트랜지스터를 만들었다. 이때의 전계효과 이동도는  $\mu_{FET}=0.023\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 S.S=0.49 V/dec, 문턱전압 V<sub>th</sub>=-18V, I<sub>on</sub>/I<sub>off</sub> 전류비는 >10<sup>3</sup>이다.

#### [참 고 문 헌]

- [1] C. D. Sheraw, L. Zhou, J. R. Huang, D. J. Gundlach, T. N. Jackson, M. G. Kane, I. Hill, "Organic thin-film transistor-driven polymer-dispersed liquid crystal displays on flexible polymeric substrates", Applied physics letters, Vol. 80, pp.1088-1090, 2002
- [2] C.D. Dimitrakopoulos, P.R.L. Malenfant, "Irinotecan (CPT-11) in Patients with Advanced Colon Carcinoma Relapsing after 5-Fluorouracil-Leucovorin Combination", Advanced materials, Vol. 14, pp.99-117, 2002
- [3] T.W Kelley, D.V Muryres, P.F Baude, T.P. Smith, T.D. Jones, "High Performance Organic Thin Film Transistors", Materials Research Society symposia proceedings, Vol. 771, pp.169-180, 2003
- [4] H. Klauk, D. J. Gundlach, M. Bonse, K.Chung-Chen, T. N.Jackson, "A reduced complexity process for organic thin film transistors", Appl. Phys. Lett. 76 no.13 pp1692-1694, 2000
- [5] C. K. Song, M. K. Jung, B. W. Koo, "Pentacene Thin Film Transistor Improved by Thermal Annealing", Journal of the Korean Physical Society. Vol. 39, pp.S271-S274, 2001
- [6] R. Ye, M. Baba, K. Suzuki, Y. Ohishi, K. Mori, "Effect of Thermal Annealing on Morphology of Pentacene Thin Films", Jpn. J. Appl. Phys. Vol. 42 ,p. 4473, (2003)