

지중송전계통 보호용 거리계전 알고리즘 테스트 및 하드웨어 구축

정재균*, 이종범**, 이재규***, 오성권§, 이원교*, 이동일*, 황갑철*
 한전 전력연구원*, 원광대**, 대덕대***, 수원대§

Distance Relay Algorithm and Hardware Test for Protection of Underground Power Cable Systems

Chae-Kyun Jung*, Jong-Beom Lee**, Jae-Kyu Lee***, Sung-Kwun Oh§, Won-Kyo Lee*, Dong-Il Lee*, Kap-Choell Hwang*
 KEPRI*, Wonkwang Univ.**., Daeduk Univ.***, Suwon Univ.§

Abstract - In a previous paper, the distance relay algorithm for protecting of the underground power cable system was introduced. It effectively advance the errors using ACI(Advanced Computing Intelligence) technique. In this algorithm, the optimization was performed by fuzzy inference system and genetic algorithm. In this paper, hardware system based on ACI technique is introduced and tested by hardware test.

멤버십 함수의 정점을 유전자 알고리즘을 이용하여 동조하고 후반부 계수를 최소자승법으로 최적화한다. 또한 전반부에서는 세대수에 따라 성능지수를 평가하여 퍼지추론 시스템을 최적화 한다.

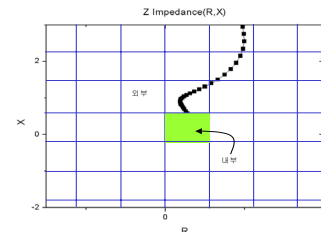
이전 논문에서는[2] 지중송전계통에서 접지저항에 따라 불규칙적으로 나타나는 임피던스 특성을 개선하기 위해 유전자 알고리즘에 의해 최적화된 퍼지추론 시스템을 도입하였다. 그러나 임피던스가 수렴하는 목표값만 설정하여 퍼지추론 시스템에 적용하면 수렴값 내에서의 임피던스는 목표값에 매우 근접하나 그 외의 영역에서는 랜덤한 특성을 보여 실제 임피던스의 궤적이 계전기 동작 영역 내를 지나서 수렴하고 있는 것을 확인하였다. 이는 계전기 동작에 있어 오동작을 일으킬 수 있는 원인이 될 수 있다. 따라서 그림 2와같이 계전기가 수렴하는 영역의 내부영역과 그 외의 외부영역으로 입력공간을 분할하여 퍼지추론 시스템에 적용시키는 것이 필요하다. 즉, 그림 3과 같이 계전기가 보는 임피던스 저항(R)과 리액턴스(X)가 수렴하는 공간에서는 각각 내부 규칙을 적용하고 수렴 공간 외에서는 외부 규칙을 분할 적용함으로써 변화하는 임피던스 궤적에 따라 퍼지추론 시스템이 유연하게 적용하도록 하는 새로운 입력 공간 분할방식을 적용하였다. 이의 자세한 설명은 이전논문[2]에서 언급되었다.

1. 서 론

지중송전계통에서 1선지락오장 발생시 고장전류는 가공선로와는 달리 모두 대지로 흘러가지 않고 시스를 통해 전 계통의 직접접지 지점과 SVL 동작 지점에서 대지로 귀로한다. 따라서 직접접지 지점의 접지저항 및 SVL의 동작은 고장전류에 많은 영향을 미치며 이로 인해 계전기가 본 임피던스와 실제 고장임피던스 사이에 많은 오차가 발생하여 오버리치 현상이 나타나고 있다[1]. 이와 같은 영향으로 지중송전계통에서는 거리계전기가 주보호로 활용되지 못하고 있으며 현재까지 지중송전계통 보호용 거리계전 알고리즘이 개발된 사례가 없다.

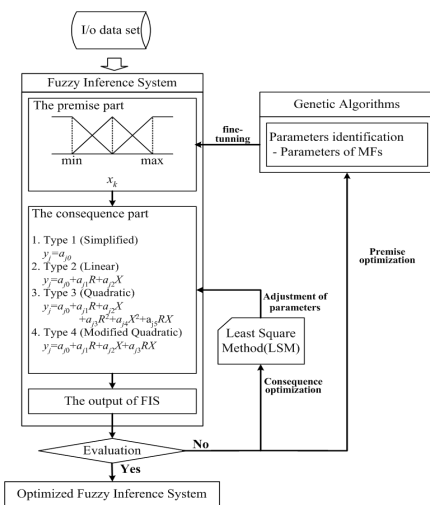
따라서 이전 논문[2]에서는 지중송전계통 보호를 위한 온라인 실시간 감시·보호 시스템 구축을 위해 이러한 현상에 의한 오차를 효과적으로 개선하고 계전기 오동작을 예방하기 위한 방안으로 ACI(Advanced Computational Intelligence) 기법인 퍼지추론에 의한 FR-FIS(Fuzzy Relation-based Fuzzy Inference System) 기법을 도입하여 새로운 지중송전계통 보호용 거리계전 알고리즘을 개발하여 소개하였다.

본 논문에서는 실용성 검증을 위해 C언어로 구현된 알고리즘을 적용한 하드웨어를 제작하여 실시간 성능평가를 수행하였다. 제시된 알고리즘의 실용화를 위해서는 실시간 보호 알고리즘을 수행 가능해야 한다. 따라서 120MFLOPS(60MIPS)의 성능을 갖는 TMS320VC33으로 하드웨어를 제작하여 성능을 검증하였다.



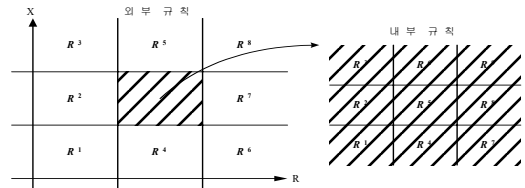
〈그림 2〉 입력공간 분할 예

2. 퍼지추론시스템을 이용한 거리계전 알고리즘



〈그림 1〉 퍼지추론시스템의 최적화 과정

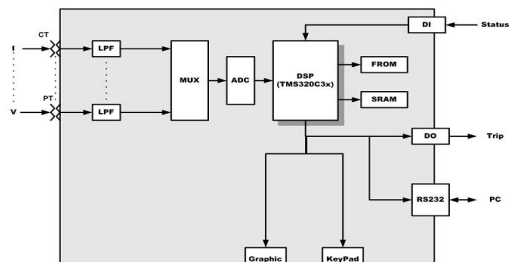
그림 1은 지중송전계통 보호용 거리계전 알고리즘에 적용한 퍼지추론 시스템의 최적화 과정을 나타낸 것이다. 저항(R)과 리액턴스(X)를 입력으로 하여 전반부에서 입력데이터의 Max_Min값으로 멤버십 함수를 정의하고 후반부에서 4가지 구조에 대한 모델 출력을 평가한 후 전반부



〈그림 3〉 입력공간 분할에 따른 내부 규칙과 외부 규칙

3. 거리계전기 하드웨어 설계

3.1 거리계전기 내부구조



〈그림 4〉 거리계전기 내부구조

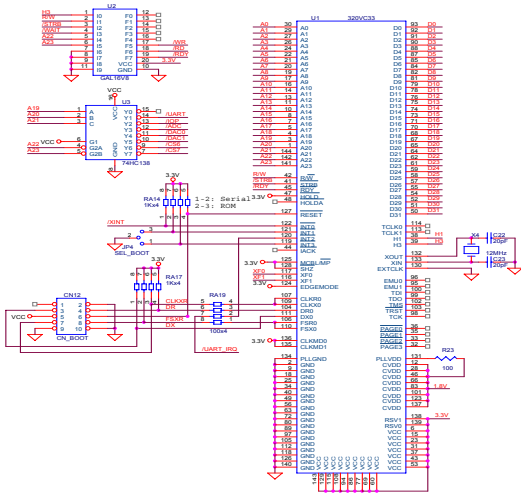
ACI 기법을 이용한 지중송전계통 보호용 거리계전알고리즘은 접지저

항에 관계없이 실제값이 계전기가 본 임피던스에 정확히 근접하고 있음을 확인하였으며, 기존의 접지저항과 SVL 동작에 의한 오차 요인을 개선하여 지중송전계통에서 정확히 동작함을 시뮬레이션을 통해 이미 검증하였다[2]. 본 논문에서는 검증된 알고리즘을 바탕으로 한 하드웨어 구축 및 하드웨어 테스트 결과에 대해 언급하고자 한다.

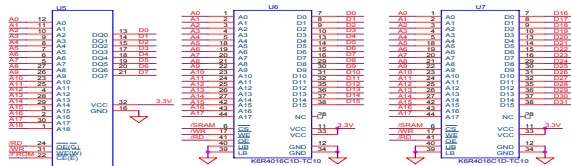
본 논문에서 개발한 거리계전 알고리즘이 수행되는 디지털 보호계전기의 내부구조는 그림 4와 같다.

3.2 DSP 하드웨어 설계(TMS320VC33)

퍼지추론 시스템의 지능형기법을 적용한 새로운 거리계전기는 기존 알고리즘에 퍼지추론 시스템의 최적화 과정을 추가하여 출력되는 임피던스를 개선하여야 하므로 기존 알고리즘과 비교할 때 연산의 양이 많아져 수많은 부동 소수점 연산을 한다. 따라서 이러한 특성을 고려하여 120MFLOPS(60MIPS) 성능을 갖는 DSP(TMS320VC33)를 중앙 처리 장치(CPU)로 사용하였고, 그 회로를 그림 5에 나타내었다. 메모리나 I/O 장치를 DSP에 접속할 때 필요한 신호들은 어드레스 버스, 데이터 버스, 읽기, 쓰기 신호들이 필요하다. TMS320VC33은 32비트 DSP이므로 32개의 데이터 버스(D0~D31)가 있고, 어드레스 버스는 24개(A0~A23)가 있어서 16M의 어드레스 영역을 갖는다. 읽기/쓰기 신호는 RD/와 WR/ 형태로 제공되지 않고, R/W와 STRB/ 형태로 제공되므로 그림 5의 U2(GAL16V8)와 U3(74HC138)와 같은 소자를 이용하여 필요한 로직을 생성하여 사용한다. FROM과 SRAM의 메모리 회로는 그림 6과 같다.



〈그림 5〉 DSP 주변 회로



〈그림 6〉 FROM과 SRAM의 회로

이의 아날로그 회로설계, 디지털 입력력 회로설계, 비동기 통신회로, Graphic 회로 등이 하드웨어 구축에 설계되었으며, 모든 디지털 회로를 사용하여 만든 ACI 기법의 디지털 거리계전기의 전면부 사진은 그림 7과 같다.



〈그림 7〉 디지털 거리계전기의 전면부

4. 하드웨어 성능시험

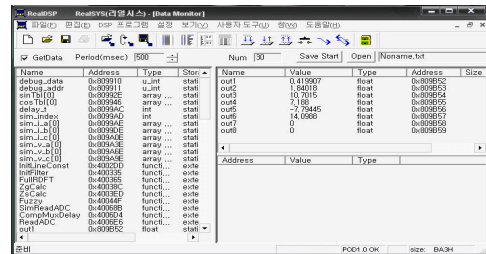
본 논문에서는 새롭게 개발한 지중송전계통 보호용 실시간 거리계전기의 하드웨어 성능평가를 위해 컴퓨터 알고리즘을 통해 계산된 결과와 DSP 하드웨어(TMS320VC33)에서 출력된 신호를 각각 비교함으로써 하드웨어의 성능을 검증하였다. 하드웨어 성능시험에는 알고리즘의 핵심이 되는 RDFT와 임피던스 계산결과 또한 퍼지추론 시스템을 이용한 새로운 알고리즘에서 출력되는 임피던스를 적용하였다. 표 1의 컴퓨터 알고

리즘 시뮬레이션 결과와 DSP 하드웨어를 통해 연산된 결과를 비교하여 나타낸 RDFT 성능평가 결과에서처럼 알고리즘과 하드웨어 출력값 사이의 오차는 거의 발생하지 않는 것으로 나타났다.

〈표 1〉 RDFT의 계산결과 비교

	실수부			허수부		
	Algorithm(PC)	DSP(H/W)	Error	Algorithm(PC)	DSP(H/W)	Error
I _A	4.018515	4.01851	0.000005	9.157113	9.15711	0.000003
I _B	2.960492	2.96049	0.000002	-4.029312	-4.02932	0.000008
I _C	-4.969733	-4.96974	0.000007	-0.549206	-0.549206	0.000000
I ₀	2.009274	2.00927	0.000004	4.578595	4.57859	0.000005
V _A	-19.8273	-19.8274	0.000100	15.8812	15.8812	0.000000
V _B	59.1680	59.168	0.000000	23.0760	23.076	0.000000
V _C	-9.5996	-9.59962	0.000020	-62.7790	-62.779	0.000000
V ₀	29.7410	29.741	0.000000	-23.8218	-23.8218	0.000000

그림 8에서는 각 임피던스별 DSP를 통한 지락 임피던스의 성능 평가 결과를 보여준다. 또한 표 2의 컴퓨터 알고리즘 시뮬레이션 결과와 DSP 하드웨어를 통해 연산된 결과를 비교하여 나타낸 지락 임피던스와 단락 임피던스 계산 성능평가 결과에서처럼 알고리즘과 하드웨어 출력값 사이의 오차가 거의 발생하지 않는 것으로 나타났다. 이를 통해 이전 논문 [2]에서 검증한 시뮬레이션 결과가 하드웨어를 통해서도 정확히 구현됨을 검증함으로써 본 논문에서 개발한 실시간 거리계전기 알고리즘의 신뢰성이 우수함을 입증하였다.



〈그림 8〉 지락 임피던스 계산 결과

〈표 2〉 임피던스 계산결과 비교

	Resistance			Reactance		
	Algorithm(PC)	DSP(H/W)	Error	Algorithm(PC)	DSP(H/W)	Error
Z _{AG}	0.419908	0.419907	0.000001	1.840182	1.84018	0.000002
Z _{BG}	10.701515	10.7015	0.000015	7.187990	7.188	0.000010
Z _{CG}	-7.794464	-7.79445	0.000014	14.098828	14.0988	0.000028
Z _{AB}	-1.019720	-1.01972	0.000000	5.908837	5.90884	0.000003
Z _{BC}	3.287460	3.28745	0.000010	12.268965	12.269	0.000035
Z _{CA}	3.837523	3.83752	0.000003	4.607343	4.60734	0.000003

5. 결론

본 논문에서는 지중송전계통 보호용 실시간 거리계전기의 하드웨어 성능평가를 위해 컴퓨터 알고리즘을 통해 계산된 결과와 DSP 하드웨어에서 출력된 신호를 각각 비교함으로써 하드웨어의 성능을 검증하였다. RDFT와 임피던스 계산 결과는 알고리즘 시뮬레이션 결과와 하드웨어 출력값이 거의 일치하는 것을 확인하였으며, 특히 퍼지추론 시스템을 적용한 임피던스 결과에서는 매우 일치하고 있는 것을 확인하였다.

이처럼 본 논문에서는 ACI 기법인 퍼지추론 시스템을 도입하여 지중송전계통 보호용 거리계전 알고리즘을 개발하였고, 이의 컴퓨터 알고리즘과 DSP 하드웨어에서 출력된 신호의 비교 검증을 통해 하드웨어 성능의 우수성을 검증하였다.

[참고문헌]

- [1] C. K. Jung, K. H. Kim, C. W. Ha, J. B. Lee, Y. W. Yoon, "Improvement of Digital Distance Relaying Algorithm Using Wavelet Transform in Combined Transmission Line", *Transactions of the Korean Institute of Electrical Engineering(KIEE)*, Vol. 52A, No. 10, 2003. 10
- [2] 정재균, 이종범, 오성권, 박건준, 이재규, "퍼지추론시스템 기반 지중송전계통 보호용 거리계전 알고리즘 개발", *대한전기학회 논문지*, Vol. 57, No. 2, 2008. 2
- [3] Y. Liao, S. Elangovan, "Digital Distance Relaying Algorithm for First Zone Protection for Parallel Transmission Lines", *IEE Proc. Generation, Transmission & Distribution*, Vol. 145, No. 5, 1999. 9